

選好度付セットベースデザイン 手法のシグナルインテグリティ・ パワーインテグリティへの応用

川上 雅士

電気通信大学大学院情報理工学研究科
博士（工学）の学位申請論文

2019年3月

選好度付セットベースデザイン
手法のシグナルインテグリティ・
パワーインテグリティへの応用

博士論文審査委員会

主査	肖鳳超	教授
委員	和田光司	教授
委員	安藤芳晃	准教授
委員	石川亮	准教授
委員	萱野良樹	准教授

著作権所有者

川上 雅士
2019 年

Application of preference set-based design method to signal integrity and power integrity issues

Masashi Kawakami

ABSTRACT

The signal integrity is a problem concerning signal quality, since it is required to correctly transmit a signal against deterioration of signal quality due to the nowadays high-speed electric signal transmission. On the other hand, the power integrity is a problem concerning power quality, since it is required to stably supply the power against the voltage fluctuation, especially for the nowadays LSI, which are usually operated in a lower voltage.

In this thesis, the applications of a multi-objective satisfactory design method to electrical design for signal integrity and power integrity are discussed. The method, named preference set-based design (PSD), is developed as a concurrent design method in the field of mechanical engineering. As an application to signal integrity issue, filter design method is investigated. As an application to power integrity issue, the optimization method of decoupling capacitor mounting for power-ground plane is investigated. In the early stages of design, it is usually difficult to obtain a design solution that satisfies many specifications due to the uncertainty of design, for example, electromagnetic interference, parasitic parameters and so on. In the PSD method, design parameters and required performances with uncertainty are expressed in sets, and narrowing the sets of design parameter could lead to the common set satisfying multi required performances with uncertainty considered.

In conventional filter design procedure, first the basic low-pass filter is considered, and the desired transmission characteristics in stop band and pass band are approximated with a transfer function, and finally the circuit element in one solution to satisfy the function is determined. Recently, the miniaturization of equipment is required to increase the density of components, thus the coupling between inductors due to the leakage of magnetic field is usually unavoidable. In the above design theories, it is impossible to consider the phenomena such as the coupling between elements and

the influence of parasitic parameters. By applying the PSD method, the parameters of the filter elements are handled as sets, and whether it is possible to perform a robust design satisfying the required performance with elements including deviation and commercially available elements can be considered.

The power-ground plane structure are extensively used in the electric and electronic equipments. Resonances may occur between the power-ground plane, and decoupling capacitors are often used to suppress the resonances. Traditionally, the implementation of decoupling capacitors for power supply is based on trial and error. Ideally, power supply design is required to be with low impedance in a wide frequency band. However, when a decoupling capacitor is mounted, the frequency of the resonance may shift and resonance occurs at another frequency. In order to suppress all resonances, a designer implements a new capacitor that works for the shifted frequencies, and again the resonance frequency may shift to another frequency, and a designer should implement another new capacitor that works for the shifted frequencies. It is necessary to repeat this processes by trial and error. Actually, past design resources or experiences are diverted to suppress new resonance. But in that case there may be redundant capacitors. By applying the PSD method, the optimization of decoupling capacitor values and mounting position are studied.

These studies show that the PSD method is effective in electrical design. By applying the PSD method to these designs, it is expected that even a beginner can conduct a design that satisfies multiple objectives at the initial stage of design.

選好度付セットベースデザイン手法の シグナルインテグリティ・パワーインテグリティへの応用

川上 雅士

概要

シグナルインテグリティとは信号の品質に関する問題のことであり、電気信号の高速化等による信号品質の悪化を背景に信号を正しく伝送させることが求められている。また、パワーインテグリティとは電源の品質に関する問題のことであり、LSIの電源の低電圧化による電圧変動への耐性が悪化を背景に電源を安定して供給することが求められている。

本論文では、初期設計・多目的満足化設計のための選好度付きセットベース設計 (PSD: Preference Set-Based Design) 手法をシグナルインテグリティ、パワーインテグリティへ応用したときの有効性を検討している。具体的には、シグナルインテグリティへの応用としてフィルタ設計手法、パワーインテグリティへの応用として電源-グラウンドプレーンに対するキャパシタ実装の最適化手法について検討している。電源-グラウンドプレーンはプリント回路基板において電源供給路としてよく使われている手法であり、2層で構成された平行平板の構造のことであり、PSD手法は機械設計の分野において開発された手法である。設計初期段階においては設計の不確定性、例えば隣接する電子部品からの電磁干渉、部品の寄生パラメータなどが存在するために多くの仕様を満足する設計解を求めるのは難しい。PSD手法は、不確実な設計情報が含まれる設計変数や要求性能を一つの設計解ではなくさまざまな不確定性を変動範囲として含めるために「セット」という設計解の集合(範囲)で扱い、かつ設計者の設計意図を選好度という重み付けで定義して複数の要求性能を同時に満足する設計解を導出する方法である。

多くのフィルタ設計理論は、基本形の低域通過フィルタを考えると、所望する通過域及び阻止域の伝送特性を伝達関数で近似し、その関数を満足するように回路素子を一つの解で決定する。ところで機器の小型化によって部品の高密度化が要求され、インダクタ同士の漏洩磁界による結合は避けられなくなり、これらの設計理論では素子同士の結合や寄生パラメータによる影響といった現象を考慮できない。PSD手法を適用することによって、フィルタ素子が持つ素子値をセットとして取り扱うことで素子値に偏差を含む素子や市販品が存在する素子値である素子で要求性能を満足するロバストな設計が行なえるかを検討した。

有限の大きさの電源-グラウンドプレーン間では、プレーン上の電圧分布変化し、定在波が発生する。定在波は複数の周波数で発生し、この定在波を共振モードと言う。この共振現象の対策としてデカップリングキャパシタが実装されている。従来、電源に対するデカップリングキャパシタの実装は試行錯誤的な部分が多い。電源設計は理想的には広い周波数帯域において伝達インピーダンス及び自己インピーダンスを低くすることが求められている。しかし、キャパシタを実装すると共振モードの周波数がシフトしてしまい別の周波数に共振が出てしまう。全ての共振を抑制するためには、シフトした周波数に効くキャパシタを実装し、また共振周波数がシフトするので更にキャパシタを実装ということトライ&エラーで繰り返す必要がある。実際には過去の設計資産、例えばレイアウトのCAD データや回路図を流用し、新たな共振を抑制するが、その場合は冗長となるキャパシタが存在しうる。PSD 手法を適用することによって、素子値と実装位置の最適化についてそれぞれ検討を行なった。

これらの研究により、PSD 手法が電気設計において有効であることを示している。PSD 手法をこれらの設計に適用することで、設計初期段階で複数の目的を満足する設計を設計初心者でも可能にすることが期待できる。

目次

第 1 章

序論

1.1 まえがき

現代社会において，電子機器の発展と社会の情報化は重要な位置をしめている．図 1.1 は我が国における情報端末の世帯保有率の推移を示している [1]．その中で顕著なのが 2009 年から急速に普及したスマートフォンである．スマートフォンはわずか 6 年で 70 % の世帯保有率まで増加した．他にもタブレット型端末やウェアラブル端末といった新しい情報機器や，テレビゲーム機や音楽プレイヤー，家電などの既存の製品にインターネット接続機能が付与された機器など情報通信機器の普及が進んでいる．

その中で社会から電子機器，特に情報通信機器は高性能・省電力・多機能・小型といった従来までのニーズに加えてデザイン性まで求められている．その一方で他の機器に障害を与えないように電磁妨害波に対して VCCI (Voluntary Control Council for Interference by Information Technology Equipment) [2] が定める基準や静電気放電 (ESD : Electro Static Discharge) に対する耐性の規格である IEC 61000-4-2 等の規格の遵守が求められている．また，一つの製品をモジュールに分けて複数のモジュールを同時に設計を行ったり，逆にベースとなる製品に別の機能を組み込んで同時に複数の製品設計を行なうなど設計の進め方も多様になっている．このような背景を受けて，電子機器の設計は工程の増加等により複雑さが増し，多くの設計工程を管理する工夫のためにも設計初期段階での多くの仕様を満たす設計の見積もりが重要になってきている．この設計の見積もりとは仕様を満たす設計が実現可能であるか，実現可能である場合にどのような条件が必要かといった情報である．図 1.2 は製造プロセスとそれらの製造プロセスにおいて製品に付加価値を付与する機会との関係を概念的に示したものである [3]，[4]．この製造プロセスはベンダ

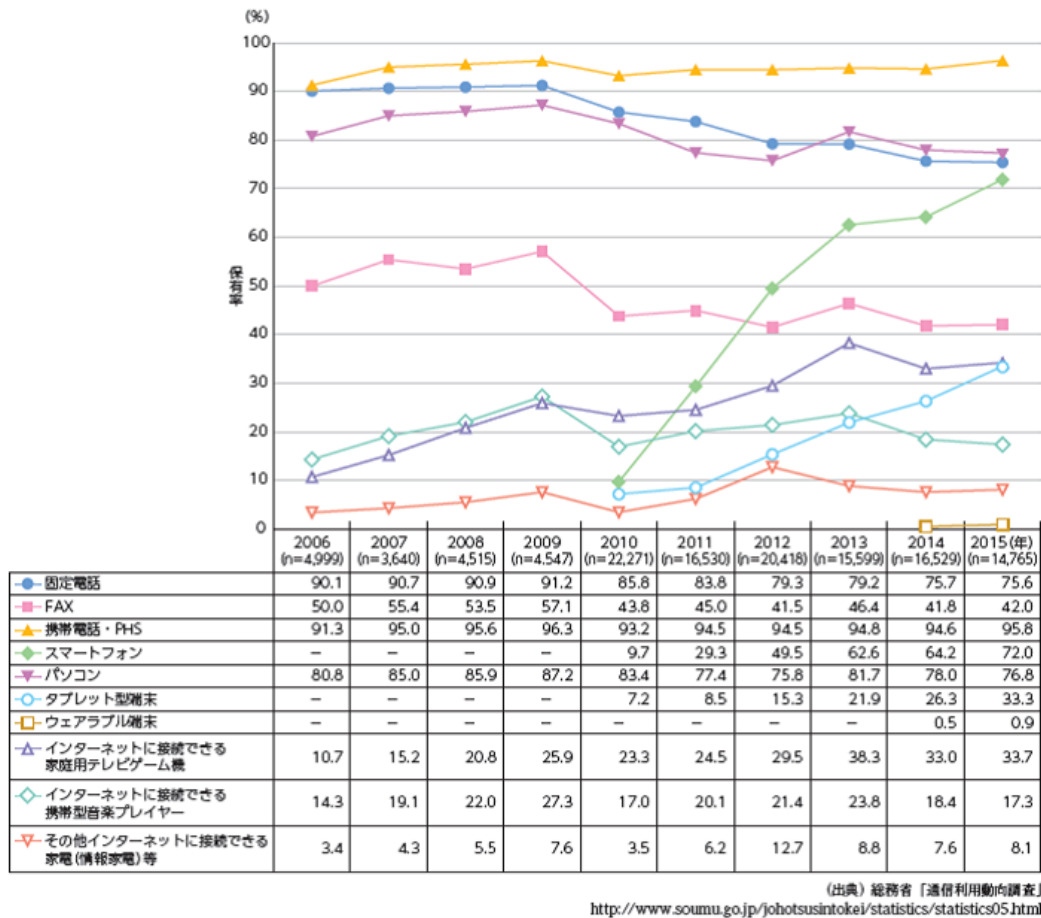


図 1.1 情報端末の世帯保有率の推移 [1]

が製品を管理する各工程を示しており、実際に製品を鋳造したり組み立てたりする製造の工程との区別の意味で以後プロセスと呼称する。また、付加価値を付与する機会とは、そのプロセスにおいて製品にユーザーがこの製品を買いたいと思える価値を付与できる機会を言う。企画、設計、製造の順に付加価値を付与する機会は少なくなっていく、製造で付加価値する機会は極小となる。そして、その後のプロセスで再び付加価値を付与する機会は上昇する。図 1.2 のプロセスとそのプロセスにおいて付加価値を付与する機会との関係が描く曲線はスマイルカーブと呼ばれている [4]。企画から製造までのプロセスにおいてはプロセスが進むにつれて製品に付加価値を付与することは難しくなるので、設計初期段階で仕様を満たす設計が可能であるかどうかを見極めるのは重要である。しかし、設計初期段階においては設計変数や要求性能が曖昧なこと（設計の不確定性）が多いため、多くの仕様を満足する設計解を求めるのは難しい。前述したように設計のモジュール化・組み込み化が進んだ結果、設計情報は複雑になっている。設計の不確定性は他の設計プロセス

で平行して行われる設計情報が関連していることも多く、設計初期段階において一つの設計プロセスだけで設計の後戻りなく最適な設計をすることは不可能である。設計初期段階における設計の不確定性に関する問題の解決には、複数の設計プロセスで設計情報の共有し平行して設計を行なう協調設計が重要になる。

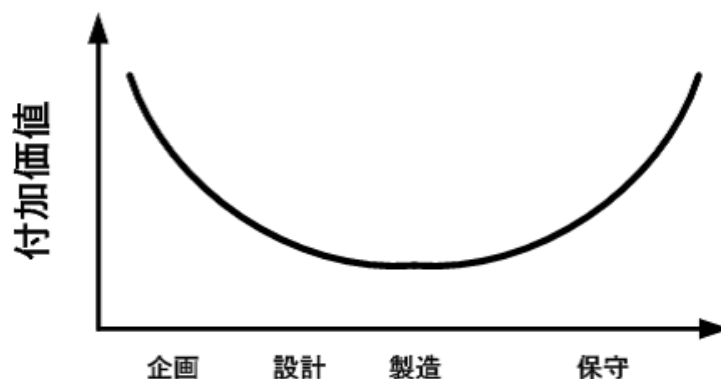


図 1.2 プロセスにおけるスマイルカーブの概念 [3], [4]

機械設計の分野では、設計初期段階においては設計の不確定性に関する問題を解決するためにセットベース設計などの様々な手法が提案されてきた [5]~[6]。セットベース設計 [5] は複数の要求性能を満足する設計解を求める設計手法として Ward らによって提案され、従来のポイントベース設計とは大きく異なる考え方である。ポイントベース設計は複数の設計変数に対して初期値の設定と設計変数の修正を繰り返すことにより、最適な一つの設計解を求める手法である。電気設計においては多くの設計者が開発コスト削減のためにこの手法を用いている。

それに対し、セットベース設計では設計変数と要求性能を範囲で表現することと、複数の性能を満足するように、設計変数の範囲を絞り込むという設計手法の概念が提案された。この考え方では要求性能や設計変数の持つ不確定性を要求性能や設計変数の変動範囲として表現している。石川らは、実運用上必要な絞込みの方法などの設計の手法と後述のフローチャートで示される設計プロセスを含みかつ後述する課題解決を取り入れた手法として、選好度付セットベースデザイン (**PSD : Preference Set-Based Design**) 手法を提案している [7]~[11]。PSD 手法はセットベース設計を基に選好度という考え方を加えた設計手法である。PSD 手法で提案されている選好度は複数の要求性能を満足する設計を実現するために非常にシンプルかつユニークな考え方である。この手法は自動車分野で適用され、多くの実績を挙げている [7]。

本論文は、電気設計において PSD 手法を適用し、その有効性を検証している。

1.2 電気設計における課題

シグナルインテグリティとは信号の品質に関する問題のことである。伝送信号の高速化によって、ドライバ側が送った信号とレシーバ側が受け取る信号に違いが生じるようになった。この現象の原因として、信号の反射、クロストーク、伝送線路の高周波損失の3つの大きな理由がある [12]。伝送線路のグラウンドに欠落等が生じた場合、伝送線路の特性インピーダンスは一樣にならず、特性インピーダンスが異なる場所で反射が発生し、伝送信号は大きく歪んでしまう [13]。また、隣接する伝送線路間に十分な間隔がない場合、伝送信号が隣接する伝送線路に電氣的に結合（クロストーク）し、本来伝送される信号が劣化してしまう [14]。一般に伝送線路は高周波では損失が大きくなる。伝送信号が高速化するという事は伝送線路の高周波特性が重要になるので、信号の歪みに直接つながる。シグナルインテグリティではこのような問題をケアして信号を正しく伝送させることが求められている。

パワーインテグリティとは電源の品質に関する問題のことである。電源は LSI を動作させるための電力を供給しており、電源に不具合が生じると LSI は止まってしまう。LSI の電源の低電圧化が進むにつれて許容される電源電圧変動のマージンも小さくなっている。その一方で伝送信号は高速化しているので、LSI のスイッチングで生じる電磁雑音は高周波で発生する。この電磁雑音が電源供給路に伝搬することが電源電圧変動の原因になっている。この問題は同時スイッチングノイズと言われている。パワーインテグリティでは同時スイッチング問題をケアして電源を安定して供給することが求められている。

シグナルインテグリティとパワーインテグリティはそれぞれ独立な問題ではない。例えば、同時スイッチングノイズは電源に電圧変動をもたらす LSI の安定動作を妨げる。現在の電子機器は高密度化が進んでおり、隣接する電源供給路と伝送線路間が電氣的に結合しうる [15] ので、電源から伝送線路に電磁雑音が伝搬し、伝送信号は歪んでしまう。この問題の対策としてシグナルインテグリティとパワーインテグリティは同時に検討を行なう必要がある。

1.3 協調設計の現状

電気設計における協調設計については、各メーカーで取り組まれている。例えば半導体ベンダの NEC エレクトロニクス (現ルネサスエレクトロニクス) では、従来は LSI 設計の中心はチップ設計であったが、チップ設計とパッケージ設計が密に設計情報を共有し、随時チップ-パッケージの連成解析を行なって設計している [16]。富士通セミコンダクターではチップ-パッケージ-ボードの連成解析による設計の事例が紹介されている [17]。セットメーカーでは、ソニーグループにおける DDR3 導入時のチップ-パッケージ-ボードの協調解析の事例が紹介されている [18]。EDA ベンダでは、Apache Design Solution, Inc. (現 Ansys) は半導体の電源解析ツールに電源解析用の等価回路を生成する機能を搭載している。この機能によって LSI ベンダは半導体の詳細な情報を外部に漏らすことなく、他の企業も LSI を考慮した電源解析が可能になった [18]。別視点からのアプローチとして、NEC では機械学習を取り入れて、詳細な知識を持たない設計者に現在の設計に必要な知識をサジェストする設計支援システムが検討されている [19], [20]。このように様々なメーカーで現在、協調設計が導入されている。しかしながら、設計のモジュール化・組み込み化が進んだ現在、一企業の部門間だけでなく、企業の壁を越えて設計情報を同時に共有することができなければ意味のある協調設計の実現は難しい。

チップ-パッケージ-ボードの協調設計を推進するために業界団体である電子情報技術産業協会 (JEITA : Japan Electronics and Information Technology Industries Association) では LSI, パッケージ, ボード, 受動部品の相互設計関わる情報, 例えばピンアサインや寸法などのフォーマットの標準化活動を行なっている [21]。この設計情報の共通フォーマットは 2015 年に IEEE 標準 (IEEE 2401-2015), 2016 年に IEC 国際標準 (IEC 63055) として制定・発行された。このフォーマットでは、設計情報を階層に分け、各メーカーの競争領域にあたる部分の設計情報, 例えば LSI 内部の設計情報を避け、相互設計のために必要な設計情報のみを流通することで、複数の企業が平行して協調設計を行なう。このフォーマットを利用することで異なる CAD ツールや EDA ツールでも条件設定なしにツールに情報を取り入れることができ、複数の企業, 異なるツールでも同時に設計情報を共有することができる。それによって、企業間, 業種間, ツール間を越えた設計システムの実現を目指している。

このように各メーカー, 業界団体では協調設計を設計現場で使おうと日夜様々な取り組

みが行われている。本論文で提案する PSD 手法の電気設計への適用も設計現場への協調設計の推進に一躍を担うことが期待できる。

1.4 本論文の目的

本論文では、PSD 手法を電気設計、特にシグナルインテグリティとパワーインテグリティに関する設計に応用している。1.1 節で述べたように電子機器の設計は複雑になっている。複数の設計が平行して進められており、再設計による設計プロセスの後戻りは設計スケジュールに大きな影響を与える。従来のポイントベース設計から脱却し、設計変数と要求性能を範囲で表現するセットベース設計による設計手法の確立を目指している。

多くのフィルタ設計理論は、基本形の低域通過フィルタを考えると、所望する通過域及び阻止域の伝送特性を伝達関数で近似し、その関数を満足するように回路素子を一つの解で決定する。ところで機器の小型化によって部品の高密度化が要求され、部品間の電磁的な結合が発生しうる。これらの設計理論では素子同士の結合や寄生パラメータによる影響といった現象を考慮できない。PSD 手法を適用することによって、フィルタ素子が持つ素子値をセットとして取り扱うことで素子値に偏差を含む素子や市販品が存在する素子値である素子で要求性能を満足するロバストな設計が行なえるかを検討する。また、これまで PSD 手法が応用されている機械設計の分野では、共振を回避する設計が中心であるので、共振現象を利用するフィルタ設計にも PSD 手法が適用可能かを検討する。

有限の大きさの電源-グラウンドプレーン間では、プレーン上の電圧分布が変化し、定在波が発生する。この定在波は複数の周波数で発生し、この定在波を共振モードと言う。この共振現象の対策としてデカップリングキャパシタが実装されている。従来、電源に対するキャパシタの実装は試行錯誤的な部分が多かった。電源設計は理想的には広い周波数帯域において伝達インピーダンス及び自己インピーダンスを低くすることが求められている。しかし、キャパシタを実装すると共振周波数がシフトしてしまい別の周波数に共振が出てしまう。全ての共振を抑制するためには、シフトした周波数に効くキャパシタを実装し、また共振周波数がシフトするので更にキャパシタを実装ということをトライ&エラーで繰り返す必要がある。実際には過去の設計資産を流用し、新たな共振を抑制するが、その場合は冗長となるキャパシタが存在しうる。PSD 手法を適用することによって、素子値と実装位置の最適化についてそれぞれ検討を行なう。

これらの研究により、PSD 手法が電気設計において有効であることを示している。

PSD 手法をこれらの設計に適用することで、設計初期段階で複数の目的を満足する設計を設計初心者でも可能にすることを目標にしている。

1.5 本論文の概要

本論文では、初期設計・多目的満足化設計のための PSD 手法をシグナルインテグリティ、パワーインテグリティの観点から電気設計に適用したときの有効性を検討している。具体的には、シグナルインテグリティの観点からフィルタ設計手法、パワーインテグリティの観点から矩形状の電源-グラウンドプレーンに対するデカップリングキャパシタ実装の最適化手法について検討している。PSD 手法は機械設計の分野において開発された手法で本論文では電気設計での適用を検討している。

第 2 章では、最初に PSD 手法について解説し、PSD 手法で用いるメタモデリングについて述べる。2 次関数近似と RBF (RBF : Radial Basis Function) 補間による応答曲面法に基づいたメタモデリングの方法について述べる。

第 3 章では、PSD 手法のシグナルインテグリティへの適用を述べる。最初にマイクロストリップラインのレイアウト設計への PSD 手法の適用を示す。平行二本線路のレイアウト設計への PSD 手法を適用する。線路間の線路間隔と線路幅に加えて二本線路の平行区間の長さや曲がり線路の角度を設計変数とし、反射特性、近端クロストーク、遠端クロストークについて仕様（要求性能）を設定している。PSD 手法より得られた範囲解の妥当性をフルウェーブシミュレーションを用いて検証している。次に非平行二本線路のレイアウト設計への PSD 手法を適用する。この時、線路間の線路間隔と線路幅を設計変数とし、反射特性、近端クロストーク、遠端クロストークについて仕様（要求性能）を設定している。PSD 手法より得られた範囲解の妥当性をフルウェーブシミュレーションを用いて検証している。フィルタ設計への PSD 手法の検討として、5 次の連立チェビシェフローパスフィルタへの PSD 手法の適用を示す。理想的な場合のフィルタ設計を行ない、複数の要求性能（通過域および減衰域減衰量など）を満足するための設計変数（インダクタやキャパシタの素子値）を設計解として一つの解ではなくセットで求め、そのセット内の数値で計算した特性は要求性能を満足していることを示し、PSD 手法の有効性を確認している。PSD 手法の特徴である選好度が実際の設計への影響を議論するために、異なる選好度以外は同じ条件でフィルタ設計し、数値計算上で比較を行なった。また、実際のフィルタ製作時にはインダクタ間に不要な磁界結合があることを想定し、このような場合

でも PSD 手法は有効に機能することを示す。

第4章では、PSD 手法のパワーインテグリティへの適用を述べる。最初に EMI (Electromagnetic interference) フィルタへの PSD 手法の適用を示す。はじめに、素子値にばらつきがない理想的な場合のフィルタ設計を行ない、コモンモード (CM : Common-Mode) 減衰量とディファレンシャルモード (DM : Differential-Mode) 減衰量が要求性能を満足していることを示し、PSD 手法の有効性を確認している。EMI フィルタの設計では、同じ素子を複数使う Y コンデンサと呼ばれる部分がある。理想的な設計の場合は同じ素子値として扱って設計したが、実際には素子毎に素子値にばらつきがあるのでそれぞれ独立な設計変数として扱った場合について検討している。最後に電源-グラウンドプレーンに対するデカップリングキャパシタ実装の最適化手法を検討している。矩形状の電源-グラウンドプレーンを対象に、キャパシタの素子値を設計変数にした場合と、キャパシタの実装位置を設計変数にした場合について検討し、提案手法の有効性を確認している。この時、ピークの鋭い共振があるとサンプリング間隔によってはエイリアスが発生し、共振を正しく再現できない。そこで、エイリアスの影響を考慮したメタモデリングについて検討している。

第5章では、本論文のまとめと今後の課題について述べる。

第2章

選好度付セットベースデザイン手法

2.1 はじめに

本章では，選好度付セットベースデザイン手法 (PSD 手法) について説明する。

機械設計の分野では，コンカレントエンジニアリングを実現するためにセットベース設計が提案されてきた [5]-[6]。

セットベース設計では設計変数と要求性能を範囲で表現することと，複数の性能を満足するように設計変数の範囲を絞り込むという設計手法の概念が提案された。石川らは，実運用上必要な絞込みの方法などの設計の手法と後述のフローチャートで示される設計プロセスを含む手法として，PSD 手法を提案した [7]-[11]。PSD 手法はセットベース設計を基に選好度という考え方を加えた設計手法である。PSD 手法で提案されている選好度は複数の要求性能を満足する設計を実現するために非常にシンプルかつユニークな考え方である。この手法は自動車分野で適用され，多くの実績を挙げている [7]。

2.2 セットベース設計手法 [5]-[6]

セットベース設計 [5] は複数の要求性能を満足する設計解を求める設計手法として Ward らによって提案され，従来の最適化設計手法とは大きく異なる考え方である。ここでは，セットベース設計手法と対比するために，従来の最適化設計手法をポイントベース設計と呼ぶ。図 2.1 はポイントベース設計とセットベース設計の違いを示す概念図である。図 2.1(a) で示されるポイントベース設計は複数の設計変数に対して初期値を設定し，それに基づいてシミュレーション等で評価を行なう。評価結果が仕様（要求性能）を満足していない非実現解（図 2.1(a) の青点）であるならば，設計変数の修正するというプロセ

スを繰り返すことにより、最適な一つの実現解（図 2.1(a) の赤点）を求める手法である。電気設計においては多くの設計者が開発コスト削減のためにこの手法を用いている。それに対し、図 2.1(b) で示されるセットベース設計手法の基本的な考え方は、要求性能や変数のさまざまな不確定性をそれらの変動範囲を含んだ「セット」で考えることである。条件に合わない設計変数の「セット」となる範囲を取り除く、絞り込みというプロセスを行なうことで設計変数は仕様を満足する「セット」のみが残る。この絞り込みを所望する全ての仕様について行なうことで、満足しない「セット」は取り除かれ、全ての仕様を満足する「セット」を設計解として見つけることができる。また、「セット」を導入することで、要求性能や設計変数の持つ不確定性を変動範囲として表現できる。

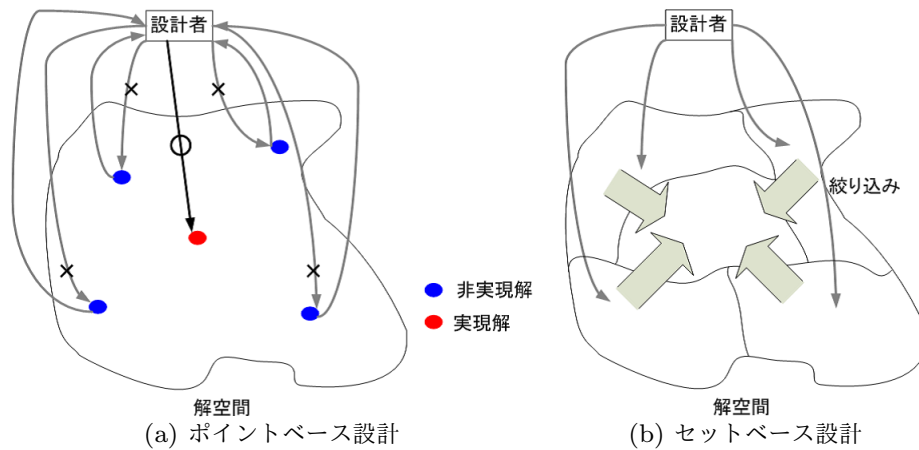


図 2.1 ポイントベース設計とセットベース設計の違い

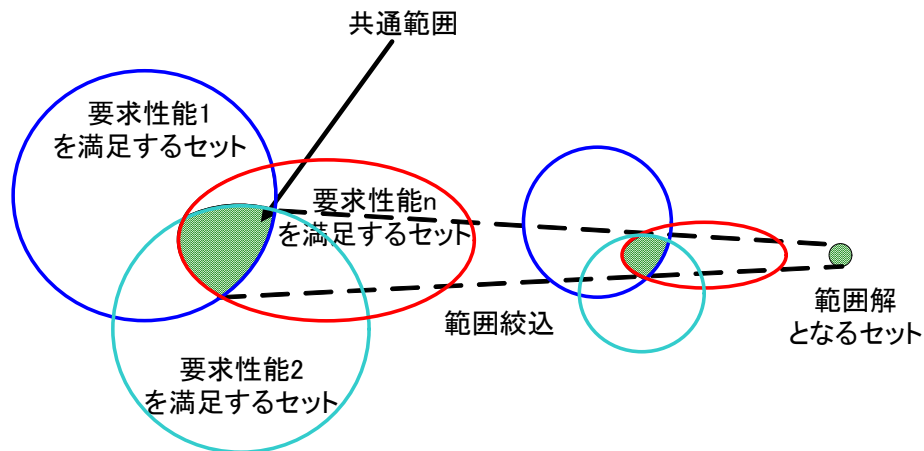


図 2.2 セットベース設計手法の概念図

図 2.2 にセットベース設計手法の概念図を示す。図 2.2 の一番左はある設計変数にお

いて n 個の異なる要求性能を満足する「セット」があることを示している。この n 個の「セット」が全て重なっている範囲を「共通範囲」と呼ぶ。設計が進むにつれて他の設計変数においても各要求性能を満足する「共通範囲」が決定することで、各設計変数の「共通範囲」の組み合わせによって要求性能を満足しない範囲が出る可能性がある。この要求性能を満足しない範囲をセットから取り除くことで、全ての設計変数において要求性能を満足する範囲だけが「共通範囲」に残る。これを範囲絞込と言う。この範囲絞込を繰り返すことで、「共通範囲」が範囲解に収束することを図 2.2 の一番右は示している。一つの解でなく範囲として表現される解のことを範囲解と言う。

この手法は、様々な利点がある。ピンポイントではない集合範囲設計であるので範囲内での設計の変更が可能である。したがって、柔軟な設計を可能にする。また、設計・開発の初期段階から適応できるので、初期段階での曖昧な設計変数、要求性能に対応可能である。例えば、電子部品を使う設計の場合、電子部品の素子値は必ずしも同じ値だとは限らず、部品ベンダが保証する素子値の精度を許容差として示される。つまり、この許容差が示す範囲は電子部品の素子値が取りうる「セット」と言える。従って、許容差が示す範囲 \subseteq 範囲解となる電子部品を選ぶことで要求性能を満足するロバスト性の高い設計が可能になる。

2.3 選好度付セットベースデザイン手法 [7]-[11]

セットベース手法の具体的な手法の一つとして選好度付セットベースデザイン手法 [7] が提案されている。PSD 手法について図 2.3 のフローチャートに示す。

2.3.1 選好度

設計者の設計意図（一般知識、経験、ノウハウなど）をモデル化・数値化してセットベース設計手法に組み込むことで、設計手法に新たな展開が期待できる。このために、PSD 手法において選好度 (**Preference**) という概念を導入していることは、設計変数や要求性能に対して多くの条件や要求などを設計者の設計意図として反映させる手段であり、PSD 手法の特徴でもある。選好度は図 2.4 のようにセット（集合、すなわち範囲）と選好度数 (**Preference Number**) を用いて表現する。選好度数はセットの中でどの値が好ましいかを設定するもので、これは設計者の知識や経験、ノウハウなどもモデル化して与えることが可能である。選好度を導入することによって設計変数のパラメータ空間にある範囲解

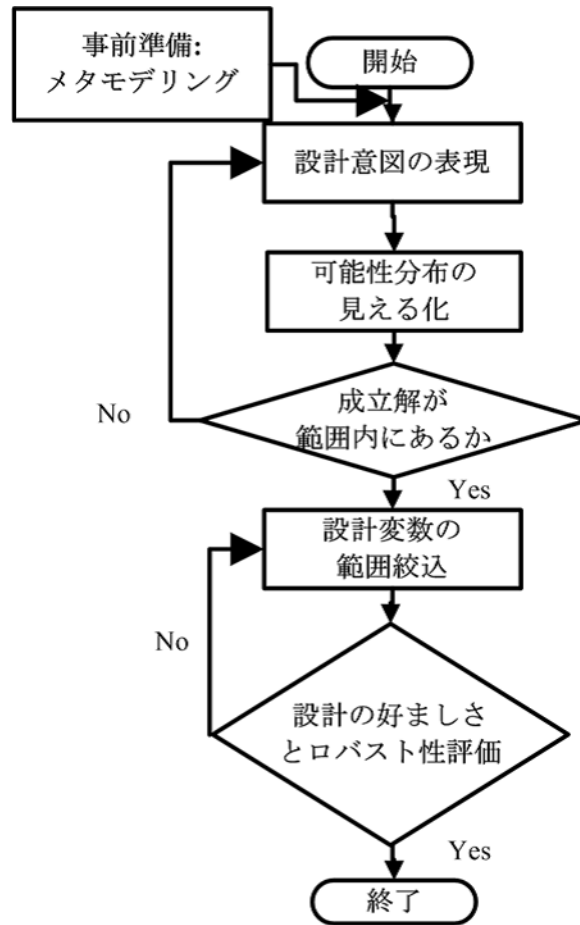


図 2.3 PSD 手法のフローチャート

の中でどの値を使うのが好ましいかを可視化できる。

図 2.4 は横軸が設計変数又は性能値の範囲，縦軸が選好度数である。選好度数が 0 より大きい部分が許容範囲であることを意味している。選好度数が高くなればなるほど設計意図に合致する度合いが高いことを意味するだけで，設計変数の選好度が高い方が要求性能をより満足するということではない。選好度数が 0 となる部分は非許容範囲であることを意味している。この選好度を設定することによって，設計者の意図が反映された設計変数の範囲解を求めることができる。

ここで，選好度の具体的な例を示す。誘電体の比誘電率 4.4，厚さ 1.6 mm の FR4 基板の線路設計を考える。要求性能として反射特性 $|S_{11}|$ を一定値以下にするという条件を設ける。設計変数として線路幅 w ($1 \text{ mm} \leq w \leq 5 \text{ mm}$) に以下の図 2.5 のように選好度を設定する。

この基板条件では， $w = 3 \text{ mm}$ で特性インピーダンスが 50Ω になり，低反射となる。

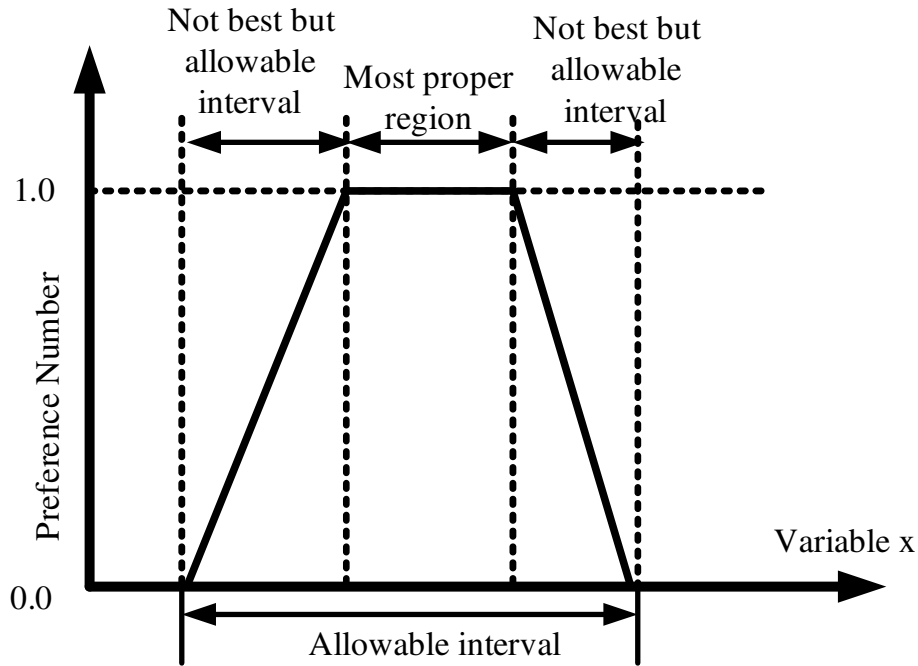


図 2.4 設計変数/要求性能の選好度の例

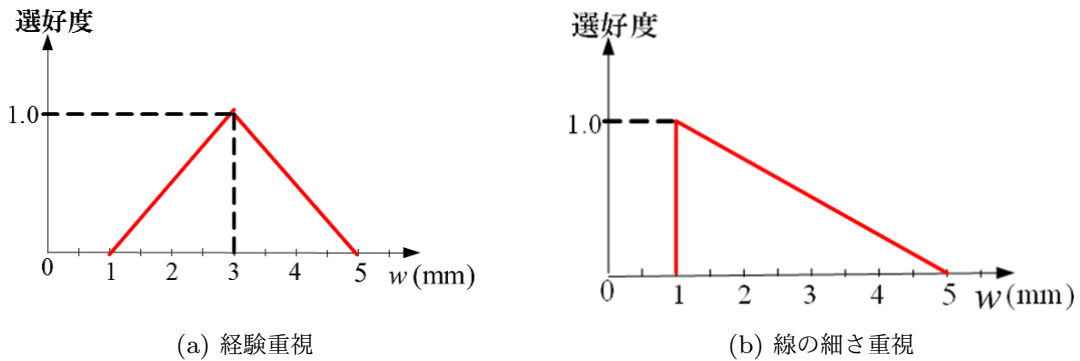


図 2.5 選好度の具体例

この場合の基板の条件で設計した経験が豊富であればこの知識はわかることである。その知識を持ち合わせた上でできるだけ反射特性が低くなるように設計したいのであれば、図 2.5(a) のように $w = 3 \text{ mm}$ が 1 番選好度が高いように設定する。その一方で、出来るだけ線路幅の細い線路を設計したいのであれば図 2.5(b) のように選好度を設定することができる。以上の具体例のように、選好度を用いて設計者の設計意図を自由に設定することで重みをつけた設計ができることになる。

ところで初めて設計を行なう場合では、選好度をどのように設定すればよいのかの指針

はつけにくい。その場合、設計変数の選好度は理想的には一様な選好度が好ましい。しかし、完全に一様な選好度、つまり選好度の関数形状を長方形で与えることには問題も存在する。一様な選好度はロバスト性を評価する際に一部の指標に差がつかない。詳細は後述するが、DCI(Design Convergence Index) や DSI(Design Stability Index) というロバスト性を評価する指標が該当する。DCI は選好度の最大値に対する各性能値における選好度の値の大きさを基に指標化するので、選好度が一様な場合では各性能における選好度がそのまま選好度の最大値になるので指標に差が出ない。DSI は選好度の傾きを基に指標化するので、選好度が一樣だと傾きが0となり指標に差が出ない。結果として、差がつかない指標を計算し続けることになるので計算時間が大きく増加することがありうる。本論文では選好度の多くを長方形以外の形状にすることで計算時間の増加を抑制した。またメタモデリングで求めた近似式を使用する場合、端の部分は近似度が低い場合も多いので、その部分を除いて計算を高速にした台形状の選好度を本論文の多くで使用した。

2.3.2 PSD 手法の手順

図 2.4 の選好度を例に考え、PSD 手法のフローチャートである図 2.3 をもとに PSD 手法の流れを説明する。PSD 手法を行なうには設計変数と要求性能の関係式が必要である。設計変数と要求性能の関係式は理論式もしくは近似式より求める。理論式は理論より定式化されている厳密式であり、より詳細に計算を行ないたい場合に用いる。近似式は数値計算やシミュレーション、実験により得られた設計変数と要求性能の関係を表すサンプリングデータから近似計算をモデル化する。このモデル化をメタモデリングと呼ぶ。ところで、設計変数と要求性能の関係を理論式で完全に表現できることは少ない。その一方で PSD 手法では「設計変数の範囲絞込」において範囲解を絞り込む過程で各設計変数を等分割し、分割された範囲同士の組み合わせについて性能を求めるためにその都度解析を行なう。この解析にシミュレーション（電気設計では回路・電磁界シミュレーション）や実験を用いることは非効率であり、課題によっては PSD 手法で解析することが現実的に難しい時間になる可能性がある。例えば 4.3 節で述べる電源-グラウンドプレーンのインピーダンスの計算はループを含む計算を複数回求める必要がある。これらのことを踏まえて本論文ではメタモデリングによって導出した近似式を使用する。メタモデリングについては 2.4 節で詳細に説明する。

PSD 手法の最初のプロセスである「設計意図の表現」は、設計者の意図を設計に反映するために、各設計変数及び各要求性能について選好度を定義するプロセスである。

各設計変数及び各要求性能に対するそれぞれの選好度が定義された後に、各設計変数の初期セットの組み合わせで生じる性能値の範囲を求めるプロセスである「可能性分布の見える化」である。入力値である設計変数の選好度がある分布として与えられるので、各設計変数のセットで組み合わせたときの性能値を求めると、この性能値は範囲分布として求められる。図 2.6 の例を用いて説明する。図 2.6 の設計変数 X_1 , X_2 の縦軸の選好度数が等間隔となる点を取り、選好度数が同じとなる設計変数 X_1 , X_2 のセットの組み合わせを用いて集合演算を行なうことで性能 Y のピンクの範囲を求める。これを可能性分布、この過程を「可能性分布の見える化」と呼ぶ。可能性分布の選好度は各設計変数の選好度数が同じとなるセットの組み合わせによって求められる。つまり、可能性分布の選好度数が 1 となるセットは各設計変数の選好度数が 1 のセットの組み合わせによって求められる性能値の範囲である。

すべての要求性能に対して可能性分布と要求性能の範囲間に重なる共通領域が存在する場合は設計変数のセットの中に解があることを示している。

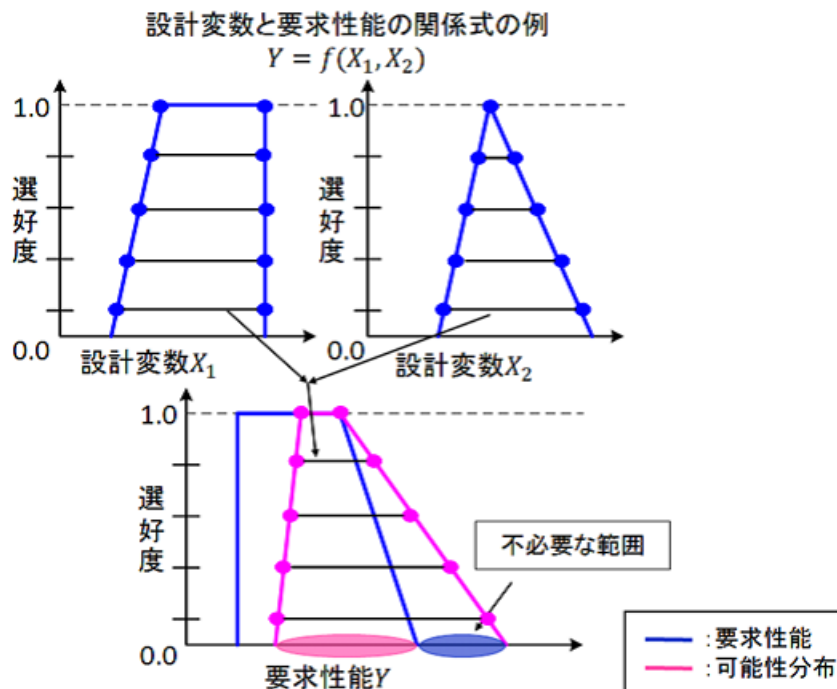


図 2.6 範囲と選好度の伝播

図 2.6 のように、「設計意図の表現」で設定した各設計変数の選好度を用いると設計者の要求を満たさない部分セットが存在しうる。「設計変数の範囲絞込」は、その要求を満たさない部分セットを取り除くプロセスである。以下に、絞り込みの例を図 2.7 で示す。

「可能性分布の見える化」で求めた可能性分布には要求性能の範囲外となるセット（非有効集合）が存在しうる。これは「可能性分布の見える化」では、全ての要求性能に対して要求性能を満足する素子の組み合わせが存在するかどうかを調べることを主眼にしたプロセスである。従って可能性分布の要求性能と重ならないセットに対して何も行わない。それに対し、「設計変数の範囲絞込」は要求性能を一つでも満たさない部分セットを取り除くことで、全ての要求性能を満足する素子値の組み合わせのみを解として残すプロセスである。

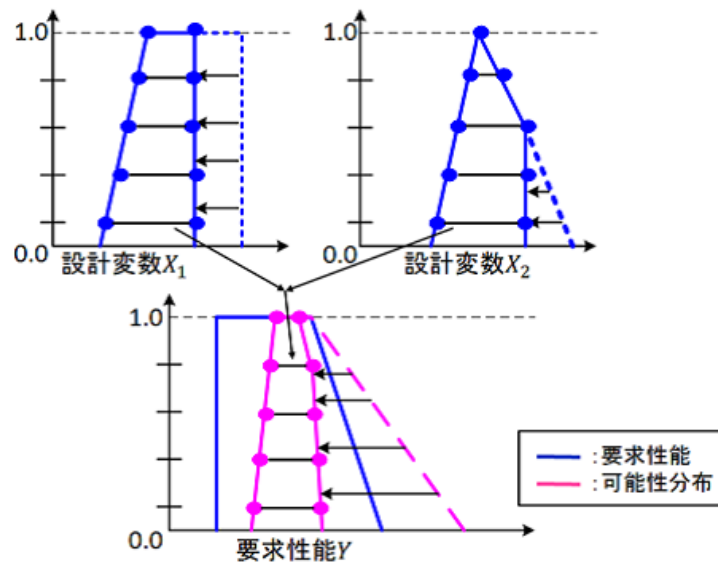


図 2.7 絞り込みの例

範囲解が要求性能内にあった場合、「設計の好ましさとロバスト性の評価」のプロセスに移る。「設計変数の範囲絞込」において設計変数の範囲を設定した値で等分割し、分割された範囲同士の組み合わせについて性能値を求め、さらに選好度数と範囲から設計案の好ましさとロバスト性についてそれぞれ DPI (Design Preference Index) と DRI (Design Robustness Index) という指標で評価する。ここで言う評価は分割された範囲を取り除くかセットに残すかを DPI と DRI の数値から決定することである。この過程を非有効集合がなくなるまで繰り返し実行することで、徐々に設計者の意図を反映したロバストな範囲解を求めることができる。また、一般にロバスト性の高い設計とは、設計変数の値を大きく変化させても、性能に与える影響が少ないことを言う。

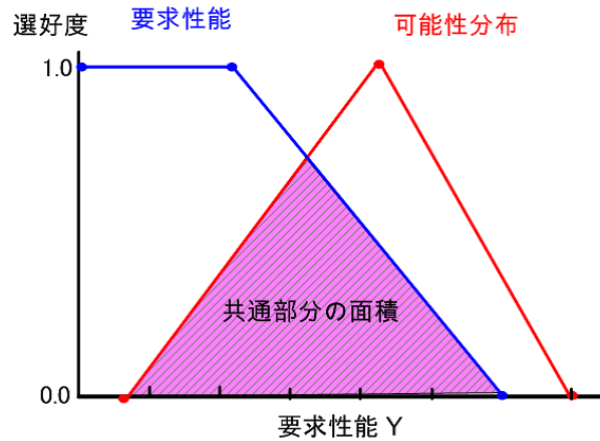


図 2.8 好ましさの評価

2.3.3 DPI(Design Preference Index)

設計の好ましさの評価する指標の一つとして **DPI** を定義する。DPI では範囲の大きさによって設計の好ましさの評価する。図 2.8 に示すような可能性分布と要求性能の選好度を例にする。ここで DPI は可能性分布と要求性能の共通部分の面積 (図 2.8 中のピンクの部分) を評価している。

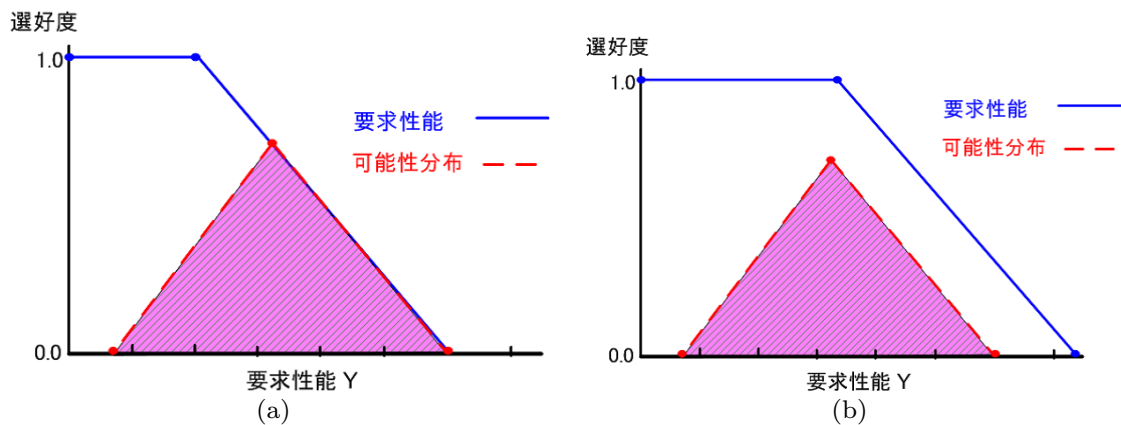


図 2.9 共通面積が同じでも可能性分布の選好度が異なる例

しかし単純に $DPI = \text{共通部分の面積}$ ではない。その理由について図 2.9 を用いて説明する。この図は図 2.8 の可能性分布と要求性能の共通部分の面積は同じであるが、可能性分布と要求性能の選好度が異なる。具体的には、図 2.8 と図 2.9(a) は共通部分における可能性分布と要求性能共通部分の面積は同じであるが、選好度数 0 における可能性分布の範囲も可能性分布の選好度数も小さい。従って図 2.8 中の一部の可能性分布の選好度は評

価から無視されてしまう。次に図 2.9(b) は図 2.9(a) と比べると可能性分布は同じであるが、選好度数 0 における要求性能の範囲も要求性能の選好度数も大きい。従って図 2.9(b) の一部の要求性能の選好度は評価から無視されてしまう。可能性分布と要求性能の共通部分を取るということは、共通部分の各性能における可能性分布か要求性能の低い方の選好度を使うことになるので、高い方の選好度は評価から無視されてしまう。そこで共通部分の各性能値において可能性分布と要求性能の平均を取ることによって可能性分布と要求性能の選好度を同時に評価できる。式 (2.1) にこの平均化処理された選好度を表す式を示す。

$$avg(x) = [pos(x)^\alpha \times req(x)^\beta]^\frac{1}{\alpha+\beta} \quad (2.1)$$

ここで、 $avg(x)$ は性能値 x における選好度の平均値であり、 $pos(x)$ は可能性分布の選好度、 $req(x)$ は要求性能の選好度である。 α と β は可能性分布と要求性能の重み付けであり、 $\alpha > \beta$ であれば設計変数を重視した設計となり、 $\alpha < \beta$ であれば要求性能を重視した設計になる [7], [22]。本論文では、特に可能性分布と要求性能のどちらかを重視した設計を行なう理由がなかったため、均等の重みで評価するため、 $\alpha = \beta = 1$ とした。

$$DPI = \int avg(x) dx \quad (2.2)$$

2.3.4 DRI(Design Robustness Index)

ロバスト性を表す指標である **DRI** は、設計の精度に関する指標である DAI(Design Accuracy Index)、設計者が満足できる設計をいかに簡単に早く見つけることができるかを表す指標である DCI、設計が変更される可能性が少なく安定していることを表す指標である DSI の 3 つの指標を用いて評価する。

まず設計の精度に関する指標である DAI について説明する。精度が高い設計とは設計変数が増加しても性能値の変化が少ないことである。例えばフィルタの設計において使用する素子の素子値に誤差が生じていても、所望するフィルタの特性に影響が少なければロバスト性は高いと言える。したがって、DAI の値としては図 2.10 に示すように選好度 0 における可能性分布の範囲を用いる。設計変数の各セットで組み合わせた時の性能値が可能性分布であるので、この範囲が狭ければ狭いほど、設計変数の変化に対して性能値の変化が少ない、即ち精度の高い設計であることを示す。

次に設計者が満足できる設計をいかに簡単に早く見つけることができるかを表す指標である DCI について説明する。PSD 手法において設計者が満足できる設計とは設計変数の

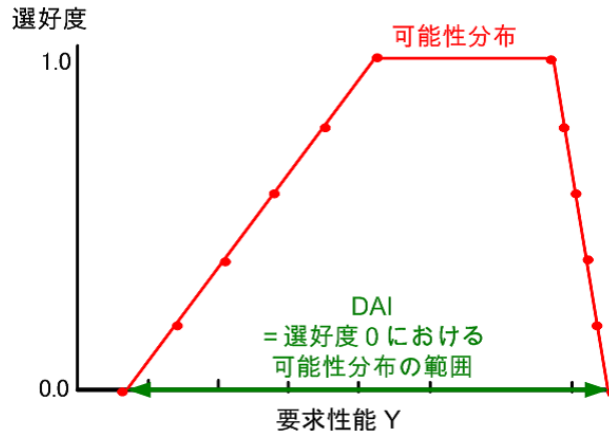


図 2.10 設計の精度に関する評価

選好度の高い領域の値の組み合わせによって得られる性能が、要求性能を満足し、且つその選好度が高い場合である。そのためには、要求性能の選好度が低い領域をできるだけ除外することで設計を収束させることで、より満足できる設計変数の「セット」に設計解を絞り込むことが可能になる。DCIはこの収束の速さを表す指標であり、式(2.3)で表される。

$$DCI = \sum_{k=0}^n \frac{pos(x_k)}{pos_{max}} \times \left[\frac{req(x_k)}{req_{max}} - 0.5 \right] \quad (2.3)$$

ここで $pos(x_k)$ は x_k における可能性分布の選好度を表し、 pos_{max} は可能性分布の最大選好度を表している。同様に $req(x_k)$ は x_k における要求性能の選好度を表し、 req_{max} は要求性能の最大選好度を表している。この式の可能性分布を表現した部分である $\sum_{k=0}^n pos(x_k)/pos_{max}$ について図 2.11 を用いて説明する。可能性分布の横軸である性能値を等間隔で分割することで離散化する。この離散化した x_k における可能性分布の選好度 $pos(x_k)$ を可能性分布の最大選好度 pos_{max} で割ることによって、 x_k における可能性分布の選好度 $pos(x_k)$ がどの程度可能性分布の最大選好度 pos_{max} に近い値であるかを評価可能になる。要求性能についても同様の方法で x_k における要求性能の選好度 $req(x_k)$ がどの程度要求性能の最大選好度 req_{max} に近い値であるかを評価する。但し、要求性能の場合は $[req(x_k)/req_{max} - 0.5]$ とすることで 0.5 を基準にして、0.5 以上の設計を歓迎し、以下であれば非歓迎する。その値が 0.5 以上であれば 0.5 以上のプラスの値が総和され、以下であればマイナスの値が総和される。この 0.5 という値には物理的根拠はない。しかし、この値を 0.7 のように大きくすると、要求性能の選好度 $req(x_k)$ はその最大値 req_{max} に近くなるのでより要求性能の選好度が最大値 req_{max} に近い「セット」になる。

しかし、0.7未満の領域では選好度が低いと扱われることから除外する対象になり、結果的に0.7以上に対応する領域は狭くなる。一方でPSD手法が求める設計変数の範囲解は、要求性能を満たすことが必要条件である。従って、得られた範囲解以外の領域でも要求性能を満たす設計変数のセットは存在しうる。PSD手法では得られる解を少しでも必要十分条件に近づけるために、可能な限り広い範囲解となるようなアルゴリズムにしている。そこで、選好度の取りうる範囲 $[0,1]$ の中央値である0.5という値を採用している。

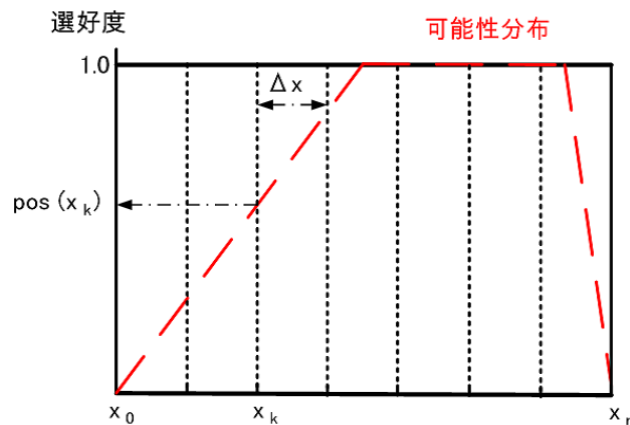


図 2.11 DCI の求め方

最後に設計が変更される可能性が少なく安定していることを表す指標である DSI について説明する。図 2.12 は可能性分布と要求性能の選好度を平均化した一例である。図 2.12(a) の選好度は三角形に近い形状になっている。このような場合、選好度が一番高い設計変数の値は一意であり、設計変数の値から変更すると選好度は低くなる。従って、設計が変更される可能性が少なく安定している設計になる。一方、図 2.12(b) の選好度は台形に近い形状になっている。このような場合、選好度が一番高い設計変数の値は範囲として存在する。選好度が一番高い設計変数の値が範囲として存在することは一見安定に見えるが、設計変数の選好度が変わらなければ範囲内の値のどれを選んでも構わないため、設計が変更される可能性はあり、設計が変更される可能性という視点で考えると逆に不安定になる。よって台形のような平らな部分が多ければ設計が変更される可能性はあるので不安定な設計になる。これらを踏まえて DSI は「選好度が高い領域で選好度の傾きが大きい設計のほうがより安定した設計である」という考え方で評価する。選好度の高い領域で選好度の傾きが大きければ、セット内の値に優劣がつけやすいので設計をフィックスしや

すくなる。この考え方に従って DSI は以下の式 (2.4)~(2.7) で表される。

$$DSI = \sum_{k=0}^{n-1} \Delta p(x_k) \times \sum_{k=0}^{n-1} \frac{PR[avg(x_{k+1})] + PR[avg(x_k)]}{2 \times (n+1)} \times \left(\frac{\Delta p(x_k)}{\Delta p_{max}} \right) \quad (2.4)$$

$$PR[avg(x_k)] = \sum_{l=0}^n pr[avg(x_k), avg(x_l)] \quad (2.5)$$

$$pr[avg(x_k), avg(x_l)] = \begin{cases} 1 & avg(x_k) \geq avg(x_l) \\ 0 & avg(x_k) < avg(x_l) \end{cases} \quad (2.6)$$

$$\Delta p(x_k) = ABS[avg(x_{k+1}) - avg(x_k)] \quad (2.7)$$

式中的変数は可能性分布と要求性能の選好度を平均化した一例 (図 2.13) に示す通りである。

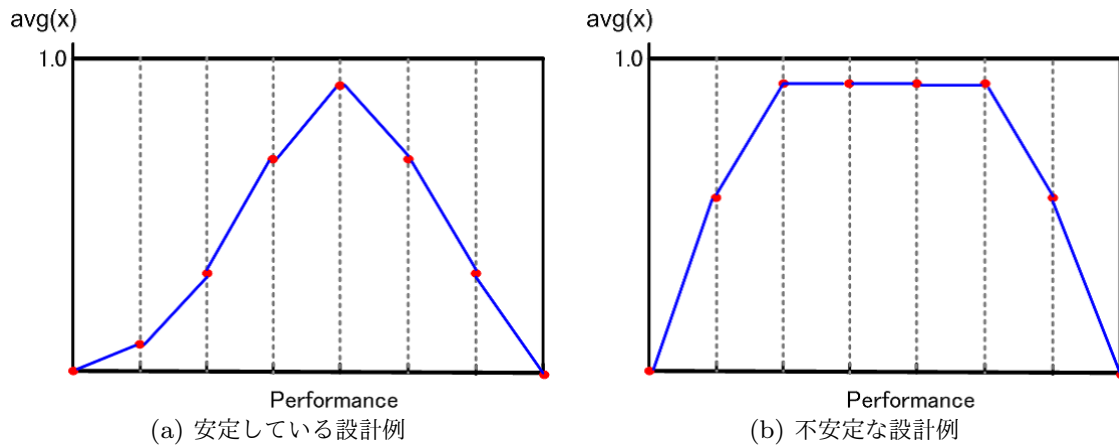


図 2.12 可能性分布と要求性能の選好度を平均化した一例

これらの指標をまとめて評価するために各指標を式 (2.8)~(2.11) を用いて規格化する。

$$NDAI = \frac{DAI_{min}}{DAI} \quad (2.8)$$

$$NDCI = \frac{DCI - DCI_{min(n)}}{DCI_{max} - DCI_{min(n)}} \quad (2.9)$$

$$DCI_{min(n) = -0.5 \times (n+1)} \quad (2.10)$$

$$NDSI = \frac{DSI}{DSI_{max}} \quad (2.11)$$

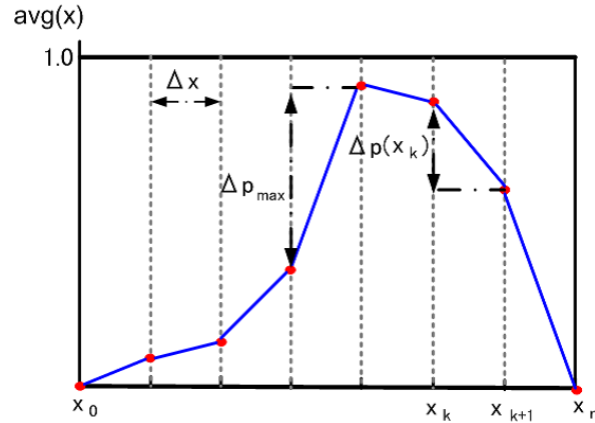


図 2.13 可能性分布と要求性能の選好度を平均化した一例

これらをまとめて評価するために、ロバスト性の指標は以下の式で表す。

$$DRI = \frac{\omega_A \times NDAI + \omega_C \times NDCI + \omega_S \times NDSI}{\omega_A + \omega_C + \omega_S} \quad (2.12)$$

ここで ω_A は DAI の重み付け係数、 ω_C は DCI の重み付け係数、 ω_S は DSI の重み付け係数であり、重み付けを行なうことで DRI を評価する際にどの指標を重視して評価するか設定することができる。本論文では、どの指標も均等の重みで評価するため、 $\omega_A = \omega_C = \omega_S = 1$ とした。

2.3.5 PRI(Preference and Robustness Index)

設計の好ましさとロバスト性を同時に評価するために DPI と DRI より統合的に評価可能な指標 PRI を用いる。DPI も DRI を構成する各指標と同様に以下のように規格化する。

$$NDPI = \frac{DPI}{DPI_{max}} \quad (2.13)$$

PRI は式 (2.14) で。

$$PRI = \{(NDPI)^{\omega_P} + (NDAI)^{\omega_A} + (NDCI)^{\omega_C} + (NDSI)^{\omega_S}\}^{\frac{1}{\omega_P + \omega_A + \omega_C + \omega_S}} \quad (2.14)$$

ここで ω_P は DPI の重み付け係数であり、DRI 同様に重み付けを行なうことで PRI を評価する際にどの指標を重視して評価するか設定することができる。本論文では、どの指標も均等の重みで評価するため、 $\omega_P = \omega_A = \omega_C = \omega_S = 1$ とした。

式 (2.14) で表される PRI は一つの性能に対する設計の好ましさとロバスト性について評価している。しかし、一般的に多目的設計では複数の性能を評価するために、

PSD 手法では各性能に対する PRI を求め、その値を統合することで性能全体に関する評価を行なっている。異なる性能でも共通の設計変数があるので、仕様として検討する性能について可能性分布が要求性能を満足するまで設計変数の絞り込みを行なう。仕様として検討する性能の数を N 個とすると、重み付きべき乗平均を用いることで各性能の評価指標 $PRI_i (i = 1, 2, \dots, N)$ を統合した多目的性能の評価指標 APRI (Aggregated Performance and Robustness Index) として式 (2.15) で表現できる。本論文では、特に優先して評価する性能を設けずにどの性能も均等の重みで評価するため、 $\omega_1 = \dots = \omega_N = 1$ とした。

$$APRI = \left\{ \frac{\omega_1(PRI_1)^S + \dots + \omega_N(PRI_N)^S}{\omega_1 + \dots + \omega_N} \right\}^{\frac{1}{S}} \quad (2.15)$$

式 (2.15) における変数 S の値を変えると一般的な平均演算が得られる。例えば $S = 1$ で算術平均、 $S = 2$ で二乗平均となる。

2.4 メタモデリング

本節では、PSD 手法をシグナルインテグリティ・パワーインテグリティへ応用するためのメタモデリング手法について検討している。メタモデリングは、数値解析、シミュレーション、実験よりサンプリングデータを得る必要がある。本論文では数値解析もしくはシミュレーションよりサンプリングデータを取得している。実験結果からサンプリングデータを取得しない理由は、本論文において PSD 手法は設計初期段階から使用可能な設計手法、特に既存の設計資産を利用できない新規設計での使用を想定しているからである。ここでいう設計資産とは、過去の類似設計で使った設計データのことである。基板設計を例にするとレイアウト図や回路図及び基板のシミュレーションモデルなどが設計資産である。新規設計では設計初期段階においてまだ確定していないことが多い。これは現代における設計では関連する設計が並行して行なわれることが多く、設計が進むにつれて並行して行なわれる設計の都合で条件に制約が増えていく。設計初期段階で実験を行なおうとすると並行して行なわれる設計から条件の制約がないので、実験計画法 [23] を用いて効率化しても膨大な数の実験が必要になる。これでは、近似式を求めるために多くのコストと時間が要求されるため、本末転倒になりかねない。また、設計が進むにつれて他の設計の都合で条件が制約されると、行なった実験の中には結果的に実験する必要がなかった条件も含まれるのでコストパフォーマンスも悪い。これが過去に類似設計を行なっている場合では、その設計資産を基に制約される条件の予測ができる場合もあり、その場合では実験に

よるサンプリングデータの取得も有用である。

応答曲面法 (RSM : Response Surface Method)[24]-[27]

応答曲面法の理論

応答曲面法とは、可能な限り少ないデータを用いて、任意の数の変数に対する応答を予測する数学・統計的組み合わせ手法である [24]-[27]。統計学において、応答曲面 (Response Surface) は $n(n > 1)$ 個の予測変数 $x_i (i = 1, 2, \dots, n)$ およびその応答 y を近似したものである。今、ある応答関数が次式で与えられるとする。

$$y = f(x_1, x_2, \dots, x_n) + \varepsilon \quad (2.16)$$

ここで、 ε は誤差を示す。応答曲面法は関数の形に制限がない手法であるが、関数の形によって近似式と本来の設計変数と性能の関係の相関は変わってくるので、使う関数の吟味は必要である。一般の品質工学の分野では、取り扱いが簡単な多項式が多く用いられる。しかし、線形関数だけでなく線形化可能な非線形関数も変数変換を行うことで応答曲面法で多く用いられる。例えば、べき乗関数、対数関数、指数関数、有理関数などである。

2次関数の近似による応答曲面法

ここでは、最小2乗法を用いた近似式の作成手法を説明する。以下に、最小2乗法を用いた時に得られる2次関数で表現する応答曲面 (近似式) を示す。

$$y = \beta_0 + \sum_{i=1}^n \beta_i x_i + \sum_{i=1}^n \beta_{ii} x_i^2 + \sum_{i,j=1}^n \beta_{ij} x_i x_j \quad (2.17)$$

ここで、式 (2.17) の右辺の第4項である $x_i x_j$ は新しい変数として扱うことができる。変数が2つ ($n = 2$) の場合を例に考えると、式 (2.17) は以下のように書くことができる。

$$y = \beta_0 + \beta_1 x_1 + \beta_2 x_2 + \beta_{11} x_1^2 + \beta_{22} x_2^2 + \beta_{21} x_1 x_2 \quad (2.18)$$

式 (2.18) において、 $x_1^2 = x_3$ 、 $x_2^2 = x_4$ 、 $x_1 x_2 = x_5$ とすると多変数2次多項式は多変数1次式となる。同様に、3次多項式、4次多項式などの高次多項式にも線形化可能である。ここで多くの場合、応答曲面法では多項式関数が使われるがその時、様々な組み合わせの変数のデータから変数の係数を決定する必要があり、これは統計学における回帰分析に対応する。従って、予測変数 x_i と予測される応答 y_i から成る1次式の係数 β の推定に用いるデータの組の総数を k 、変数の数を n とすると、式 (2.16) は以下のように行列式で表す

ことができる。

$$\mathbf{y} = \mathbf{X}\boldsymbol{\beta} + \boldsymbol{\varepsilon} \quad (2.19)$$

$$\mathbf{y} = \begin{pmatrix} y_1 \\ y_2 \\ \vdots \\ y_k \end{pmatrix}$$

$$\mathbf{X} = \begin{pmatrix} 1 & x_{11} & x_{12} & \cdots & x_{1n} \\ 1 & x_{21} & x_{22} & \cdots & x_{2n} \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 1 & x_{k1} & x_{k2} & \cdots & x_{kn} \end{pmatrix}$$

$$\boldsymbol{\beta} = \begin{pmatrix} \beta_0 \\ \beta_1 \\ \vdots \\ \beta_n \end{pmatrix}$$

$$\boldsymbol{\varepsilon} = \begin{pmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \vdots \\ \varepsilon_k \end{pmatrix}$$

ここで、 \mathbf{y} は応答曲面ベクトル、 \mathbf{X} は変数行列、 $\boldsymbol{\beta}$ は係数ベクトル、 $\boldsymbol{\varepsilon}$ は誤差ベクトルである。誤差の2乗和を最小にするために、式(2.19)を用いて係数ベクトル $\boldsymbol{\beta}$ の不偏推定量 \mathbf{b} を以下の式で求めることができる。

$$\mathbf{b} = (\mathbf{X}^T \mathbf{X})^{-1} \mathbf{X}^T \mathbf{y}. \quad (2.20)$$

以上の流れで2次関数近似による応答曲面が作成できる。

2次関数近似による応答曲面法の特徴は一度近似式を求めると高速で補間値を計算できるという点がある。本研究では高速でかつ取り扱いが簡単であることから設計変数を等間隔にサンプリングした2次関数近似による応答曲面法を用いた。設計変数を等間隔にサンプリングする理由としてサンプリング間隔に偏りがある場合、サンプリング間隔の狭い部分が応答曲面に与える影響が支配的になってしまう問題があり、それを防ぐためである。しかしながら急峻な特性の変化、例えばQ値の高い鋭い共振、が発生する場合には2次関数では精度の高い応答曲面を得るのは困難である。

3章のマイクロストリップラインのレイアウト設計、チェビシェフフィルタの設計、4.2節のEMIフィルタの設計、及び4.3節の電源-グラウンドプレーンのデカップリングキャ

パシタ実装の最適化の一部のメタモデリングは 2 次関数近似の応答曲面を行なった。

放射基底関数 (RBF) 補間による応答曲面法

本節では放射基底関数補間による応答曲面について説明する。RBF 補間はコンピュータ・グラフィックスの分野や機械学習の分野で使われている。表 2.1 のデータから図 2.14 に示す RBF 補間の過程を説明する。設計変数 x と性能 y の関係が表 2.1 で与えられるとする。

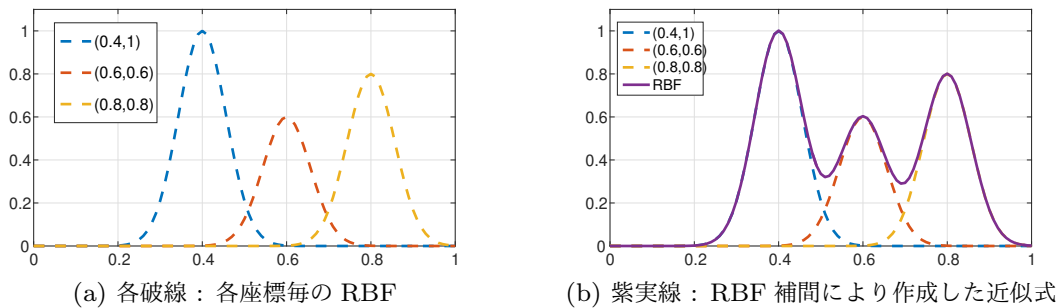


図 2.14 RBF 補間の一例

表 2.1 設計変数 x と性能 y を表すサンプリングデータの一例。

i	1	2	3
x_i	0.4	0.6	0.8
y_i	1	0.6	0.8

各座標 (x_i, y_i) を中心とし、その中心からの距離に依存する関数を作成する。ここでは中心からの距離に依存する関数としてガウス関数を用いるが、他の関数でもよい。この関数を RBF と言い、各座標についての RBF は式 (2.21) で表せる。

$$y = y_i \exp \left\{ -\frac{(x - x_i)^2}{\sigma^2} \right\} \quad (2.21)$$

ここで x は任意の設計変数、 y は x に対する性能、 σ は標準偏差であり、RBF 補間では基底関数半径と言う。各座標について作成した RBF を足し合わせた式 (2.22) は任意の設計変数 x に対する性能 y を表す近似式となる。

$$y = \sum_{i=1}^n y_i \exp \left\{ -\frac{(x - x_i)^2}{\sigma^2} \right\} \quad (2.22)$$

ここで n は与えられた座標の数である。

この節では簡単に説明するために 1 設計変数 1 性能を例に RBF 補間による近似式について述べた。実際には複数の設計変数に対しても適用可能である。設計変数 x_{ai}, x_{bi}, \dots の組み合わせに対する性能 y_i となるサンプリングデータは RBF を用いて式 (2.23) で、RBF 補間による近似式は式 (2.24) で表せる。

$$y = y_i \exp \left\{ -\frac{(x_a - x_{ai})^2 + (x_b - x_{bi})^2 + \dots}{\sigma^2} \right\} \quad (2.23)$$

$$y = \sum_{i=1}^n y_i a \exp \left\{ \frac{(x_a - x_{ai})^2 + (x_b - x_{bi})^2 + \dots}{\sigma^2} \right\} \quad (2.24)$$

ここで x_a, x_b, \dots はそれぞれ任意の設計変数、 y は任意の設計変数 x_a, x_b, \dots の組み合わせに対する性能を示す。

RBF 補間による応答曲面の特徴は与えられた座標を必ず通る関数であることと、一度応答曲面を求めると補間値を比較的高速に求められることがある。与えられた座標を必ず通るということは、例えば電源設計において Q 値の高い鋭い共振が存在しても共振点近くとなる設計変数の組み合わせをサンプリングデータに入れることでメタモデリングに反映できる。しかしながら、サンプリングするデータの数、使用する設計変数の数に比例して式は複雑になり、2 次関数近似による応答曲面法を使ったメタモデリングと比べると PSD 手法に要する時間が長くなってしまう。

4.3 節の電源-グラウンドプレーンのデカップリングキャパシタ実装の最適化の一部のメタモデリングは RBF 補間により応答曲面を求めた。

相関係数

相関係数 r とは、2 つの確率変数の間の相関 (類似性の度合いの強弱) を示す統計学的指標のことである。相関係数は無次元数で、 $-1 \leq r \leq +1$ の実数値をとる。 r が $+1$ に近いほど強い正の相関があり、 -1 に近いほど強い負の相関があるという。また、 r が 0 の時は元の確率変数が無相関である。以下に、相関係数 r の式を示す。

$$r = \frac{\sum_{i=1}^n (x_i - \bar{x})(y_i - \bar{y})}{\sqrt{\sum_{i=1}^n (x_i - \bar{x})^2} \sqrt{\sum_{i=1}^n (y_i - \bar{y})^2}} \quad (2.25)$$

なお、 \bar{x} と \bar{y} はデータ $x = \{x_i\}$, $y = \{y_i\}$ の相加平均を表している。

応答曲面法で得られた近似式が元データと大きな相違がないか、また近似式の妥当性の検証方法の 1 つとして相関係数 r を求めている。

2.5 まとめ

本章では、PSD 手法の説明とシグナルインテグリティ・パワーインテグリティへの応用を行なうためのメタモデリング手法の検討について述べた。PSD 手法の基になった考え方であるセットベース設計手法と、PSD 手法の最大の特徴である選好度について述べた。PSD 手法で行なわれている流れを図 2.3 のフローチャートに沿って述べた。また、メタモデリング手法では、2 次関数近似と RBF 補間による応答曲面法について述べた。

第 3 章

PSD 手法のシグナルインテグリティへの適用

3.1 はじめに

本章では PSD 手法のシグナルインテグリティへの適用について検討する。具体的にはマイクロストリップライン (MSL : Microstrip Line) のレイアウト設計と、5 次の連立チェビシェフ形ローパスフィルタの設計への PSD 手法の適用について述べる。

MSL はプリント回路基板の伝送線路として幅広く利用されている。電子機器の小型化・高機能化・デザインに対するニーズを背景に近年、高密度実装が求められている。その中で MSL は単純にシグナルインテグリティだけでなく、実装面積が小さくなるように配線の引き回しにも工夫が求められている。

連立チェビシェフフィルタは高速信号配線の波形補正などで利用されている。フィルタの通過特性と遮断特性として与えられた仕様 (要求性能) を同時に満足する必要がある。PSD 手法を適用することで試行錯誤を行なうことなく要求性能を同時に満足する設計変数範囲が得られることを示す。

3.2 マイクロストリップライン (MSL) 設計への適用

3.2.1 平行二本線路の設計

簡単な 2 本の伝送線路のレイアウト設計について適用する。図 3.1 に設計する MSL の平行二本線路を示す。ここで検討した問題は、伝送線路の散乱行列を要求性能としてそれ

を満足するようにレイアウトを決定することである。基板は誘電率 4.4、厚さ 1.6 mm の FR4 ガラスエポキシ基板を用いる。

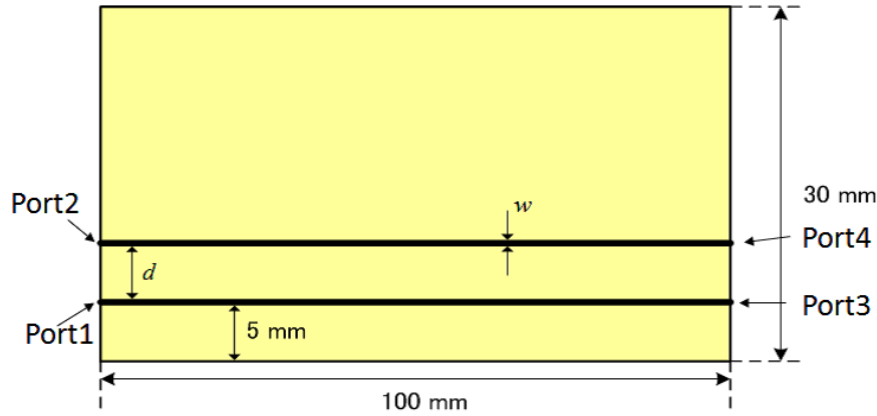


図 3.1 検討した平行二本線路

このモデルでは、10 MHz～1 GHz の周波数帯域で散乱行列が以下の要求性能を満たす 2 つの設計変数、線路間隔 d 、線路幅 w の値を決定することを検討する。

- $S_r(d, w) = \max(|S_{11}|, |S_{22}|, |S_{33}|, |S_{44}|) \leq -25 \text{ dB}$
(Reflection characteristics)
- $S_n(d, w) = \max(|S_{21}|, |S_{12}|, |S_{34}|, |S_{43}|) \leq -25 \text{ dB}$
(Near-end crosstalk)
- $S_f(d, w) = \max(|S_{41}|, |S_{14}|, |S_{32}|, |S_{23}|) \leq -20 \text{ dB}$
(Far-end crosstalk)

以上の検討モデルを PSD 手法を適用する前に、事前準備としてメタモデリングを行なう。ここでは、メタモデリングは 2 次関数による応答曲面法から得られる近似式を使った。ここではハフマンの近似式 [28] をサンプリングデータとした。図 3.2(a) に線路間隔 d 、図 3.2(b) に線路幅 w 、図 3.3(a) に反射特性 $S_r(d, w)$ 、図 3.3(b) に遠端クロストーク $S_f(d, w)$ の選好度を示す。図 3.2(a) の黒破線で囲った部分が設計変数の「設計意図の表現」で設定した設計変数の初期範囲であり、赤線で囲った部分が PSD 手法で求めた範囲解である。設計変数の選好度の意図としては、図 3.2(a) に示すように線路間隔 d が小さい方から選好度を高くすることで伝送線路が基板に占める領域の面積を小さく、図 3.2(b) に示すように線路幅 w は 50Ω 系を想定してできるだけ反射が小さくなるようにこれまでの筆者の設計経験から 3 mm の時に選好度が最大の 1 となるような二等辺三角形の形に

した。

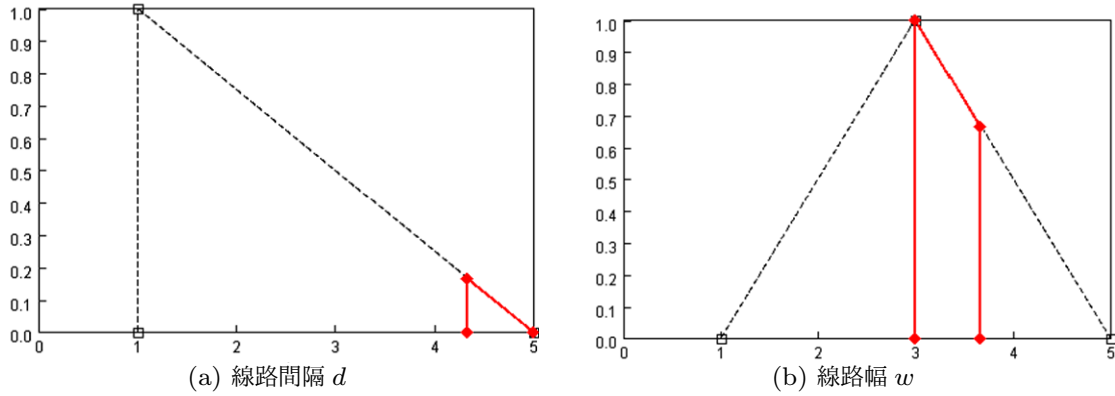


図 3.2 検討した平行二本線路の設計変数の選好度: 黒破線は初期範囲, 赤線は範囲解.

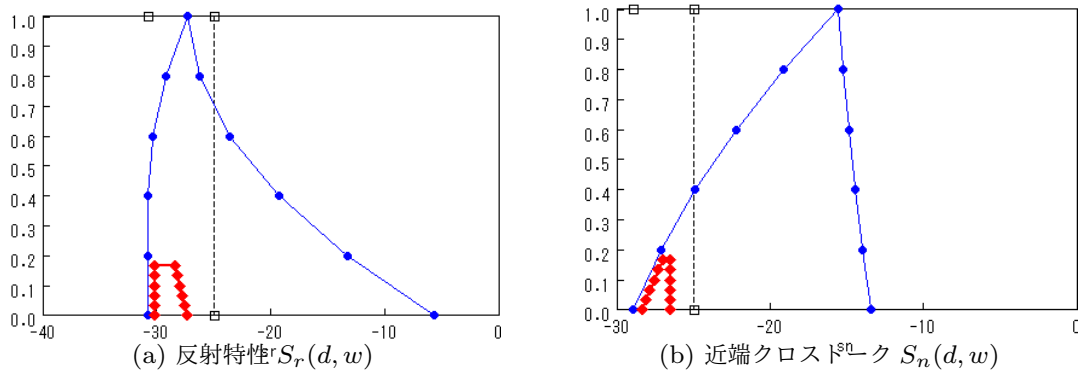


図 3.3 検討した平行二本線路の要求性能の選好度: 黒破線は初期範囲, 青線は可能性分布, 赤線は範囲解.

図 3.3 の黒破線で囲った範囲が「設計意図の表現」で設定した要求性能の選好度であり, 青線で囲った部分は「実現可能領域の可視化」で求めた可能性分布を示している. さらに絞込みを行なった結果が赤線で囲った部分である. 可能性分布と要求性能が重なる共通領域の中に範囲解が存在することを示している.

PSD 手法から得られた解の妥当性を検証するため, 表表 3.1 に示すように線路間隔 d が範囲解内の水準 (case A) と範囲解外の水準 (case B) を設定した. case A は設計者の設計意図を尊重し, 範囲解内の選好度が一番高い値を選んだ. なお範囲解の中であれば要求性能自体は満足する. . .

図 3.4-3.7 は表 3.1 の設計変数の組み合わせで試作した基板の測定結果とフルウェーブシミュレーションでシミュレーションした結果を示している. 図 3.4 の反射特性の振幅 $|S_{11}|$ は 600 MHz 以上の高周波帯域において case A, case B どちらの組み合わせも要求

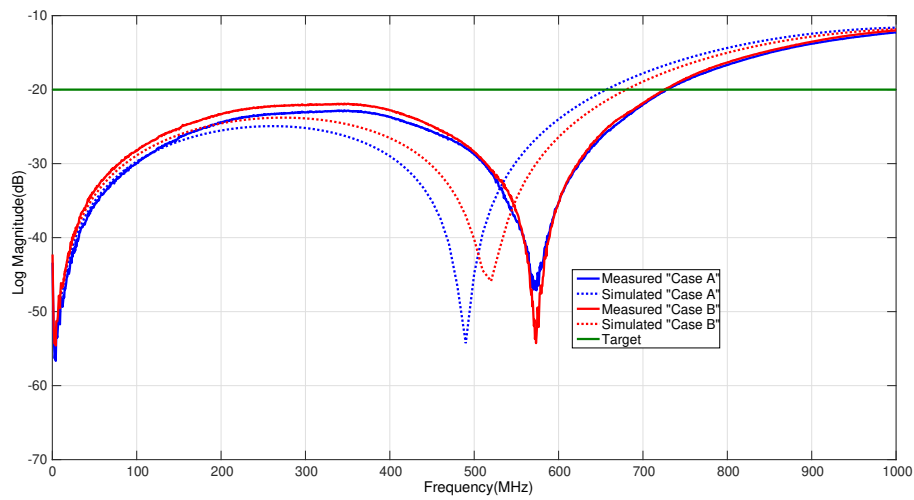
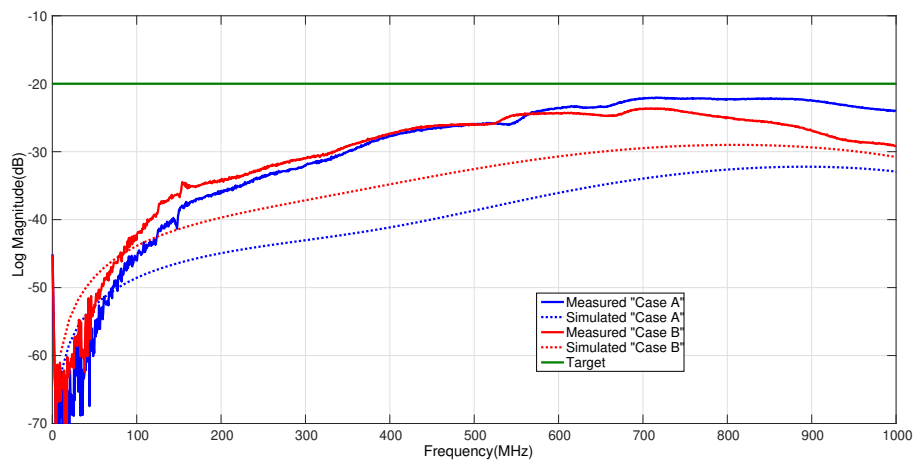
表 3.1 case A と case B の設計変数

	d (mm)	w (mm)
case A	4.5	3.0
case B	2.0	3.0

性能を満足できなかった。これは PSD 手法は厳密解を導く手法ではなく、複数の目的性能の満足度が高い解の範囲を高速に導く手法であるため、近似式の精度が悪いと要求性能近辺での解が条件を少し超過してしまう可能性が現状ではあるためである。この時の反射特性 $S_r(d, w)$ の近似式の相関係数は 0.967 であり、近端クロストーク $S_n(d, w)$ の相関係数 0.991、遠端クロストークの相関係数 0.999 と比べて近似式の精度は悪かった。逆に図 3.5 の反射特性の振幅 $|S_{22}|$ は、case A, case B どちらの組み合わせも要求性能を満足できた。case A の組み合わせでは図 3.6 の近端クロストークの振幅 $|S_{21}|$ 、図 3.7 の遠端クロストークの振幅 $|S_{41}|$ のどちらの特性においても測定結果ではシミュレーション結果は要求性能を満足しているのに対し、case B の組み合わせだとどちらも要求性能を満足していないことが分かる。相反定理が成立するので、反射特性の振幅 $|S_{33}|$ は $|S_{11}|$ と同様の傾向を示し、反射特性の振幅 $|S_{44}|$ は $|S_{22}|$ と同様の傾向を示し、近端クロストークの振幅 $|S_{43}|$ は $|S_{21}|$ と同様の傾向を示し、遠端クロストークの振幅 $|S_{23}|$ は $|S_{41}|$ と同様の傾向を示すのでここでは割愛する。case A の組み合わせのように選好度の高い値を範囲解から選ぶことで、伝送線路が基板に占める領域の面積を小さくするという設計意図に沿った設計が可能になる。

3.2.2 非平行二本線路の設計

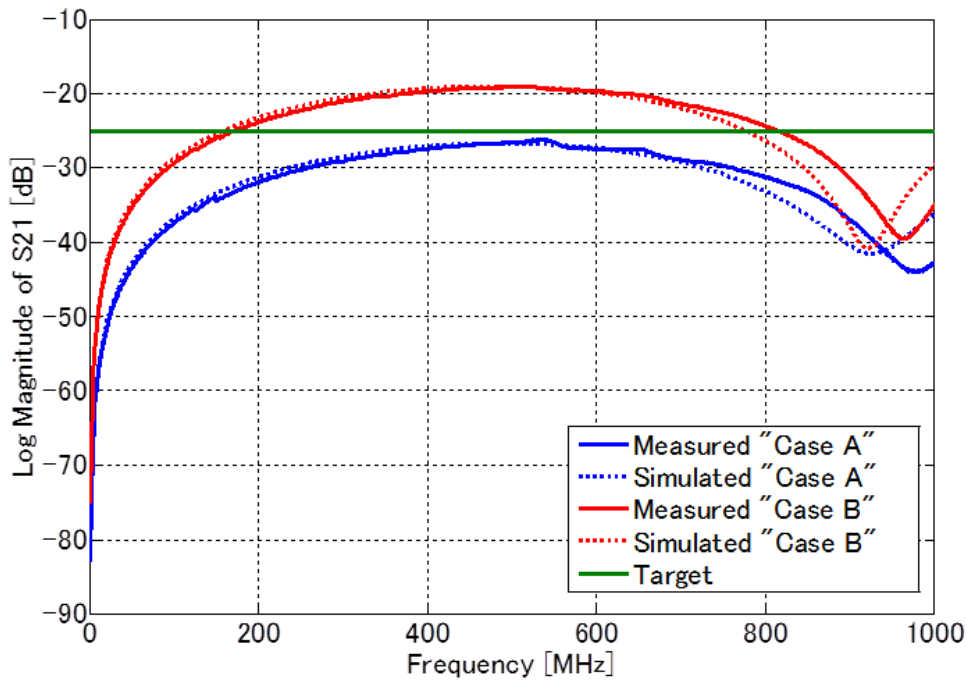
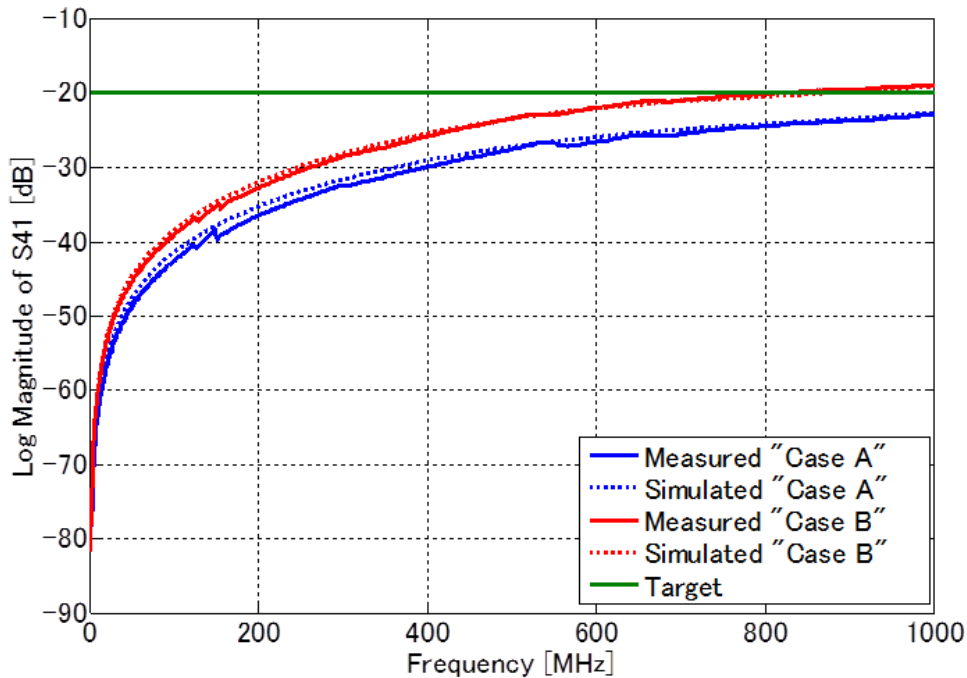
次に、図 3.8 に示す非平行二本線路モデルについて検討する。このモデルの基板も誘電率 4.4、厚さ 1.6 mm の FR4 ガラスエポキシ基板を用いる。線路間隔 d 、線路幅 w 、線路長 L_x 、角度 θ の 4 つのパラメータを設計変数とする。設計変数の選好度の意図としては、平行二本線路モデルと同様に伝送線路が基板に占める領域の面積を小さくするために、線路間隔 d と角度 θ が小さい方から選好度を高くした (図 3.9(a), 3.9(d))。線路長 L_x は非平行線路区間が長ければ長いほど伝送線路が基板に占める面積は大きくなるので、逆に図 3.9(c) に示すように平行区間の線路長 L_x が長い方から選好度を高くすることで面積を小さくしたいという設計意図を盛り込んだ。

図 3.4 反射特性の振幅 $|S_{11}|$ 図 3.5 反射特性の振幅 $|S_{22}|$

10 MHz～3 GHz の周波数帯域において以下の要求性能を設定する。

- $S_r(d, w) = \max(|S_{11}|, |S_{22}|, |S_{33}|, |S_{44}|) \leq -15 \text{ dB}$
(Reflection characteristics)
- $S_n(d, w) = \max(|S_{21}|, |S_{12}|, |S_{43}|, |S_{34}|) \leq -15 \text{ dB}$
(Near-end crosstalk)
- $S_f(d, w) = \max(|S_{41}|, |S_{14}|, |S_{32}|, |S_{23}|) \leq -15 \text{ dB}$
(Far-end crosstalk)

今回、要求性能の選好度は要求性能を満足する範囲では一様に 1、満足しない範囲では一

図 3.6 近端クロストークの振幅 $|S_{21}|$ 図 3.7 遠端クロストークの振幅 $|S_{41}|$

様に 0 とした。

ここでは市販のフルウェーブシミュレーションソフトで 108 通りの設計変数の値の組み

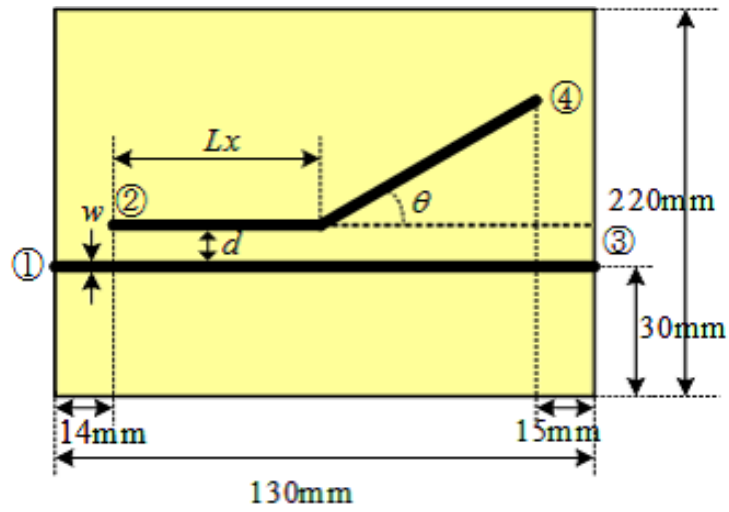


図 3.8 検討した非平行二本線路モデル

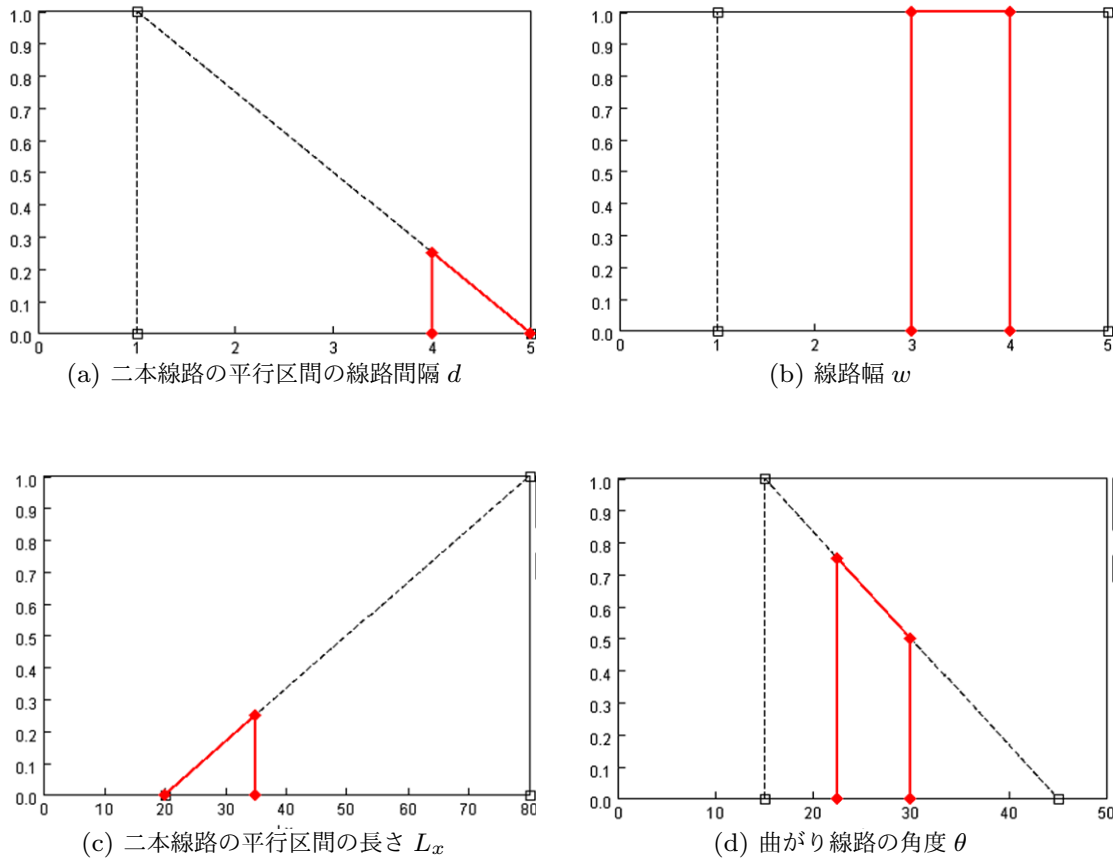


図 3.9 検討した非平行二本線路の設計変数と選好度の関係

合わせについてパラメトリック解析した結果を基にメタモデリングを行なった。図 3.9 に設計変数の選好度を示す。PSD 手法を適用して得られた設計変数の範囲解を基に、全て

の設計変数が範囲解内となる水準 (case C) と全ての設計変数が範囲解外になる水準 (case D) を設定する. 表 3.2 に設定した数値を示す.

表 3.2 case C と case D の設計変数

	d (mm)	w (mm)	Lx (mm)	θ (°)
case C	4.5	3.5	30	27
case D	3.0	2.0	70	20

得られた解が要求性能を満たしているかの妥当性を検証するため, フルウェーブシミュレーション及び測定で比較を行なった. 図 3.10 に反射特性を, 図 3.11 にクロストークの結果を示す. 図 3.10 及び図 3.11 において, case C の測定結果が赤実線, case C のシミュレーション結果が赤破線, case D の測定結果が青実線, case D のシミュレーション結果が青破線をそれぞれ示している. そして, 黒線もしくは緑線は要求性能の上限を示している.

図 3.10 では全ての反射特性で case C が要求性能を満たしているのに対し, case D では要求性能を満たしていない. 図 3.10 では case C のシミュレーション結果に対して測定結果はよくなっている. 基板加工機で基板を試作する際に線路幅 w が 3.5 mm からドリルの太さ分だけ細くなってしまい, 線路の特性インピーダンスが 50Ω に近づいてしまったからである. case D の測定結果とシミュレーション結果のズレは測定の場合はコネクタで反射が起きるため異なっているものである. 図 3.11 のどの図でもシミュレーション結果と測定結果はいくらかの違いはあるものの傾向は一致している. 近端クロストークの振幅 $|S_{21}|$ (図 3.11(a)) 及び $|S_{43}|$ (図 3.11(b)) についてはどちらの水準も要求性能を満足しているが, 遠端クロストークの振幅 $|S_{41}|$ (図 3.11(c)) 及び $|S_{32}|$ (図 3.11(d)) については case C のみが要求性能を満足している.

要求性能を満足する伝送線路のレイアウト設計において, PSD 手法を用いることで, 特定の値ではなく範囲内の線路パラメータの数値を任意に選択できる. これらの結果は PSD 手法が持つ解をセットとして扱う性質とロバスト性を表している.

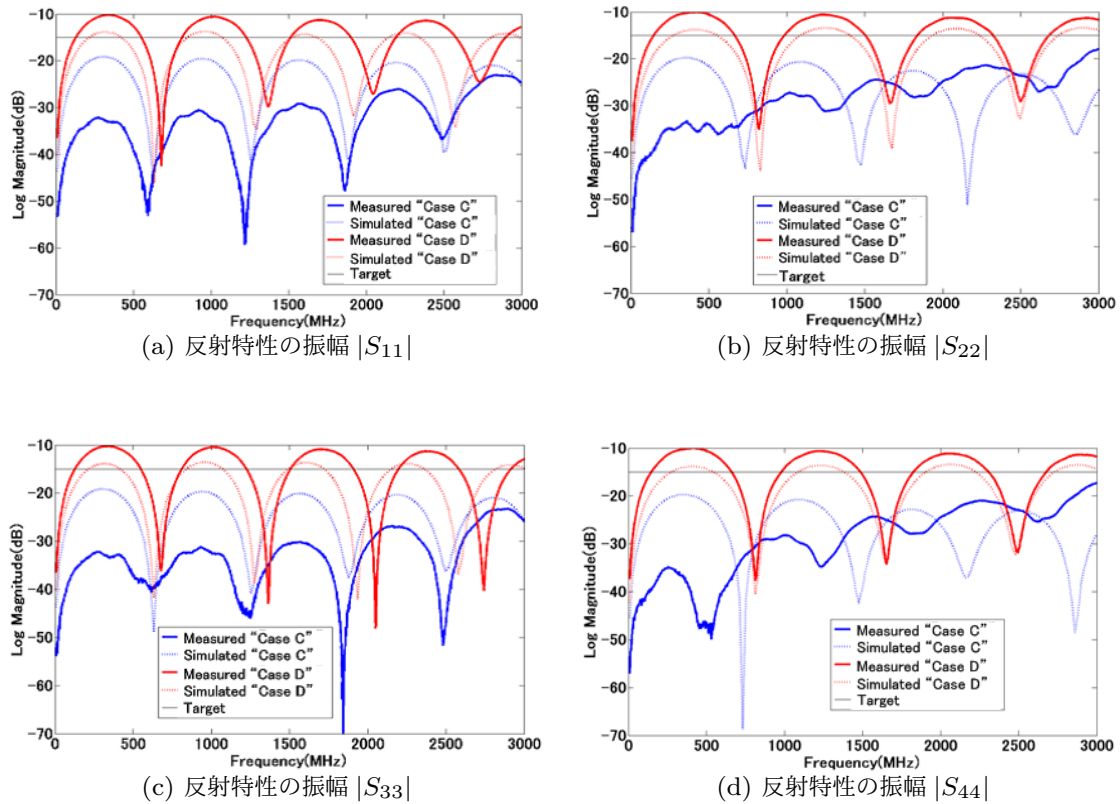


図 3.10 反射特性の比較結果

3.3 連立チェビシェフフィルタ設計

3.3.1 理想的なフィルタの設計

PSD 手法の連立チェビシェフフィルタ設計への適用を示す。通常のフィルタ設計では、通過域減衰量，阻止域減衰量，遮断周波数を要求性能（仕様）として与え，これを満足するフィルタ構成を決定していく手順をとる。ここでは，フィルタ設計理論そのものを議論するのではなく，フィルタを構成する素子値をセットとして取り扱うことによって，偏差を含む素子や市販品が存在する素子で要求性能を満足するロバストな設計が行えることに PSD 手法を展開することである。

例に取り上げるフィルタは，要求性能を

1. 40 MHz 以下の通過域減衰量 $A_{\text{pass}} \leq 0.5$ dB.
2. 60 MHz 以上の阻止域減衰量 $A_{\text{stop}} \geq 35$ dB.

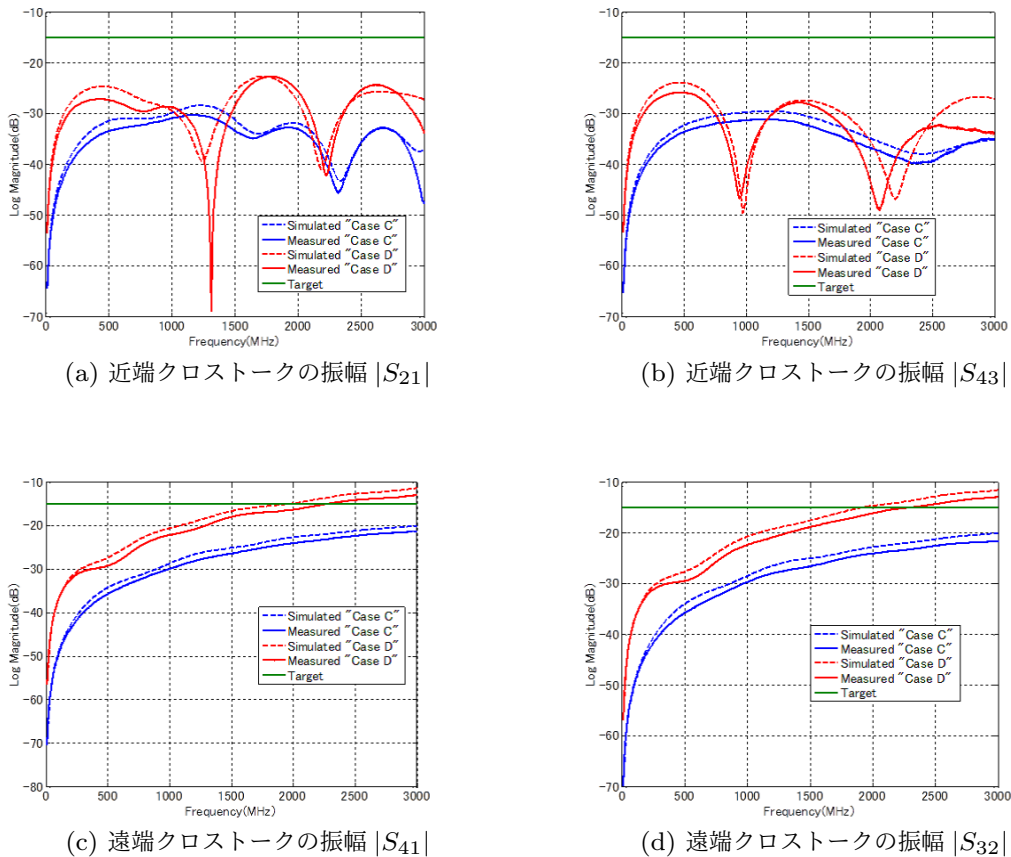


図 3.11 クロストークの比較結果

とし、図 3.12 に示すように 5 つのインダクタと 2 つのキャパシタで構成された 5 次の連立チェビシェフ形ローパスフィルタを電源及び負荷抵抗を 50Ω 、遮断周波数を 50 MHz として、文献 [29] にある設計図表を用いて実際の素子値を求めた。求めた素子値を表 3.3 に示す。これに対し、ここでは同じフィルタの回路構成と条件を用いて要求性能を満たす設計変数をセットとして PSD 手法から求められるかを検証する。但し、要求性能として示した通過域となる最も高い周波数 40 MHz と阻止域となる最も低い周波数 60 MHz の中間の周波数が遮断周波数に対応しているので、PSD 手法では遮断周波数を条件から除外した。

ここでは、PSD 手法を用いて 2 つの要求性能（通過域減衰量と阻止域減衰量）を満足する 7 つの設計変数についてポイントでなくセットとして求めることが出来ることを示す。

設計変数と要求性能の選好度の例をそれぞれ図 3.13 に示す。今回は一例として簡単な選好度としている。図 3.13(a), 3.13(b) はそれぞれ L_3 と C_4 を例にした設計変数の選好度である。図 3.13 中の黒破線で囲った部分は「設計意図の表現」で設定した設計変数の選

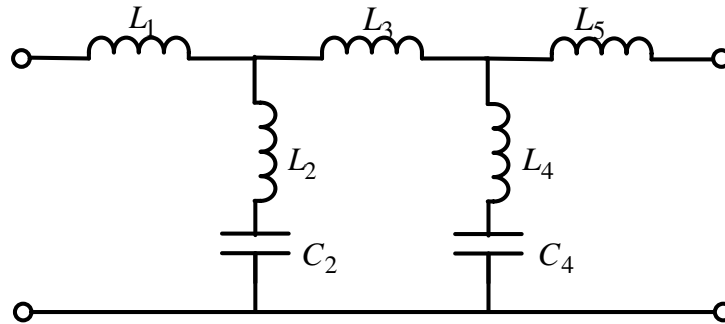


図 3.12 5 次の連立チェビシェフ形ローパスフィルタ

表 3.3 文献 [29] にある設計図表より求めた図 3.12 の設計変数.

L_1 (μH)	L_2 (μH)	C_2 (pF)	L_3 (μH)
0.12858	0.10297	64.797	0.28668
L_4 (μH)	C_4 (pF)	L_5 (μH)	
0.03392	90.039	0.17531	

好度であり、赤線で囲った部分は「設計変数の範囲絞込」で求まる全ての要求性能を満足する設計変数の PSD 手法が求めた範囲解である。図 3.13(b) の C_4 を例にすれば 86.7 pF となるキャパシタを選ぶことがこの範囲解の中で最も設計者の意図を反映した設計になる。しかし、要求性能を満たすという観点では範囲解となる 83.3 pF~86.7 pF の範囲の値のどれを使っても問題はない。要求性能の選好度については、 A_{stop} を図 3.14(a) に、 A_{pass} を図 3.14(b) に示す。図中の黒破線で囲った範囲が「設計意図の表現」で設定した要求性能の選好度であり、青線で囲った部分は「実現可能領域の可視化」で求めた可能性分布を示している。さらに絞込みを行った結果が赤線で囲った部分である。可能性分布と要求性能が重なる共通領域の中に範囲解が存在することを示している。

表 3.4 に 2 つの要求性能を満足する設計変数のセットの最小値と最大値を示す。このようにセットとして設計変数が与えられることになるために、PSD 手法は素子変動があっても要求性能を満たすという意味でロバスト性のある設計法となる。この 7 つの設計変数と 2 つの要求性能をもつ条件に対して PSD 手法を適用した場合の計算時間は、Core i7-870(2.93 GHz) の市販のデスクトップパソコンで 2 時間であった。

図 3.15 は従来手法 (Conventional method) で設計したフィルタと PSD 手法によって求めた表 3.4 のセットの各最小値 (Minimum)、各中間値 (Medium)、各最大値 (Maximum)

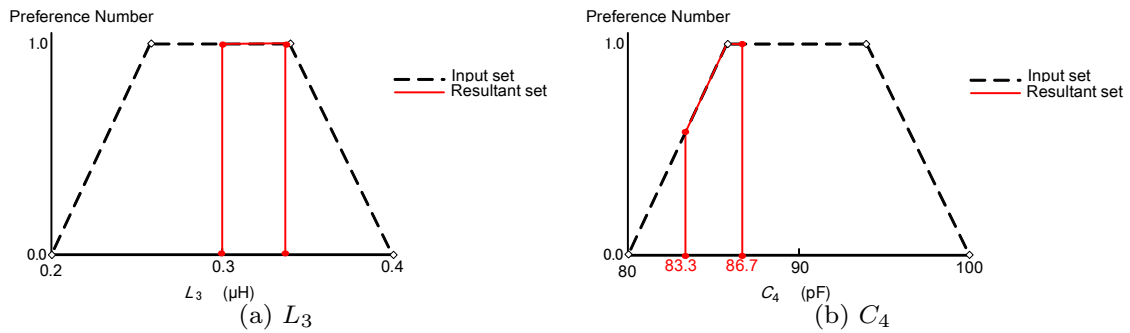


図 3.13 設計変数の選好度: 黒破線は初期範囲, 赤線は範囲解.

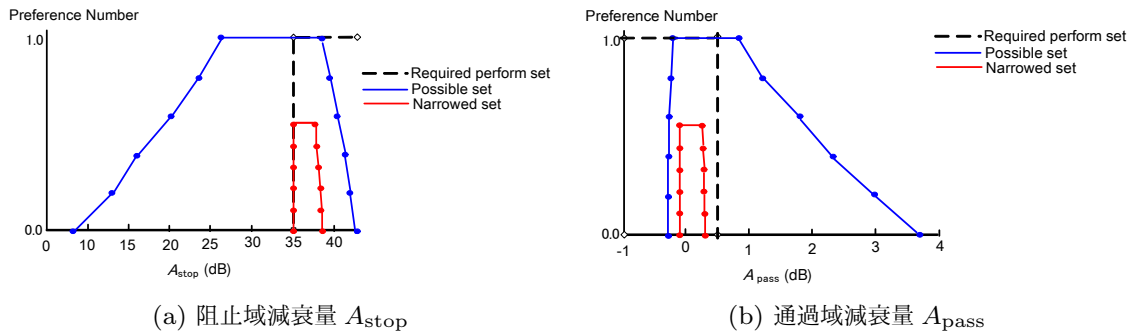


図 3.14 要求性能の選好度: 黒破線は初期範囲, 青線は可能性分布, 赤線は範囲解.

表 3.4 図 3.12 のモデルについて PSD 手法を適用して得た設計変数の集合

	L_1 (μH)	L_2 (μH)	C_2 (pF)	L_3 (μH)
Min	0.133	0.107	61.7	0.300
Max	0.140	0.113	63.3	0.333
	L_4 (μH)	C_4 (pF)	L_5 (μH)	
Min	0.0367	83.3	0.190	
Max	0.0400	86.7	0.200	

の組み合わせで構成されたフィルタの減衰特性の計算結果を比較している。この結果は、PSD 手法で求めたすべての組み合わせが要求性能を満たしていることを示している。

3.3.2 選好度を変えた場合の比較

3.3.1 節では全ての設計変数で選好度の関数形状を図 3.13 で示したように台形で与えた。ここでは、設計変数の選好度数が初期セットの中間値で最大とし、セットの最小値及

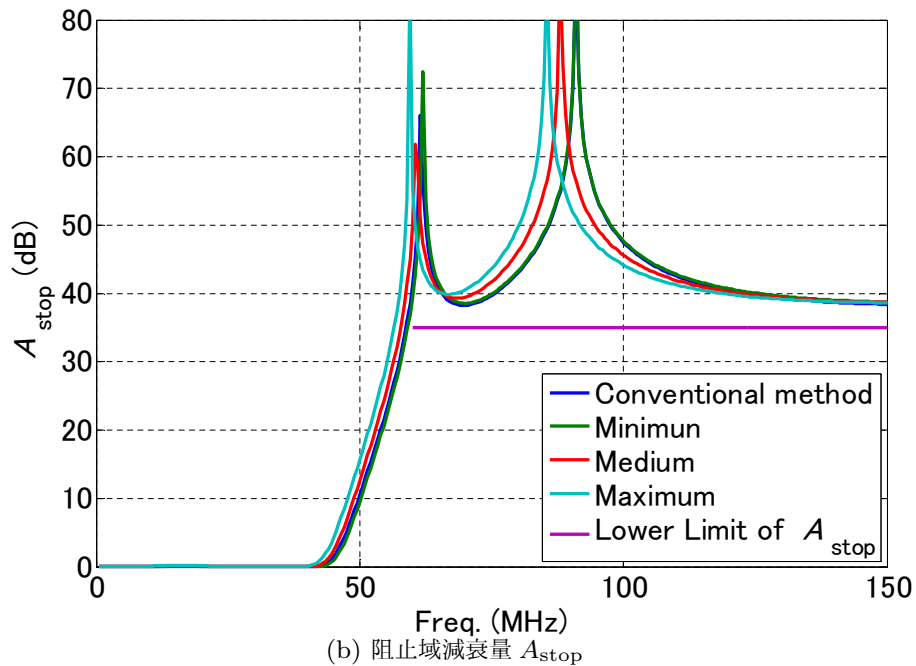
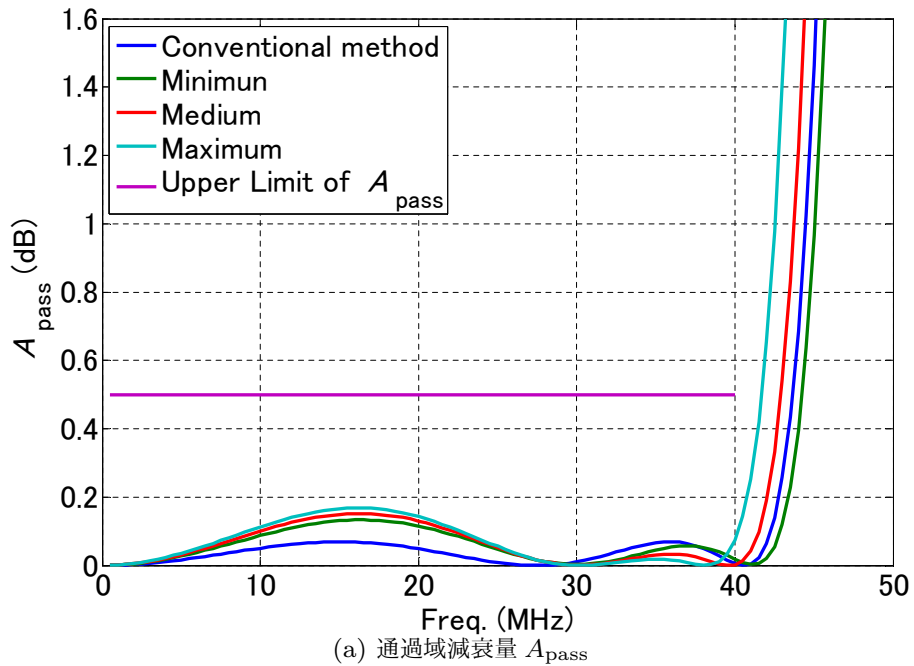
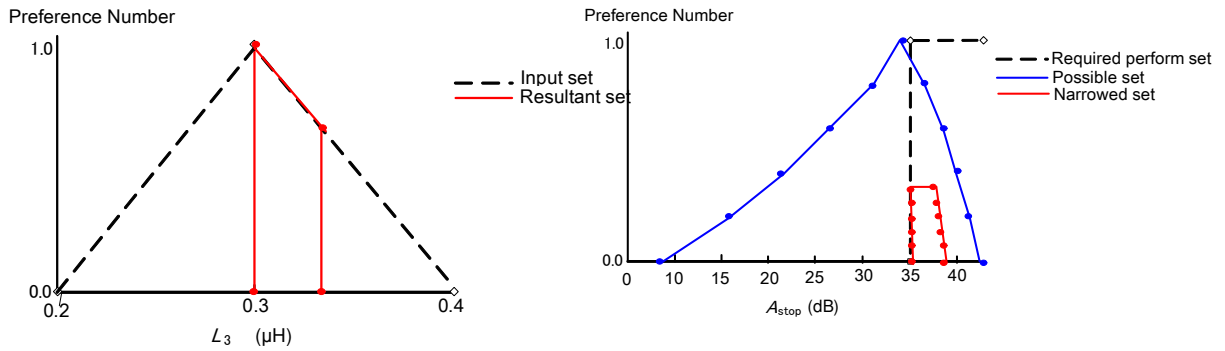


図 3.15 従来手法で設計したフィルタ (表 3.3) と PSD 手法によって求めた集合の各最小値, 各中間値, 各最大値の組み合わせたフィルタ (表 3.4) の減衰特性の比較

び最大値で 0 になる二等辺三角形で与えた場合の範囲解について比較を行なう。設計変数の選好度以外の条件は 3.3.1 節のフィルタ設計と全く同じとした。

設計変数の初期セットの選好度の関数形状を二等辺三角形で与えた場合に PSD 手法で得られた設計変数の選好度のグラフを図 3.16(a) に, 要求性能の選好度のグラフを図



(a) 設計変数 L_3 の選好度: 黒破線は初期範囲, 赤線は範囲解.

(b) 阻止域減衰量 A_{stop} の選好度: 黒破線は初期範囲, 青線は可能性分布, 赤線は範囲解

図 3.16 設計変数の初期セットの選好度を二等辺三角形で与えた場合の PSD 手法を適用した選好度のグラフ

3.16(b) に示す. それぞれ図 3.13(a) 及び 3.14(a) と比較する. まず設計変数の範囲解は台形の場合と一致し, 設計変数の範囲解の選好度は, 設計者の意図を反映する形になっている. これは設計変数の範囲解に設計変数の選好度として与えた設計意図が反映できていることを示している. 次に要求性能の絞込分布は, 設計変数の選好度を変えると, 範囲自体はほぼ同じであるが, 選好度数は変化する. これは DRI と DPI の評価が変化し, 設計者の意図が要求性能の選好度に伝搬している事を意味する. ここで選好度数が違うのは絞込み分布は設計変数の範囲解の選好度を伝搬しているので変わっている. 今回の例では選好度を変えることで範囲解の中でどの値が使うのが好ましいかが別の設計意図に沿って可視化されていることを示している. しかしながら, 実際は選好度が DPI と DRI の指標に影響を与えている. 従って, 選好度を変えることで設計案の好ましさとロバスト性が悪くなれば, 設計解の範囲は変わり得る.

3.3.3 インダクタ間の不要結合

前記のフィルタ設計では製作時に発生しうる不確定な要素を考慮していない. 例えば複数のインダクタ素子間の漏洩磁界による結合がある. 従来のフィルタ設計理論では素子間の結合や寄生パラメータによる影響といった現象を考慮できていない. このような不確定な要素が存在するモデルにおける設計を PSD 手法で考える.

ここでは, 図 3.17 に示すように隣接する直列腕のインダクタ間, 並列腕のインダクタ間のみ微小な結合が発生しているとする. このときインダクタ間の結合係数を

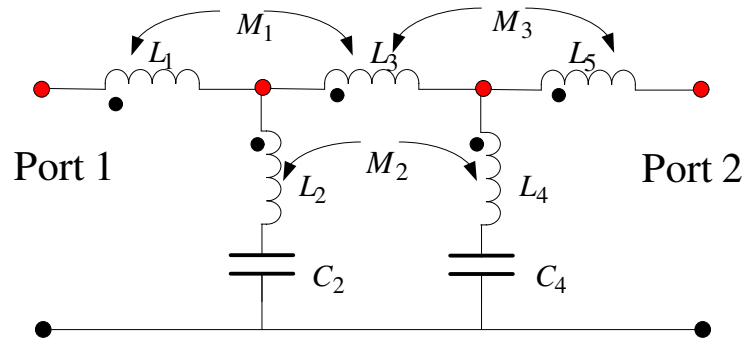


図 3.17 インダクタ間の結合が発生している 5 次の連立チェビシェフ形ローパスフィルタモデル

$$k_1 = \frac{M_1}{\sqrt{L_1 L_3}}, \quad k_2 = \frac{M_2}{\sqrt{L_2 L_4}}, \quad k_3 = \frac{M_3}{\sqrt{L_3 L_5}} \quad (3.1)$$

とした時、インダクタ同士の磁界結合を想定して $k_1 \sim k_3$ を一様に $k = k_1 = k_2 = k_3 = 0 \sim 0.03$ として変化させるモデルを考える。偶発的に発生しうる微小な結合を想定して結合係数 k を $0 \sim 0.03$ とした。また、極性が同じ方向で配置したと仮定して結合係数は正の時のみを検討した。図 3.18 は、従来手法での設計値（表 3.3）を図 3.17 のインダクタ間に結合が発生している場合のチェビシェフ形ローパスフィルタモデルに適用し、結合係数 k をそれぞれ $k = 0 \sim 0.03$ と変化させた場合の減衰量の周波数特性である。

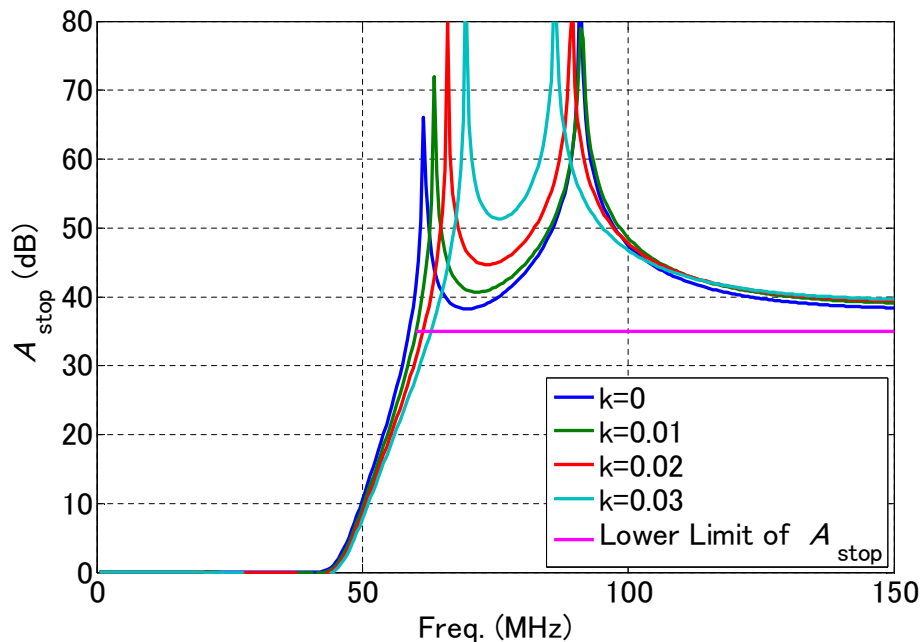


図 3.18 従来手法での設計値（表 3.3）に結合係数 k を加えて変化させた場合の減衰特性の周波数応答

図 3.18 から結合係数 k が増加するにつれて通過域から阻止域への過渡帯域での減衰量

の変化率が下がっており、 $k = 0.02$ 及び 0.03 で阻止域減衰量 A_{stop} が要求性能である 35 dB を下回っているのが分かる。

そこで、不要な結合があっても要求性能を満足する設計が出来るようにインダクタ間の結合を考慮した図 3.17 のモデルに対し、 $k = 0.03$ において通過特性と減衰特性を要求性能として PSD 手法を適用した。表 3.5 に PSD 手法によって求めた前記と同じ要求性能を満たす設計変数のセットを示す。

表 3.5 図 3.17 のモデルに PSD 手法を適用して得た設計変数の集合

	L_1 (μH)	L_2 (μH)	C_2 (pF)	L_3 (μH)
Min	0.134	0.114	66.7	0.300
Max	0.14	0.120	68.3	0.333
	L_4 (μH)	C_4 (pF)	L_5 (μH)	
Min	0.0200	93.4	0.190	
Max	0.0233	96.6	0.200	

図 3.19 にインダクタ間の結合を考慮した場合の従来手法での設計値 (表 3.3) 及び PSD 手法を適用した場合における 60 MHz での減衰の解析結果の比較を示す。各最小値、各中間値の組み合わせが k を 0 から 0.03 の間で変化させても 60 MHz における減衰量 $A_{stop} \geq 35$ dB という要求性能を満たしている。各最大値の組み合わせについては $k=0$ については要求性能を満足しない結果となったが、 k を 0.005 から 0.03 の間で変化させても要求性能を満たしている。各最大値の組み合わせが $k = 0$ では要求性能を満足しないのは、PSD 手法は厳密解を導く手法ではなく、複数の目的性能の満足度が高い解の範囲を高速に導く手法であるため、要求性能近辺での解が条件を少し超過してしまう可能性が現状ではあるためである。

また従来手法の結果は、結合係数 k の値が増えるに従って減衰量が低くなり $k \geq 0.01$ となると要求性能である 35 dB の減衰量を下回っていることが分かる。特に $k = 0.03$ の減衰量は約 28 dB と要求性能より約 7 dB 差がある。

図 3.20 は結合係数 $k = 0.03$ を従来手法の設計値 (表 3.3) に加えた減衰特性と PSD 手法によって求めたセットの各最小値、各中間値、各最大値 (表 3.5) の組み合わせで設計したフィルタの減衰特性の比較結果である。従来手法では 60 MHz において要求性能の一つである減衰量が 35 dB 以上を達成していないのに対し、PSD 手法で求めたすべての組

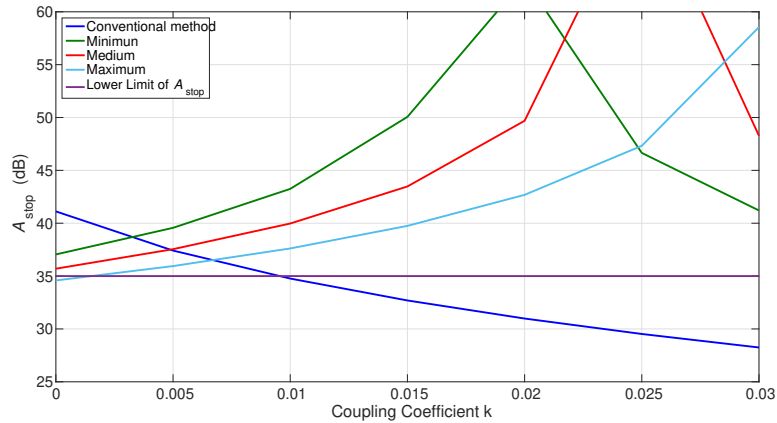


図 3.19 従来手法での設計値 (表 3.3) にインダクタ間の結合を考慮した場合と PSD 手法 (表 3.5) を適用した場合における 60 MHz での減衰特性の解析結果の比較

み合わせが要求性能を満たしているのが分かる。

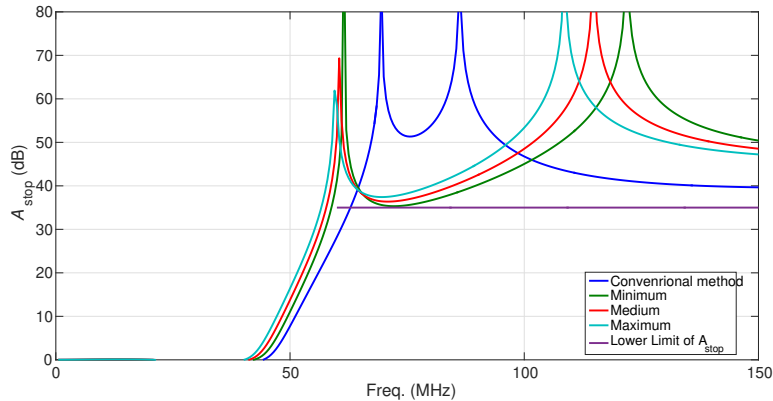


図 3.20 従来手法での設計値 (表 3.3) に結合係数 $k = 0.03$ を考慮した場合と PSD 手法によって求めた集合の各最小値, 各中間値, 各最大値の組み合わせた設計値 (表 3.5) での減衰特性の比較

図 3.21 に表 3.5 の L_2 と C_2 の範囲解を最小値から最大値まで 100 分割して L_2 と C_2 がパラメータ空間において得られた解が条件を満たしていることを示す. L_2 と C_2 以外のパラメータについては, $L_1 = 0.134 \mu\text{H}$, $L_3 = 0.3 \mu\text{H}$, $L_4 = 0.02 \mu\text{H}$, $L_5 = 0.190 \mu\text{H}$, $C_4 = 93.4 \text{ pF}$ の値に固定した. この図では x 軸が L_2 , y 軸が C_2 の範囲解を, z 軸が $k = 0.03$ の時の 60 MHz における減衰量を示しており, 範囲解の中で 60 MHz における要求性能である減衰量 35 dB を満足している事が分かる.

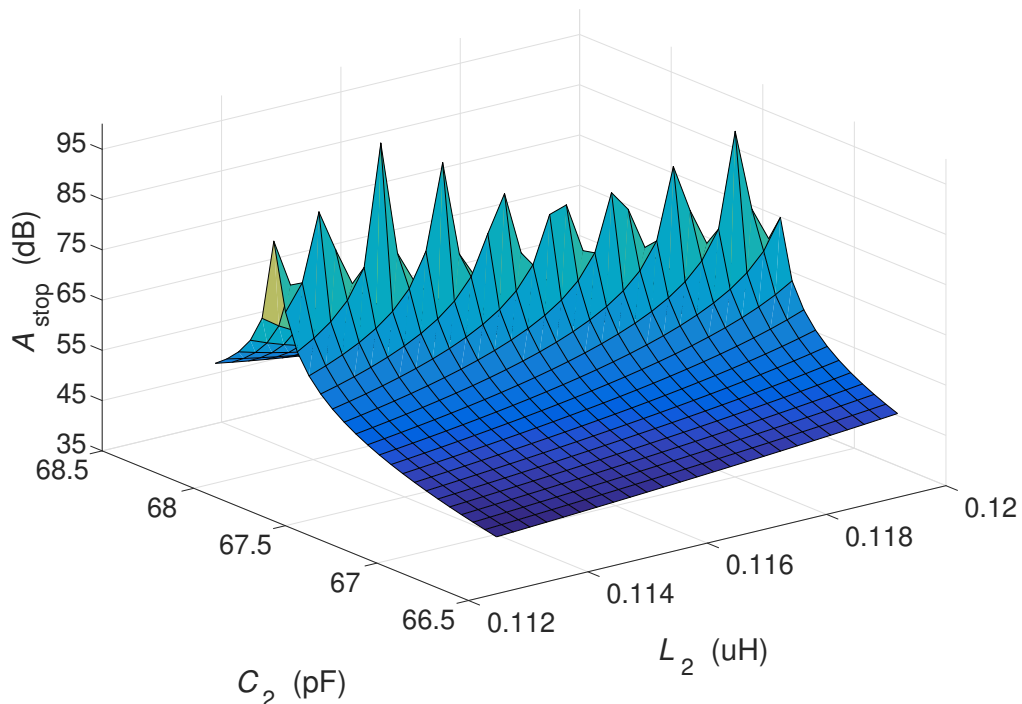


図 3.21 表 3.5 の L_2 と C_2 の範囲解に対する $k = 0.03$ の時の 60 MHz における減衰量の応答曲面

3.3.4 終端抵抗に不確定要素が存在する場合

次に終端抵抗に不確定要素が存在する場合として、 $R_l = 50 \pm 10 \Omega$ の時のモデルについて検討する。実際の抵抗には誤差があり、市販品の抵抗では保証誤差範囲が示されている。ここでは終端抵抗の素子値の誤差を不確定要素として検討する。要求性能はこれまでと同じ

1. 40 MHz 以下の通過域減衰量 $A_{\text{pass}} \leq 0.5 \text{ dB}$.
2. 60 MHz 以上の阻止域減衰量 $A_{\text{stop}} \geq 35 \text{ dB}$.

とした。ここで図 3.22 の終端負荷 R_l の端子間に現れる出力電圧 V_{out} とフィルタを外した状態における終端負荷 $R_l = 50 \Omega$ の時に端子間に現れる入力電圧 V_{in} より、減衰量は $V_{\text{out}}/V_{\text{in}}$ とした。表 3.6 に PSD 手法より求めた設計変数の範囲解を示す。表 3.6 のセット内の素子値の組み合わせで構成されたフィルタの減衰特性を図 3.23 に示す。図 3.23(a) が通過域減衰量 A_{pass} 、図 3.23(b) が阻止域減衰量 A_{stop} である。ここで、 $R_l = 60 \Omega$ の通過域減衰量 A_{pass} が負の値なのは、 $R_l = 60 \Omega$ の時の出力電圧 V_{out} と $R_l = 50 \Omega$ の時

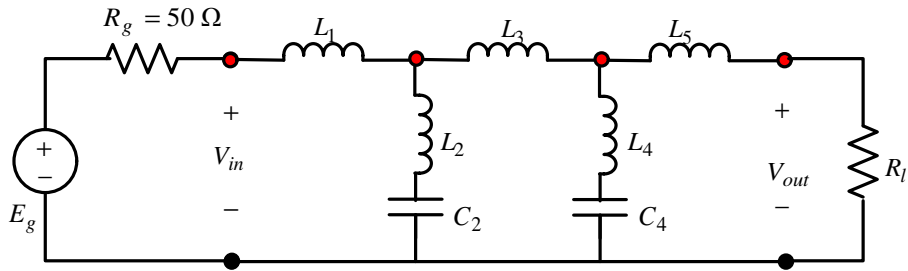


図 3.22 終端抵抗に不確定性が存在する場合の 5 次の連立チェビシェフ形ローパスフィルタの検討モデル

表 3.6 終端抵抗に不確定性が存在する場合の 5 次の連立チェビシェフ形ローパスフィルタの設計変数の範囲解

	L_1 (μH)	L_2 (μH)	C_2 (pF)	L_3 (μH)
Lower	0.133	0.107	61.7	0.300
Upper	0.140	0.113	63.3	0.333
	L_4 (μH)	C_4 (pF)	L_5 (μH)	
Lower	0.0367	83.3	0.190	
Upper	0.0400	86.7	0.200	

の入力電圧 V_{in} の比より減衰量を求めているからである。セット内の任意の組み合わせから得られた減衰特性は要求性能を満足している。インダクタ間の不要結合の場合の結果と合わせて、このことから PSD 手法は不確定性が存在するような条件でも要求性能を満足する範囲解を得られることが分かった。

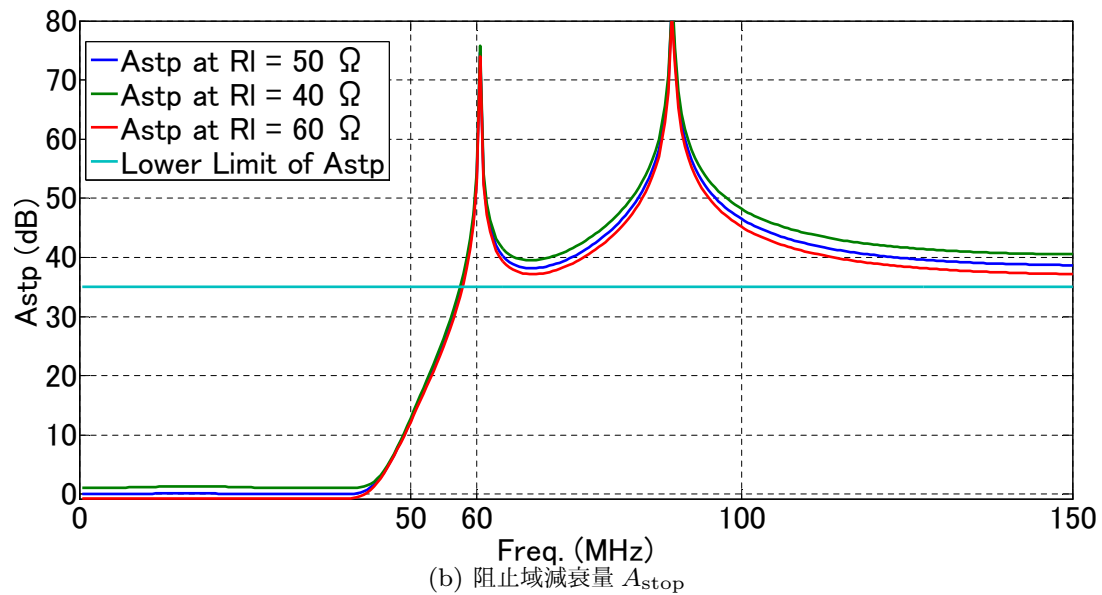
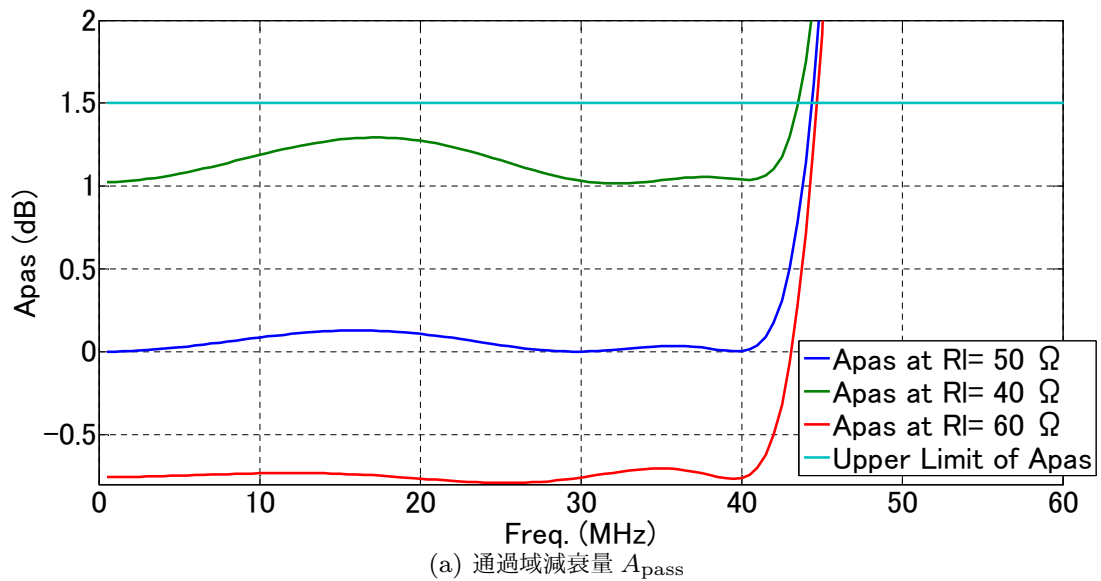


図 3.23 表 3.6 の範囲解内となる $L_1 = 0.133 \mu\text{H}$, $L_2 = 0.11 \mu\text{H}$, $C_2 = 63 \text{ pF}$, $L_3 = 0.31 \mu\text{H}$, $L_4 = 0.037 \mu\text{H}$, $C_4 = 86 \text{ pF}$ and $L_5 = 0.19 \mu\text{H}$ の組み合わせのフィルタの減衰特性.

3.4 まとめ

本章では、シグナルインテグリティへの PSD 手法の適用として、MSL で構成された平行二本線路と非平行二本線路のレイアウト設計、5 次の連立チェビシェフ形ローパスフィルタの設計について PSD 手法の適用を検討した。

平行二本線路のレイアウト設計では、ハフマンの近似式よりメタモデルを作成し、PSD手法を適用した。求めた設計変数のセットから設定した組合せについて、フルウェーブシミュレーションと測定により検証した結果、反射特性 $|S_{11}|$ 及び $|S_{33}|$ を除き、要求性能を満足する結果を得た。非平行二本線路のレイアウト設計では、フルウェーブシミュレーションよりメタモデルを作成し、PSD手法を適用した。求めた設計変数のセットから設定した組合せについてフルウェーブシミュレーションと測定により検証した結果、要求性能を満足する結果を得た。

5次の連立チェビシェフ形ローパスフィルタの設計についても得られた設計変数のセットから設定した組合せは要求性能を満足する結果を得た。このフィルタ設計に対し、設計変数の選好度を変えることで、要求性能の範囲解の範囲はほぼ同じだが要求性能の選好度が変わることで要求性能において設計意図が要求性能に伝搬していることを示した。また、部品の高密度化が原因で起こり得るインダクタ間の漏えい磁界による不要結合が前記ローパスフィルタに生じる場合についても検討を行なった。不確定要素が生じているモデルに対しても PSD 手法を適用することで簡単にフィルタの設計パラメータをセットで得ることができることを示した。また、終端抵抗に不確定要素が存在する場合にも検討を行ない、このような不確定要素が生じているモデルに対しても PSD 手法を適用することで簡単にフィルタの設計パラメータをセットで得ることができた。

第 4 章

PSD 手法のパワーインテグリティへの適用

4.1 はじめに

本章では PSD 手法のパワーインテグリティへの適用について検討する．具体的には EMI フィルタの設計と，電源-グラウンドプレーンに対するデカップリングキャパシタ実装への PSD 手法の適用について述べる．

EMI フィルタは EMC 対策の基本部品で，電源供給路 (PDN)，高速差動信号配線などで幅広く利用されている (例えば [30])．EMI フィルタは CM と DM の各モードに対して与えられた仕様 (要求性能) を同時に満足する必要がある，EMI フィルタ設計に PSD 手法を適用することで試行錯誤することなく要求性能を同時に満足する設計変数範囲が得られることを示す．

プリント回路基板の PDN として電源-グラウンドプレーンと呼ばれる 2 層で構成された平行平板がよく利用されている．有限の大きさの電源-グラウンドプレーン間では，平行平板モードによる共振現象が発生する．この共振現象への対策手法としてデカップリングキャパシタの実装がある．共振を抑制するためには複数のデカップリングキャパシタの実装が必要となる．実装するキャパシタの数を減らすためには素子値や配置位置を最適化する必要があり，PSD 手法を適用することで試行錯誤を行なうことなく要求性能を同時に満足する設計変数範囲が得られることを示す．

4.2 EMI フィルタ設計

PDN 向けの EMI フィルタの設計への PSD 手法の適用を検討する (図 4.1). この EMI フィルタは MHz 帯の CM ノイズだけでなく DM ノイズを抑制し, kHz 帯以下の差動電源の電源供給のみを伝送する回路である. EMI フィルタの設計には DM と CM を分離して設計する手法 [31] や電源回路と負荷回路のインピーダンスの非対称性を考慮した系統的な設計手法 [32]-[33] 等が提案されている. しかし, DM と CM それぞれについて必要な特性を同時に満足するための回路設計 (合成) は容易ではなく, また部品の小型化による不要結合や, 素子の非対称の問題等もあるため, 回路・電磁界解析の繰り返しや, 試行錯誤的なチューニングが必要となる問題がある. この課題に対し, PSD 手法を適用することで解決を図った.

4.2.1 理想的なフィルタの設計

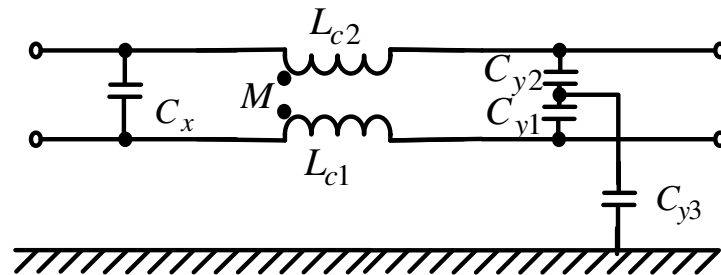


図 4.1 EMI フィルタ

まず, 理想的な EMI フィルタの設計について検討した. この EMI フィルタの設計変数は X コンデンサの C_x , Y コンデンサを構成するキャパシタンス $C_{yi} (i = 1, 2, 3)$, チョークコイルのインダクタンス $L_{cj} (j = 1, 2)$ の素子値とした. 設計変数の初期セットを表 4.1 に示す. ところで不確かさを含むパラメータとして L_{c1} と L_{c2} 間に生じる結合係数 k がある. この結合係数 k は次の式で表される.

$$k = \frac{M}{\sqrt{L_{c1}L_{c2}}} \quad (4.1)$$

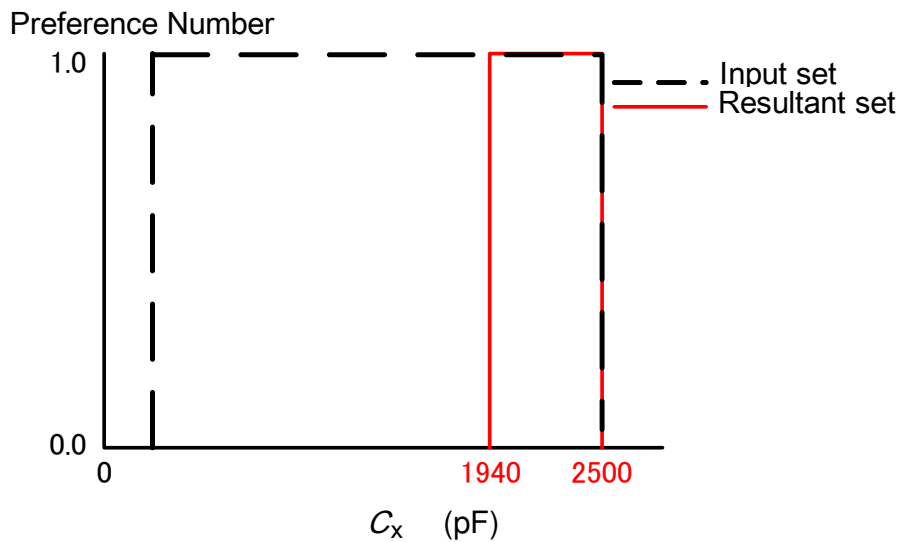
この結合係数 k は今回, $k = 0.9$ であるとする. この結合は DM ノイズを抑制するために機能する.

表 4.1 図 4.1 の EMI フィルタの設計における設計変数の初期セット

	C_x (pF)	C_{yi} (pF)	L_{cj} (μ H)
Min	250	500	50
Max	2500	5000	500

要求性能は CM 減衰量 A_{cm} 及び DM 減衰量 A_{dm} である。CM 減衰量 A_{cm} に関する要求性能は周波数 1 MHz 以上において 20 dB 以上である。DM 減衰量 A_{dm} に関する要求性能は周波数 500 kHz 以下において 5 dB 以下、かつ 10 MHz 以上の周波数で 40 dB 以上とした。

設計変数と要求性能の選好度の例を図 4.2 及び図 4.3 に示す。図 4.2 は C_x を例にした設計変数の選好度である。図 4.3 は周波数 $f = 10$ MHz 以上における DM 減衰量 A_{dm} を例にした要求性能の選好度である。PSD 手法を適用することで求めた設計変数の集合が表 4.2 である。

図 4.2 設計変数 C_x の選好度

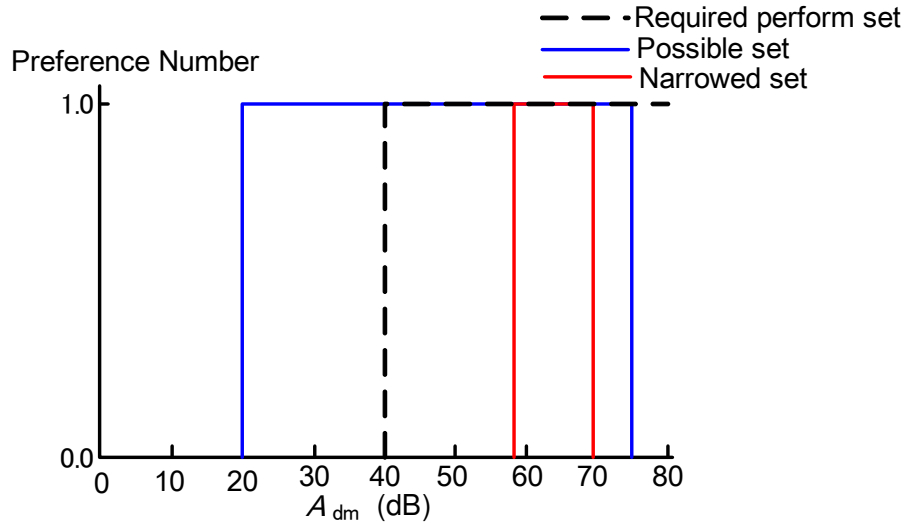
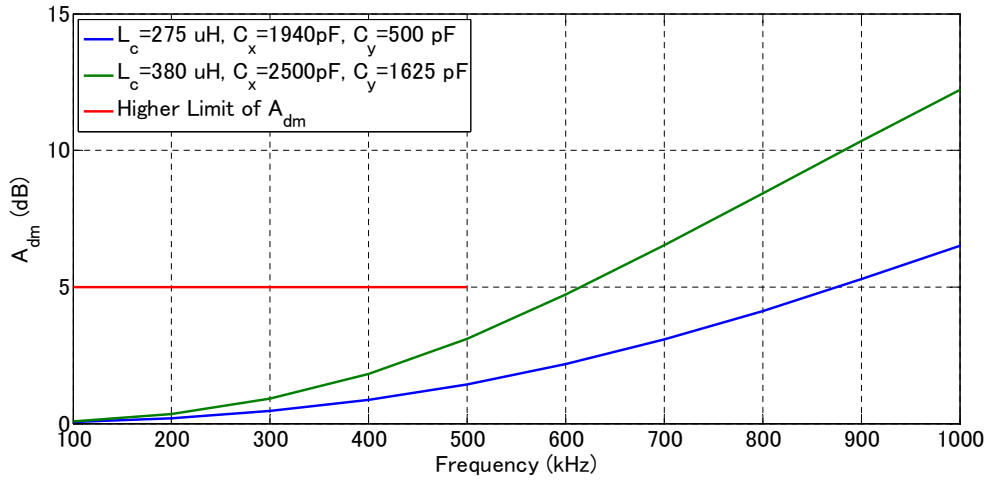
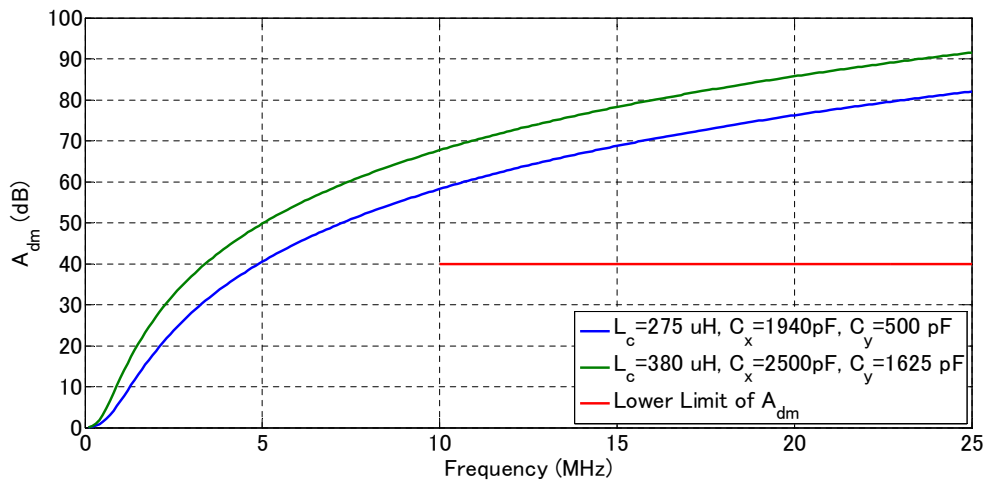
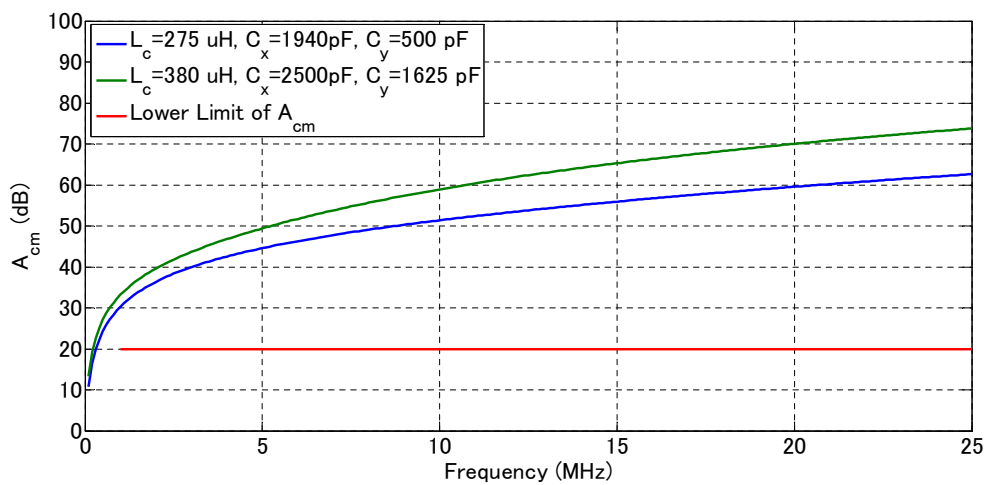


図 4.3 要求性能 10 MHz 以上の周波数における DM 減衰量 A_{dm} の選好度

表 4.2 PSD 手法で求めた図 4.1 の EMI フィルタの設計における設計変数のセット

	C_x (pF)	C_{yi} (pF)	L_{cj} (μ H)
Min	1940	500	275
Max	2500	1625	380

図 4.4~4.6 に PSD 手法で求めた表 4.2 の設計変数のセットの中から各設計変数の最小値と最大値の組み合わせで構成された $k = 0.9$ の EMI フィルタの DM 減衰量 A_{dm} と CM 減衰量 A_{cm} を示す。図 4.4 が 1 MHz までの DM 減衰量を拡大した図で、図 4.5 及び図 4.6 が 25 MHz までの特性を示した図である。赤線で要求性能の上限値もしくは下限値を示している。これらの図では全て要求性能を満たしている。

図 4.4 $k = 0.9$ の 1 MHz までの DM 減衰量 A_{dm} 図 4.5 $k = 0.9$ の 25 MHz までの DM 減衰量 A_{dm} 図 4.6 $k = 0.9$ の 25 MHz までの CM 減衰量 A_{cm}

4.2.2 Y コンデンサを構成する各素子を独立する設計変数として扱う場合

次に Y コンデンサを構成するキャパシタ素子 $C_{yi}(i = 1, 2, 3)$ が各素子独立な設計変数として扱った場合にフィルタ特性に与える影響について検討する。Y コンデンサを構成するキャパシタ素子 $C_{yi}(i = 1, 2, 3)$ はそれぞれ独立な設計変数とする。それ以外の条件は前述の理想的なフィルタ設計と同じとする。この問題に PSD 手法を適用することで得られた設計変数の集合を表 4.3 に示す。

表 4.3 Y コンデンサを構成するキャパシタ素子を独立する設計変数として扱った場合に得られた設計変数のセット

	C_x (pF)	C_{y1} (pF)	C_{y2} (pF)	C_{y3} (pF)	L_{cj} (μ H)
Min	1375	500	2750	2750	50
Max	2500	2750	5000	5000	275

図 4.7~4.9 に Y コンデンサを構成するキャパシタ素子がそれぞれ独立な設計変数である場合の $k = 0.9$ の EMI フィルタの DM 減衰量 A_{dm} と CM 減衰量 A_{cm} を示す。これらの図は、PSD 手法で求めた表 4.3 の集合の中から各設計変数の最小値同士の組み合わせと最大値同士の組み合わせ及び、キャパシタンス素子 $C_{yi}(i = 1, 2, 3)$ が全て異なる値の組み合わせで構成された EMI フィルタの特性を比較している。キャパシタンス素子 $C_{yi}(i = 1, 2, 3)$ が全て異なる値の組み合わせについては $C_{y1} = 500$ pF, $C_{y2} = 2750$ pF, $C_{y3} = 5000$ pF とした。

C_x と L_{cj} は最小値同士の組み合わせと同じ $C_x = 1375$ pF, $L_{cj} = 275$ μ H とした。図 4.7 が 1 MHz までの DM 減衰量 A_{dm} を拡大した図で、図 4.8 及び図 4.9 が 25 MHz までの特性を示した図である。水色の線で要求性能の上限値もしくは下限値を示している。図 4.7 及び図 4.8 では要求性能を満たしているが、図 4.9 では青線及び赤線で描かれた表 4.3 の最小値同士の組み合わせ及びキャパシタンス素子が全て異なる値の組み合わせが 1 MHz から 1.5 MHz の間で要求性能となる 20 dB よりも低い CM 減衰量となった。これは PSD 手法は厳密解を導く手法ではなく、複数の目的性能の満足度が高い解の範囲を高速に導く手法であるため、要求性能近辺での解が条件を少し超過してしまう可能性が現状ではあるためである。

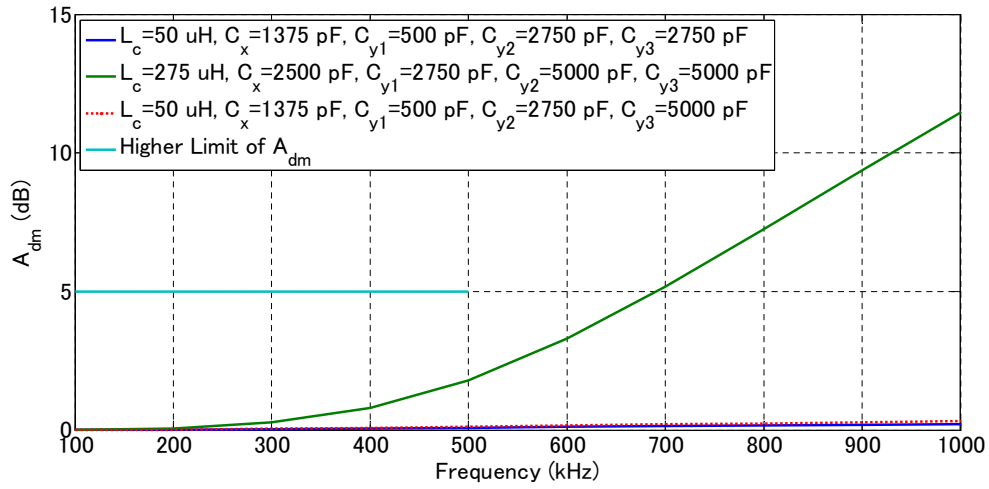


図 4.7 Yコンデンサを構成する各素子を独立な設計変数として扱う場合の $k = 0.9$ の 1 MHz までの DM 減衰量 A_{dm}

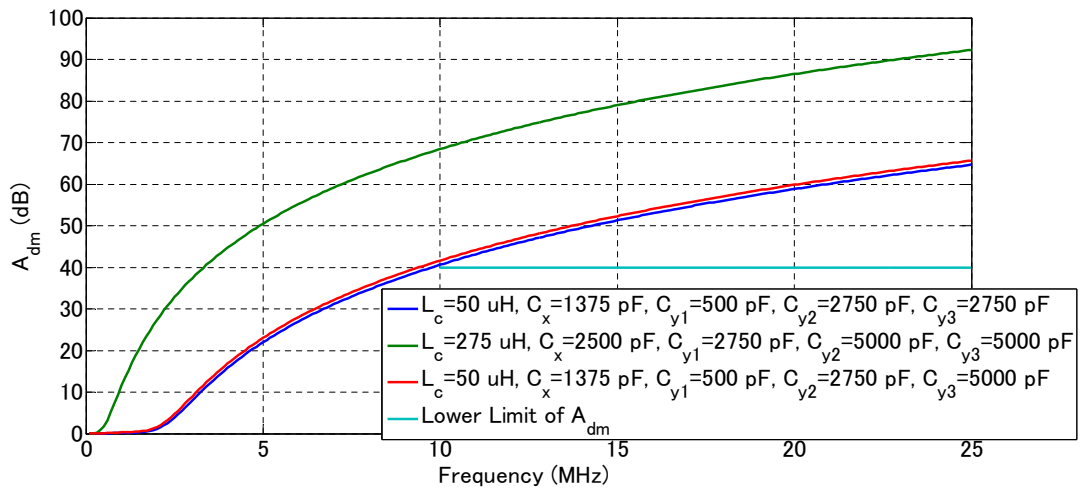


図 4.8 Yコンデンサを構成する各素子を独立な設計変数として扱う場合の $k = 0.9$ の 25 MHz までの DM 減衰量 A_{dm}

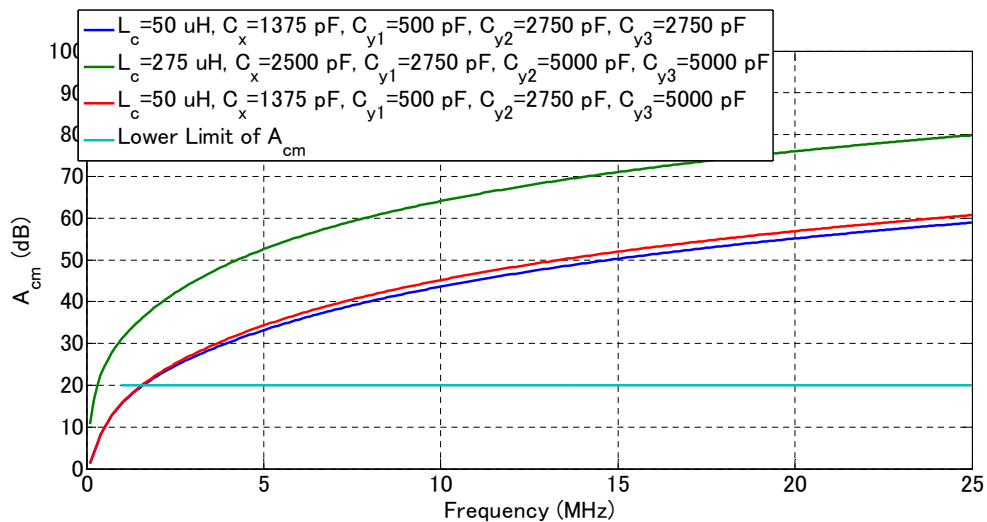


図 4.9 Yコンデンサを構成する各素子を独立な設計変数として扱う場合の $k = 0.9$ の 25 MHz までの CM 減衰量 A_{cm}

4.3 電源-グラウンドプレーンへのデカップリングキャパシタの実装最適化

従来，電源-グラウンドプレーンに対するデカップリングキャパシタの実装は試行錯誤的な部分が多かった．電源設計は理想的には広い周波数帯域においてインピーダンスを低くすることが求められている．しかし，キャパシタを実装すると共振周波数がシフトするので，シフトした共振を抑制するために新たなデカップリングキャパシタの実装が必要になる．全ての共振を抑制するためには，キャパシタの実装とシフトした共振周波数の確認をトライ&エラーで繰り返す必要がある．実際の設計現場では過去の設計資産を流用することが多く，設計変更により生じた共振を抑制するが，その場合は冗長となるキャパシタが存在しうる．また，完全に新規な設計の場合はノウハウが足りず，非常に工数を要する作業になってしまう．素子値と実装位置のそれぞれの最適化に PSD 手法を適用することを検討した．

4.3.1 平行平板構造の解析 [34]-[39]

図 4.10 に示すような，有限の大きさを持つ平行平板構造を考える．導体導電率 σ を持つサイズ a, b の導体板が，誘電率 ϵ ，透磁率 μ で厚みが d の誘電体層を隔てて配置されている．誘電体層の厚さ d は波長 λ に比べて十分に薄く，かつ基板のサイズ a, b は d に比べて十分に大きいものと仮定する．この仮定により $\partial/\partial z = 0$ が成り立つ．このとき，平行平板構造に対して垂直に流入する電流 I によって， z 軸方向に垂直な面をトランスバース面とした TM モードの電磁界が励振される．

いま，Dirac のデルタ関数を用いて電流源を $J(x_0, y_0) = I\delta(x - x_0)\delta(y - y_0)$ と表現す

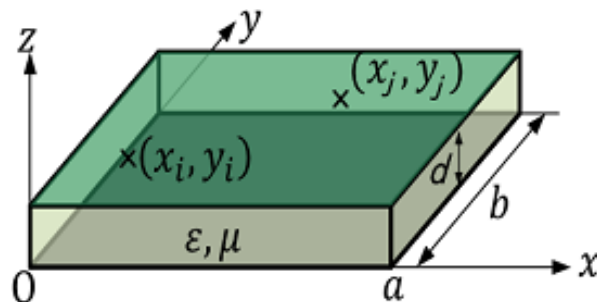


図 4.10 平行平板構造

ると、Maxwell 方程式の第1式 (式 (4.2)), と第2式 (式 (4.3)) により, 電界の z 方向成分 E_z と電流密度 J に関する2次元 Helmholtz 方程式が導かれる.

$$\nabla \times \vec{E} = -\frac{\partial \vec{B}}{\partial t} \quad (4.2)$$

$$\nabla \times \vec{H} = \vec{J} + \frac{\partial \vec{D}}{\partial t} \quad (4.3)$$

$$(\nabla_t^2 + k^2)E_z = j\omega\mu J \quad (4.4)$$

ただし, トランスバース面に関するベクトル微分演算子 ∇_t と波数 k を以下のように定義する.

$$\begin{aligned} \nabla_t &\equiv \hat{x} \frac{\partial}{\partial x} + \hat{y} \frac{\partial}{\partial y} \\ k^2 &\equiv \omega^2 \varepsilon \mu \left\{ 1 - \frac{j}{2} \left(\tan \delta + \frac{\delta_s}{d} \right) \right\}^2 \\ &\approx \omega^2 \varepsilon \mu \left\{ 1 - j \left(\tan \delta + \frac{\delta_s}{d} \right) \right\} \end{aligned}$$

さて, 式 (4.4) の Helmholtz 方程式を解くにあたって,

$$(\nabla_t^2 + k^2)G = -j\omega\mu\delta(x-x_0)\delta(y-y_0) \quad (4.5)$$

を満たすような Green 関数 $G(x, y; x_0, y_0)$ を導入する. 平行平板構造の側面における単位法線ベクトルを \hat{n} としたとき, 側面が完全磁壁の境界条件となるように Neumann 境界条件

$$\hat{n} \cdot \nabla G = 0 \quad (4.6)$$

を選ぶと, Green 関数 $G(x, y; x_0, y_0)$ は固有関数展開を用いて

$$j\omega\mu G(x, y; x_0, y_0) = \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{1}{k^2 - k_{mn}^2} \frac{\psi_{mn}(x, y)\psi_{mn}(x_0, y_0)}{\langle \psi_{mn}(x, y), \psi_{mn}(x, y) \rangle} \quad (4.7)$$

と表現できる. ここに,

$$k_{mn}^2 = \left(\frac{m\pi}{a} \right)^2 + \left(\frac{n\pi}{b} \right)^2 \quad (4.8)$$

$$\psi_{mn}(x, y) = \cos \frac{m\pi x}{a} \cos \frac{n\pi y}{b} \quad (4.9)$$

である. また, \langle, \rangle は内積を表し, Kronecker のデルタ

$$\delta_{ij} = \begin{cases} 1 & (i = j) \\ 0 & (i \neq j) \end{cases}$$

を用いれば,

$$\begin{aligned}\langle \psi_{mn}(x, y), \psi_{mn}(x, y) \rangle &= \int_0^b \int_0^a \cos^2 \frac{m\pi x}{a} \cos^2 \frac{n\pi y}{b} dx dy \\ &= \frac{ab}{4} (1 + \delta_{m0})(1 + \delta_{n0})\end{aligned}\quad (4.10)$$

となる。したがって、平行平板共振で発生する電界の z 方向成分は次のように求まる。

$$\begin{aligned}E_z(x, y) &= \int_S J(x_0, y_0) \cdot G(x, y; x_0, y_0) dS \\ &= j\omega\mu \int_S J(x_0, y_0) \cdot \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{1}{k^2 - k_{mn}^2} \frac{\psi_{mn}(x, y)\psi_{mn}(x_0, y_0)}{\langle \psi_{mn}(x, y), \psi_{mn}(x, y) \rangle} dS \\ &= j\omega\mu \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{1}{k^2 - k_{mn}^2} \frac{\langle J(x_0, y_0), \psi_{mn}(x_0, y_0) \rangle}{\langle \psi_{mn}(x, y), \psi_{mn}(x, y) \rangle} \psi_{mn}(x, y) \\ &= j\omega\mu \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{1}{k^2 - k_{mn}^2} \frac{I \cos \frac{m\pi x_0}{a} \cos \frac{n\pi y_0}{b}}{\frac{ab}{4} (1 + \delta_{m0})(1 + \delta_{n0})} \cos \frac{m\pi x}{a} \cos \frac{n\pi y}{b} \\ &= \frac{j\omega\mu I}{ab} \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{C_m C_n}{k^2 - k_{mn}^2} \cos \frac{m\pi x_0}{a} \cos \frac{n\pi y_0}{b} \cos \frac{m\pi x}{a} \cos \frac{n\pi y}{b}\end{aligned}\quad (4.11)$$

ここに,

$$C_{m,n} \equiv \frac{2}{1 + \delta_{m,n0}}$$

であり、 TM_{mn} モードにおける共振周波数 f_{mn} は次式で表される。

$$f_{mn} = \frac{1}{2\pi\sqrt{\varepsilon\mu}} \sqrt{\left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2}\quad (4.12)$$

式 (4.11) を見ると、平行平板内部に発生する電界は 2 重の無限級数和として計算できることが分かる。実際に計算する場合にはある有限の次数 M, N で打ち切る必要がある。また、図 4.10 で規定した電流の向きを逆にすると、発生する電界の向きも逆になる。

図 4.10 では電流源の大きさを無視したが、実際には図 4.11 のように信号のスルーホールヴィアと電源プレーン・グラウンドが短絡しないように、ある有限の大きさの孔を設けて絶縁する。この孔を一般にクリアランスホール (clearance hole) と呼ぶ。このクリアランスホールは平行平板内部に発生する電界に対して影響を及ぼす。図 4.11 に示すような矩形のポートにおいて、クリアランスホールの効果は次のように式 (4.11) に sinc 関数

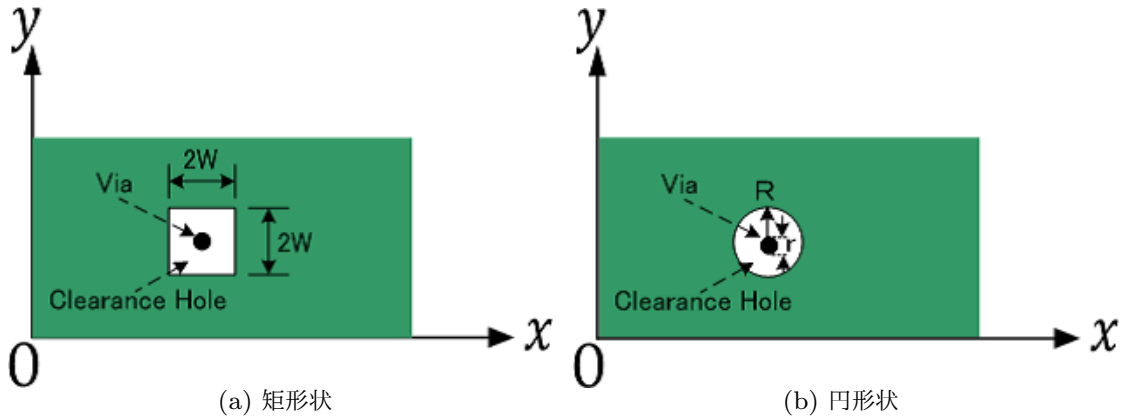


図 4.11 ポート周辺における平行平板の上面図

を掛けた形で補正できる [36].

$$E_z(x, y) = \frac{j\omega\mu I}{ab} \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{C_m C_n}{k^2 - k_{mn}^2} \cos \frac{m\pi x_0}{a} \cos \frac{n\pi y_0}{b} \cos \frac{m\pi x}{a} \cos \frac{n\pi y}{b} \quad (4.13)$$

$$\times \operatorname{sinc} \frac{m\pi W_{x_0}}{a} \operatorname{sinc} \frac{n\pi W_{y_0}}{b} \operatorname{sinc} \frac{m\pi W_x}{a} \operatorname{sinc} \frac{n\pi W_y}{b}$$

ただし、一般にクリアランスホールは図 4.11(b) に示すような円形状であることがほとんどである。クリアランスホールの扱いは 4.3.2 節で詳しく述べるためここで割愛する。

式 (4.13) を用いて 2 つの任意のポート i, j 間の伝達インピーダンスを計算することを考える。ポート i, j の座標が $(x_i, y_i), (x_j, y_j)$ 、ポートのサイズが $W \times W$ であるとき、伝達インピーダンス Z_{ij} はインピーダンスの定義よりフェーザ電圧とフェーザ電流の比で求められるので、

$$Z_{ij} = -\frac{d \cdot E_z}{I}$$

$$= \frac{j\omega\mu d}{ab} \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{C_m C_n}{k_{mn}^2 - k^2} \cos \frac{m\pi x_i}{a} \cos \frac{n\pi y_i}{b} \cos \frac{m\pi x_j}{a} \cos \frac{n\pi y_j}{b}$$

$$\times \operatorname{sinc}^2 \frac{m\pi W}{a} \operatorname{sinc}^2 \frac{n\pi W}{b} \quad (4.14)$$

となる。特に、 $i = j$ である場合は、自己インピーダンス Z_{ii} として次のようになる。

$$Z_{ii} = \frac{j\omega\mu d}{ab} \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{C_m C_n}{k_{mn}^2 - k^2} \cos^2 \frac{m\pi x_i}{a} \cos^2 \frac{n\pi y_i}{b} \operatorname{sinc}^2 \frac{m\pi W}{a} \operatorname{sinc}^2 \frac{n\pi W}{b} \quad (4.15)$$

ところで式 (4.14) 内に 2 重ループの計算があるので、解析が収束するまで時間がかかる。解析時間を短縮するために、式 (4.16) のフーリエ級数和の公式を用いて 2 重ループ

を1重ループにまとめる [37].

$$\sum_{m=0}^{\infty} \frac{C_m \cos mx}{m^2 - \alpha^2} = \frac{\pi \cos(x-a)\alpha}{\alpha \sin \pi\alpha} \quad (4.16)$$

また, 図 4.12 に示すように式 (4.17) を用いて, 2次元のポートを1次元に近似することにより2重ループを1重ループにまとめることができる.

$$\text{sinc}^2\left(\frac{m\pi W}{a}\right) \simeq 1 \quad (4.17)$$

式 (4.16) と式 (4.17) を用いて2重ループを有する式 (4.14) を1重ループのみで記述される式 (4.18) に変形する.

$$Z_{ij} = \frac{\omega\mu da}{2b} \sum_{n=0}^{\infty} C_n \cos \frac{n\pi y_i}{b} \cos \frac{n\pi y_j}{b} \text{sinc}^2 \frac{n\pi W}{b} \frac{[\cos(\alpha_n x_-) + \cos(\alpha_n x_+)]}{\alpha_n \sin \alpha_n} \quad (4.18)$$

ここで α_n, x_{\pm} は式 (4.19) と式 (4.20) である.

$$\alpha_n = a \sqrt{k^2 - \left(\frac{n\pi}{b}\right)^2} \quad (4.19)$$

$$x_{\pm} = 1 - \frac{(x_i \pm x_j)}{a} \quad (4.20)$$

自己インピーダンス Z_{ii} も同様にして式 (4.21) で表せる.

$$Z_{ii} = \frac{\omega\mu da}{2b} \sum_{n=0}^{\infty} C_n \cos^2 \frac{n\pi y_i}{b} \text{sinc}^2 \frac{n\pi W}{b} \frac{[\cos(\alpha_n x_-) + \cos(\alpha_n x_+)]}{\alpha_n \sin \alpha_n} \quad (4.21)$$

しかし, 式 (4.21) を用いた自己インピーダンス Z_{ii} の計算は収束性が悪いので, 式 (4.22) を用いて式変形を行なった後, 式 (4.22) の右辺の最初の級数の部分を式 (4.23) を用いて収束性を改善している.

$$\sum_{n=1}^{\infty} \frac{\cos(ny)}{n^2} \frac{\cos \alpha_n x}{\alpha_n \sin \alpha_n} = \sum_{n=1}^{\infty} \frac{\cos(ny)}{n^3} \left(\frac{\cos \alpha_n x}{\alpha_n \sin \alpha_n} - \frac{1}{n} \right) \quad (4.22)$$

$$\sum_{n=1}^{\infty} \frac{\cos(2nY)}{n^3} \approx 1.202057 + 2Y^2 \ln 2Y - 3Y^2 - \frac{Y^4}{18} - \frac{Y^6}{1350} - \frac{Y^8}{39690} - \frac{Y^{10}}{850500} \quad (4.23)$$

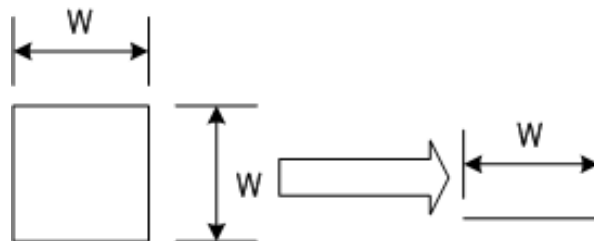


図 4.12 2次元のポートの1次元近似

キャパシタ実装時の解析

実装したキャパシタの影響を反映したインピーダンスの解析手法について説明する。図 4.13 のように伝達インピーダンスや自己インピーダンスを測定するポート（以下，観測ポート（observation port））だけでなく，キャパシタの実装位置にもポートを追加し，4.3.1 節で説明したインピーダンスの導出法より式 (4.24) で表現できる Z 行列を作成する。ここで，追加したポートを以下，実装ポート（implemented port）とする。

$$\begin{bmatrix} \mathbf{Z} \end{bmatrix} = \begin{bmatrix} \mathbf{Z}_{oo} & \mathbf{Z}_{oi} \\ \mathbf{Z}_{io} & \mathbf{Z}_{ii} \end{bmatrix} \quad (4.24)$$

$[\mathbf{Z}_{oo}]$ は観測ポート間のインピーダンスを表す Z 行列である。 $[\mathbf{Z}_{oi}]$ 及び $[\mathbf{Z}_{io}]$ はそれぞれ観測ポートから実装ポート間の伝達インピーダンスを表す Z 行列である。 $[\mathbf{Z}_{ii}]$ は実装ポート間のインピーダンスを表す Z 行列である。

各観測ポートの電圧をまとめてベクトルで表現した \mathbf{V}_{obs} ，各観測ポートの電圧をまとめてベクトルで表現した \mathbf{I}_{obs} ，各実装ポートの電圧をまとめてベクトルで表現した \mathbf{V}_{imp} ，各実装ポートの電圧をまとめてベクトルで表現した \mathbf{I}_{imp} とすると Z 行列は式 (4.25) で表せる。

$$\begin{bmatrix} \mathbf{V}_{obs} \\ \mathbf{V}_{imp} \end{bmatrix} = \begin{bmatrix} \mathbf{Z}_{oo} & \mathbf{Z}_{oi} \\ \mathbf{Z}_{io} & \mathbf{Z}_{ii} \end{bmatrix} \begin{bmatrix} \mathbf{I}_{obs} \\ \mathbf{I}_{imp} \end{bmatrix} \quad (4.25)$$

キャパシタの素子値を \mathbf{C} ，寄生抵抗を \mathbf{R}_{ESR} ，寄生インダクタンスを \mathbf{L}_{ESL} ，実装ポートの電圧と電流は式 (4.26) で表せる。ここでは各ポートでそれぞれ該当する値を要素に持つベクトルとして表現している。

$$\mathbf{V}_{imp} = \left(\frac{1}{j\omega} \mathbf{C}^{-1} + \mathbf{R}_{ESR} + j\omega \mathbf{L}_{ESL} \right) \mathbf{I}_{imp} \quad (4.26)$$

式 (4.25) と式 (4.26) より，実装ポートにキャパシタを接続した状態での観測ポート間の Z 行列を式 (4.27) より導出できる。

$$\mathbf{V}_{obs} = \left\{ \mathbf{Z}_{oo} - \mathbf{Z}_{oi} \left(\frac{1}{j\omega} \mathbf{C}^{-1} + \mathbf{R}_{ESR} + j\omega \mathbf{L}_{ESL} + \mathbf{Z}_{ii} \right)^{-1} \mathbf{Z}_{io} \right\} \mathbf{I}_{obs} \quad (4.27)$$

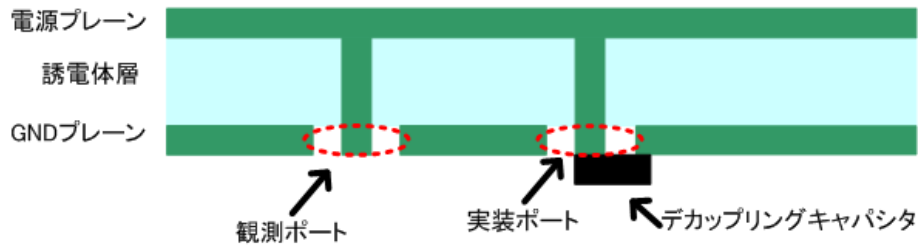


図 4.13 観測ポートと実装ポート

4.3.2 キャパシタの素子値の検討

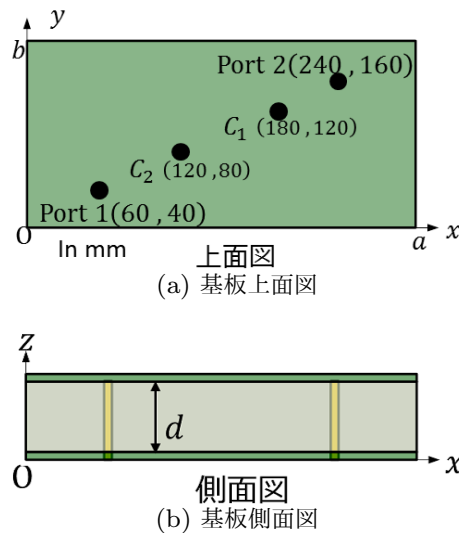


図 4.14 デカップリングキャパシタの素子値を設計変数とした場合の検討モデル

まずデカップリングキャパシタの素子値を設計変数としたモデルについて検討する。検討する電源-グラウンドプレーンのモデルを図 4.14 に示す。基板はサイズ 300 mm × 200 mm の FR-4 基板を想定し、比誘電率 $\epsilon_r = 4.4$ 、比透磁率 $\mu_r = 1.0$ 、誘電損失 $\tan \delta = 0.02$ である。また、電源-グラウンドプレーン間の距離は $d = 1.53$ mm、導体は厚さ $t = 0.035$ mm で導電率 $\sigma_c = 5.8 \times 10^7$ S/m の銅とし、信号ヴィアの半径を $r_i = 0.5$ mm とする。グラウンドプレーンからスルーホールを通じて励振する 2 つのポートを配置する。実装するキャパシタは 2 個で、 $R_{ESR} = 0.1 \Omega$ 、 $L_{ESL} = 1$ nH とし、キャパシタの実装位置は図 4.14(a) の C_1 、 C_2 で示した位置とする。設計変数の初期セットを表 4.4 に示す。

このモデルのキャパシタ未実装時の自己インピーダンスの振幅 $|Z_{11}|$ を例に 4.3.1 節で概説した円形状のクリアランスホールの扱いについて詳しく説明する。円形状のクリアラ

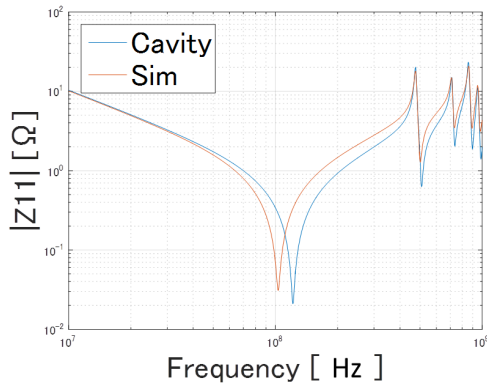
ンスを矩形形状のポートで等価的に置換するために以下の3つの考え方を検討した。最初の考え方は円形状のクリアランスの半径を R とし、円形状のポートを式 (4.28) を用いて図 4.11(a) の矩形形状のポートに等価的に置換した [37]。ここで式 (4.28) は矩形形状のクリアランスと円形状のクリアランスの周りの長さの比より求めた。

$$W = \frac{\pi}{4}R \quad (4.28)$$

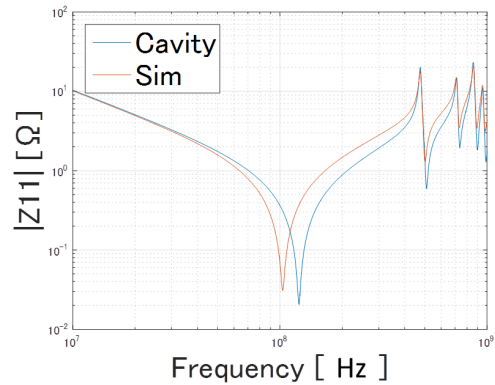
2番目の考え方も円形状のクリアランスの半径を R とし、円形状のポートを式 (4.29) を用いて図 4.11(a) の矩形形状のポートに等価的に置換した。ここで式 (4.29) は矩形上のクリアランスと円形状のクリアランスの面積比より求めた。

$$W = \sqrt{\frac{\pi}{4}}R \quad (4.29)$$

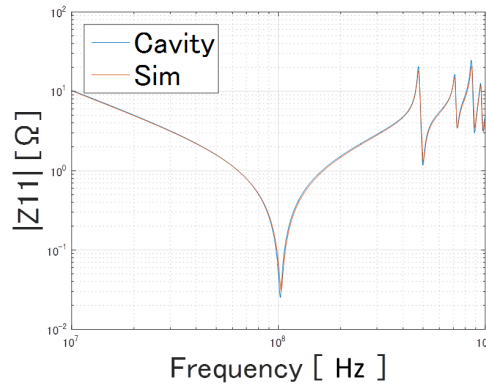
最後はクリアランスホールの影響はポートの内導体、つまりヴィアの大きさに依存するのではないかと考えた。ここでクリアランスホールの大きさに対しヴィアは小さいので、ヴィアの直径 r をそのまま矩形上ポートの一辺として近似した。これら3つの円形状のクリアランスの置換手法について円形状のクリアランスのフルウェーブシミュレーション結果と比較を図 4.15 に示した。ここでクリアランスホールの半径 $R = 1.7$ mm, ヴィアの直径 $r = 0.1$ mm とした。図中の青線の「Cavity」がそれぞれの考え方でクリアランスの影響を考慮に入れた数値計算結果であり、赤線の「Sim」がフルウェーブシミュレーションの結果である。図 4.15(a) と図 4.15(b) では 100 MHz 付近の共振周波数が大きくずれているのに対し、ヴィアを矩形上に近似して計算した図 4.15(c) ではほぼ一致している。この共振周波数のずれはキャパシタを実装した時に高周波まで影響を与えるので、自己インピーダンスを求める際は重要になる。これ以降の数値計算ではクリアランスホールはヴィアを矩形上に近似して計算した。



(a) クリアランスの周りの長さの比



(b) クリアランスの面積比



(c) ヴィアを矩形形状に近似

図 4.15 3つの円形状のクリアランスの置換手法について円形状のクリアランスのフルウェーブシミュレーション結果との比較.

メタモデリングでは、この初期セットから各キャパシタの素子値を 210, 220, 230, 240, 250 pF の 5 水準を用いて、応答曲面を求めた。

表 4.4 図 4.14 に実装するデカップリングキャパシタにおける設計変数の初期セット

	C_1 (pF)	C_2 (pF)
Min	210	210
Max	250	250

図 4.14 の平行平板の 1 GHz までの共振周波数を式 (4.12) を用いて求めた結果を表 4.5 に示す。この中で 1-0 モードの共振が発生する 200~300 MHz の周波数帯域内のインピーダンスの最大値を要求性能としてメタモデルを求めた。

表 4.5 検討モデルの共振周波数 f_{mn}

モード		f_{mn} [MHz]	モード		f_{mn} [MHz]
m	n		m	n	
1	0	238	3	0	715
0	1	357	1	2	753
1	1	429	3	1	799
2	0	476	2	2	859
2	1	596	4	0	953
0	2	715			

図 4.16 に伝達インピーダンスの振幅 $|Z_{21}|$ ，図 4.17 に伝達インピーダンスの振幅 $|Z_{11}|$ の応答曲面及びサンプリングデータと応答曲面による予測結果の関係を示す．図 4.16(a) 及び 4.17(a) 中の赤点はサンプリングデータに使用した点である．エイリアスがなく，サンプリングデータは応答曲面の形状の特徴的な点をサンプリングできていることが分かる．また図 4.16(b) 及び 4.17(b) のサンプリングデータと応答曲面による予測結果の關係のグラフは，赤点がサンプリングデータ，黒破線がメタモデリングで得られた近似値，グラフ内の R は相関係数の数値を表している．ほぼ近似式の線上にサンプリングデータが存在し，サンプリングデータと応答曲面による予測結果の相関係数の数値も 0.99 を超えているので PSD 手法で十分使用可能である．

要求性能は 200~300 MHz における伝達インピーダンスの振幅 $|Z_{21}|$ 及び自己インピーダンスの振幅 $|Z_{11}|$ の最大値である．伝達インピーダンスの振幅 $|Z_{21}|$ に関する要求性能は 13Ω 以下とし，自己インピーダンスの振幅 $|Z_{11}|$ に関する要求性能は 14Ω 以下とした．

設計変数と要求性能の選好度の例を図 4.18 及び図 4.19 に示す．図 4.18 は C_1 を例にした設計変数の選好度である．PSD 手法を適用することで求めた設計変数の集合が表 4.6 である．

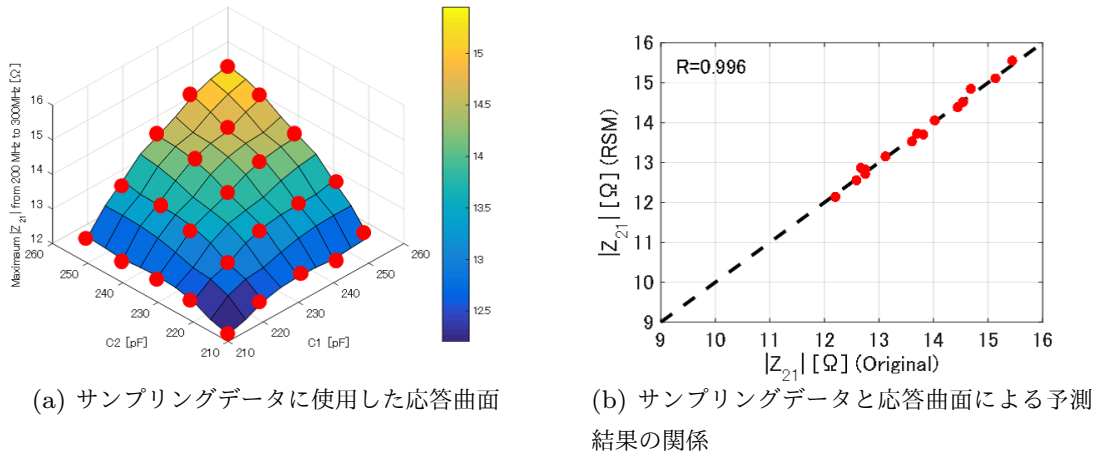


図 4.16 伝達インピーダンスの振幅 $|Z_{21}|$ のメタモデル

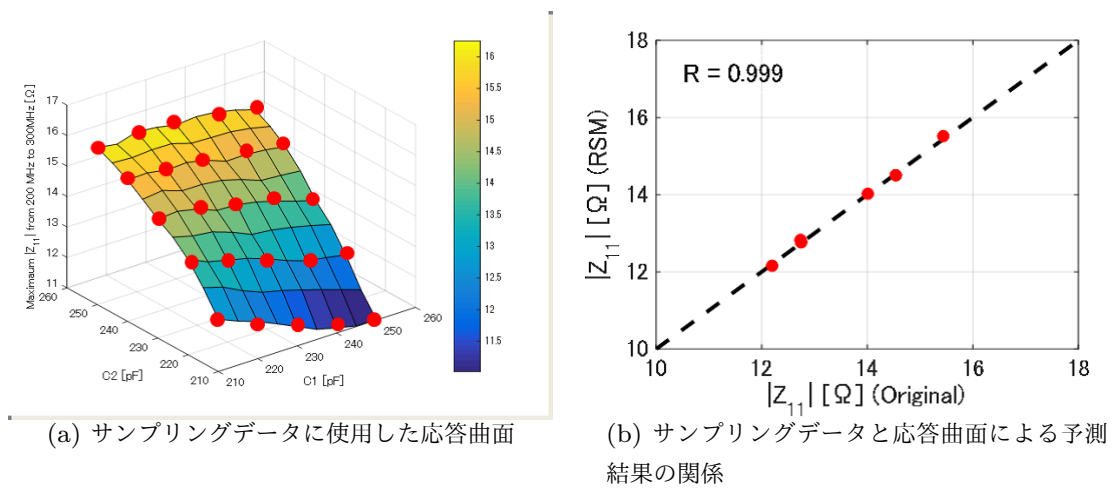


図 4.17 伝達インピーダンスの振幅 $|Z_{11}|$ のメタモデル

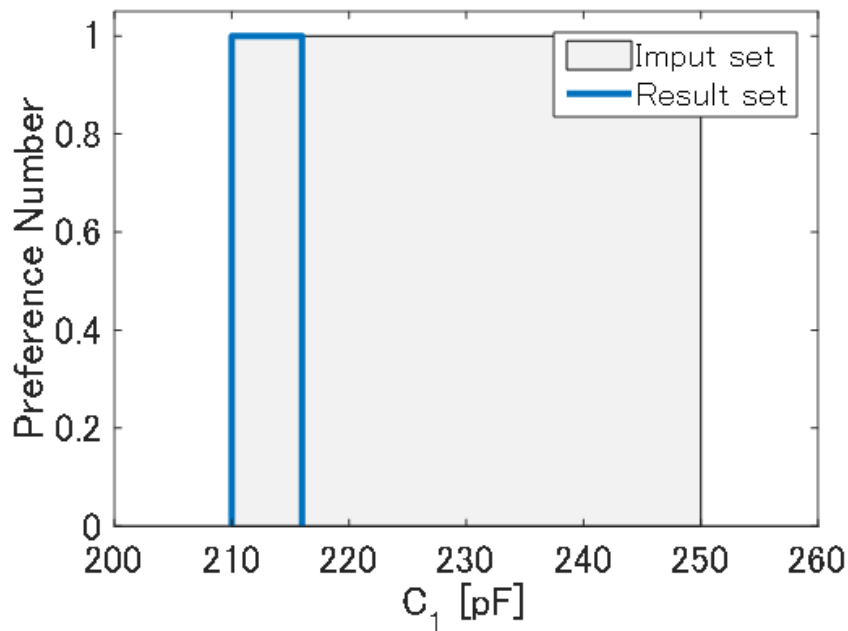


図 4.18 設計変数 C_1 の選好度

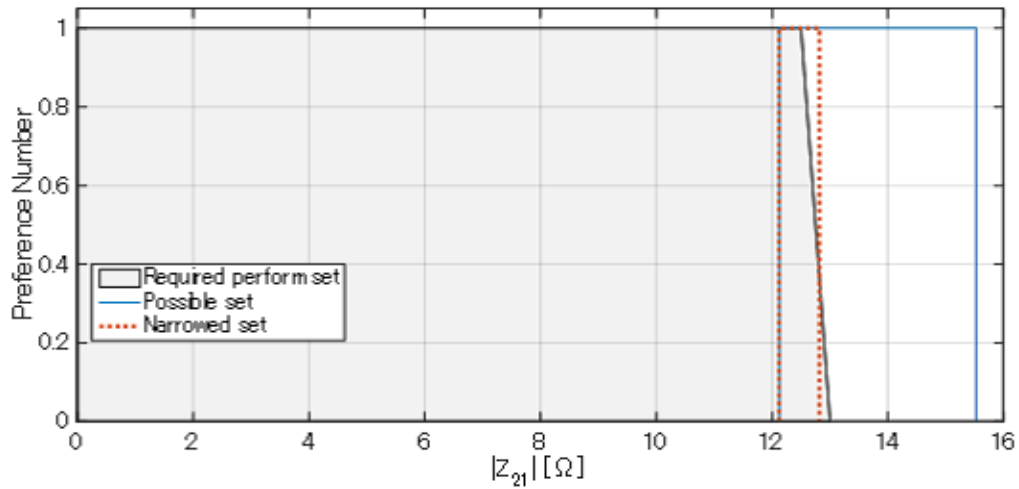
図 4.19 要求性能伝達インピーダンスの振幅 $|Z_{21}|$ の選好度

表 4.6 図 4.14 に実装するデカップリングキャパシタの範囲解

	C_1 (pF)	C_2 (pF)
Min	210	210
Max	216	216

図 4.20 に PSD 手法で求めた表 4.6 の設計変数のセットの中から C_1 も C_2 も 210 pF の組み合わせと 216 pF の組み合わせでデカップリングキャパシタを実装した場合の伝達インピーダンス Z_{21} と自己インピーダンス Z_{11} を示す。黄色で囲った部分が要求性能の範囲を示している。これらの図では全て要求性能を満たしている。

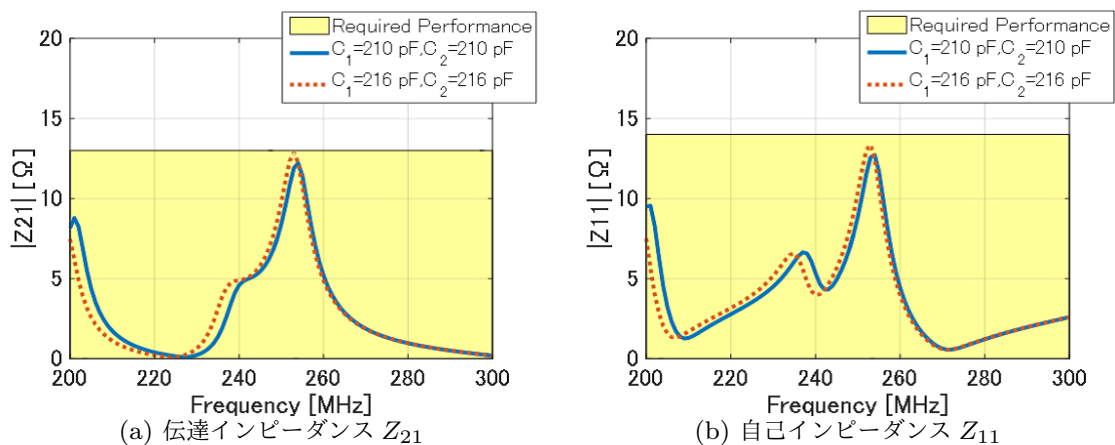


図 4.20 得られた範囲解の検証結果

E 系列の利用

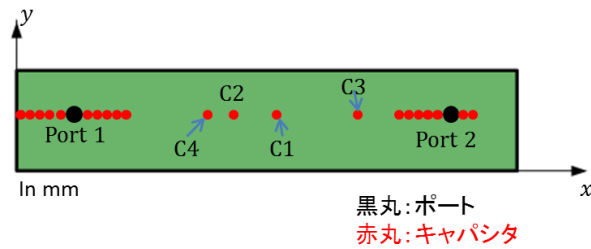
本論文では、キャパシタやインダクタの素子値について PSD 手法で最適化を行なっている。しかし、現実の設計現場では自由に素子値を選べるわけではない。製品に採用される抵抗やキャパシタといった部品の多くは汎用品であり、汎用品で選べる素子値は E ステップと呼ばれる数値のステップで定められている [42]。E ステップは JISC5063 規格より表 4.7 のように定められている。E6 ステップを例に説明すると、E6 ステップは $10^{n/6}$ の理論値を丸めた値であり、E12 ステップの値の 1 つおきの値である。この E ステップは丸め込みの問題で対数軸での間隔は等間隔ではないため、2 次関数による近似では偏りが生じる。そこで E 系列を使用する場合は素子値は RBF 補間で近似式を使うのが好ましい。

表 4.7 E ステップの例

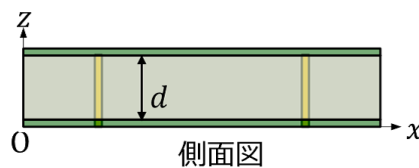
E3 ステップ	E6 ステップ	E12 ステップ
1	1	1
		1.2
	1.5	1.5
		1.8
2.2	2.2	2.2
		2.7
	3.3	3.3
		3.9
4.7	4.7	4.7
		5.6
	6.8	6.8
		8.2

4.3.3 キャパシタの実装位置の検討

次にデカップリングキャパシタの実装位置を設計変数としたモデルについて検討する。検討する電源-グラウンドプレーンのモデルを図 4.21 に示す。基板はサイズ



(a) 基板上面図



(b) 基板側面図

図 4.21 デカップリングキャパシタの実装位置を設計変数とした場合の検討モデル

300 mm × 60 mm の FR-4 基板を想定し，比誘電率 $\epsilon_r = 4.4$ ，比透磁率 $\mu_r = 1.0$ ，誘電損失 $\tan \delta = 0.02$ である。

電源-グラウンドプレーンのモード共振を抑制するのに実装位置を表す設計変数を簡単に考えるために一次元にのみ共振が発生するようにするために，基板はサイズ 300 mm × 60 mm の FR-4 基板とした。比誘電率 $\epsilon_r = 4.4$ ，比透磁率 $\mu_r = 1.0$ ，誘電損失 $\tan \delta = 0.02$ である。図 4.21 の平行平板の 1.2 GHz までの共振周波数は，式 (4.12) により次の表 4.8 のようになる。この中で 2-0 モードまでの共振が発生する 10~500 MHz の周波数帯域内のインピーダンスの最大値を要求性能としてメタモデルに使用した。

表 4.8 検討モデルの共振周波数 f_{mn}

モード		f_{mn} [MHz]	モード		f_{mn} [MHz]
m	n		m	n	
1	0	238	4	0	953
2	0	476	5	0	1191
3	0	715	0	1	1191

また，電源-グラウンドプレーン間の距離は $d = 1.53$ mm，導体は厚さ $t = 0.035$ mm で導電率 $\sigma_c = 5.8 \times 10^7$ S/m の銅とし，信号ビアの半径を $r_i = 0.5$ mm とする。グラ

ウンドプレーンからスルーホールを通じて励振する 2 つのポートを配置する．測定ポートの座標はポート 1 が (30 mm, 30 mm)，ポート 2 が (270 mm, 30 mm) とした．

実装するキャパシタについて述べる．PDN は広い周波数帯域でインピーダンスを低く抑える必要があるため，担当周波数領域の異なる複数のキャパシタを組み合わせている．ここで，PDN に実装されるキャパシタの役割分担を図 4.22 に示す [40]-[41]．横軸は周波数，縦軸は LSI から見た PDN のインピーダンスである．DC-DC コンバータの出力付近に数十 μF から数 mF の大容量のバルクキャパシタが実装される．このバルクキャパシタは DC-DC コンバータの出力電圧の平滑化する役割があり，DC から kHz 帯域までの領域で PDN のインピーダンスを低く抑える．次に数 nF から数十 μF のデカップリングキャパシタが実装される．ボード上，パッケージ上，チップ上と進むにつれてより高い周波数でインピーダンスを抑制するために容量の小さいデカップリングキャパシタが実装される．このモデルではボード上のデカップリングキャパシタについて検討している．

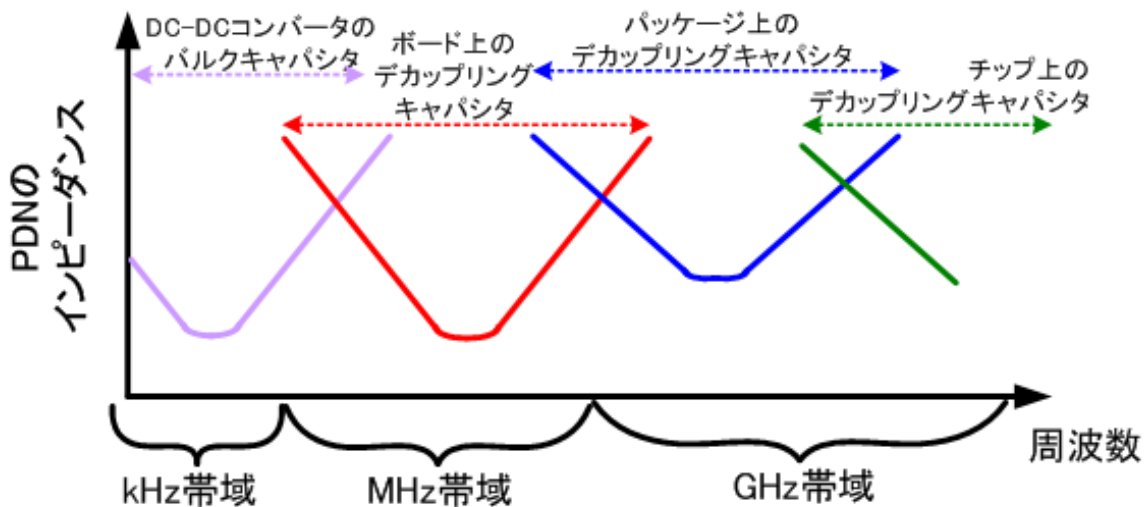


図 4.22 インピーダンスの周波数特性と PDN 構成要素の分担

実装するデカップリングキャパシタを表 4.9 に示す．この表内の $x_1 \sim x_4$ を設計変数としている．設計変数の初期セットは表 4.10 に示す．メタモデリングでは，この初期セットから等間隔に設定した 5 水準を使用し，応答曲面を求めた．

ここでメタモデルのサンプリング間隔の妥当性について述べる．同じモデルでキャパシタ C_1 と C_2 の素子値を設計変数にした場合の 10~500 MHz の帯域の伝達インピーダンス $|Z_{21}|$ の振幅の最大値の応答曲面を図 4.23 に示す．図 4.23(a) はサンプリングデータのサンプル数が 5×5 であり，図 4.23(b) はサンプリングデータのサンプル数が 25×25 で

表 4.9 実装するデカップリングキャパシタ

実装位置 [mm]		素子値	実装位置 [mm]		素子値
x	y		x	y	
5	30	100 μF	275	30	2.2 μF
10	30	47 μF	265	30	2.2 μF
15	30	47 μF	260	30	2.2 μF
20	30	2.2 μF	255	30	2.2 μF
25	30	2.2 μF	250	30	2.2 μF
35	30	2.2 μF	245	30	2.2 μF
40	30	2.2 μF	x_1	30	2.2 nF
45	30	2.2 μF	x_2	30	1.5 nF
50	30	2.2 μF	x_3	30	1 nF
55	30	2.2 μF	x_4	30	680 pF
280	30	2.2 μF			

表 4.10 図 4.21 に実装するデカップリングキャパシタにおける設計変数の初期セット

	x_1 (mm)	x_2 (mm)	x_3 (mm)	x_4 (mm)
Min	155	110	190	90
Max	165	120	200	100

ある。2つの図のZ軸に注目すると図 4.23(a) のレンジが $0.02 \sim 0.045 \Omega$ で比較的平坦な形状であるのに対し、図 4.23(b) のレンジは $0 \sim 0.2 \Omega$ で C_1 、 C_2 どちらの素子値も低い領域（図 4.23(a) 中、中央手前側）に鋭く大きな複数のピークや、 C_1 が低く C_2 が高い領域（図 4.23(a) 中、右端側）に C_1 側の傾斜が急で C_2 側の傾斜が緩やかな広い凹凸が確認できる。これらは電源-グラウンドプレーン上で発生する共振のQ値が高いため、サンプリング数の少ないサンプリングデータではエイリアスが発生しているからである。エイリアスを防ぐためには、サンプリングデータのサンプル数が十分であるかの確認が必要である。次にこのモデルでキャパシタの実装位置 x_1 と x_2 を設計変数とした場合の応答曲面を図 4.24 に示す。図 4.24(a) はサンプリングデータのサンプル数が 5×5 であり、図 4.24(b) はサンプリングデータのサンプル数が 25×25 である。この2つの図が示す応答

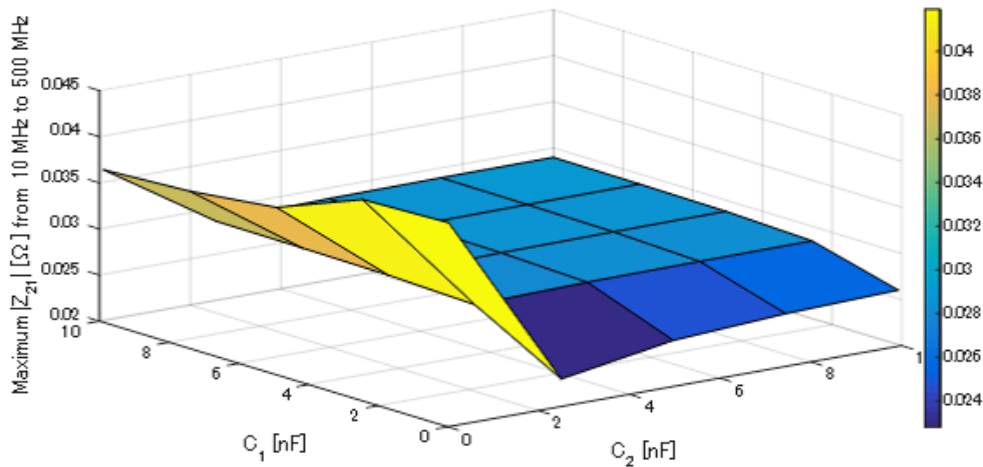
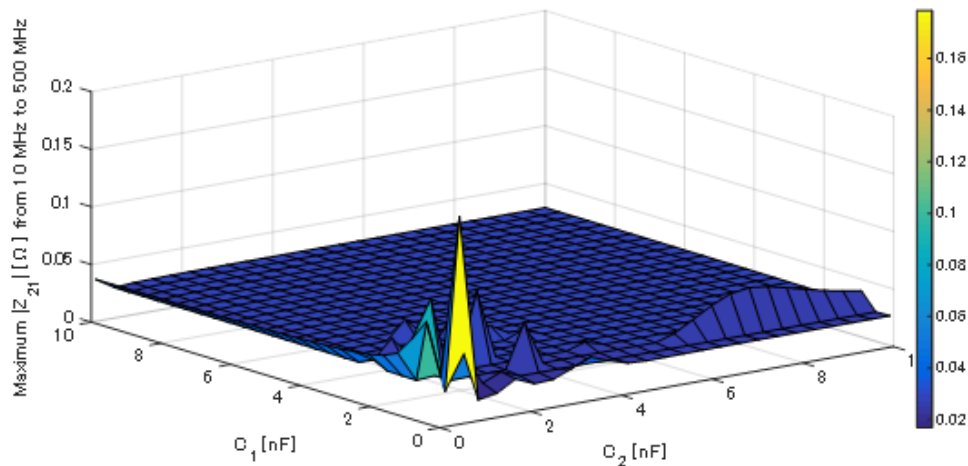
(a) サンプル数 5×5 (b) サンプル数 25×25

図 4.23 2 次関数近似による応答曲面.

曲面は近い形であるので、等間隔に 5 水準でも十分に精度の高いメタモデリングができるとした。

要求性能は伝達インピーダンスの振幅 $|Z_{21}|$ が 0.05Ω 以下とした。この要求性能は現在の電源設計を想定し、3.3 V の電源電圧に 5 % の電圧変動、即ち 165 mV まで許容するとする。この時の LSI の消費電力を 10 W とすると電源に流れる電流は約 3 A になる。電源電圧の許容変動 165 mV と 3 A の電流からオームの法則より要求されるインピーダンス (ターゲットインピーダンス) は 0.054Ω となるので、それより厳しい値として 0.05Ω 以下とした [36]。

表 4.11 は PSD 手法で得られた範囲解である。図 4.25 に PSD 手法で得られた範囲解

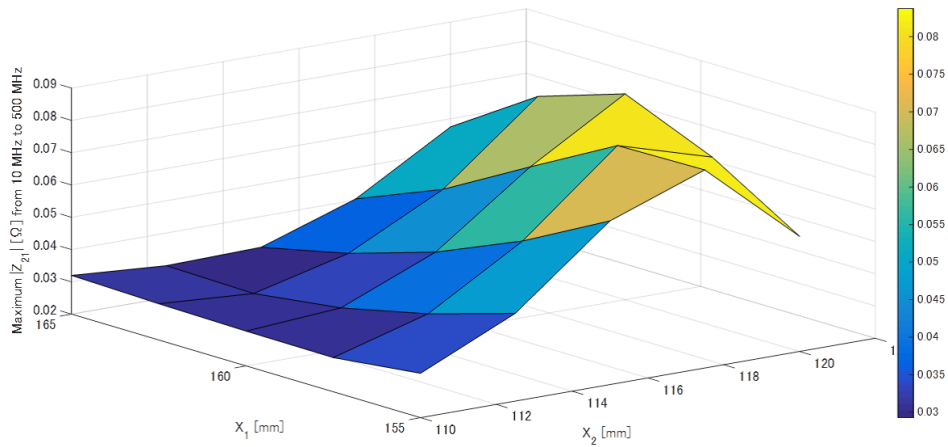
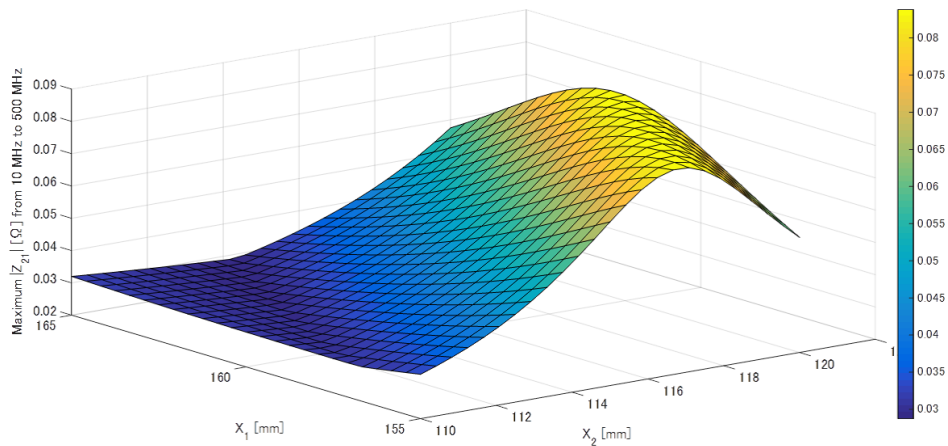
(a) サンプル数 5×5 (b) サンプル数 25×25

図 4.24 RBF 補間による応答曲面.

表 4.11 図 4.21 に実装するデカップリングキャパシタにおける設計変数の範囲解

	x_1 (mm)	x_2 (mm)	x_3 (mm)	x_4 (mm)
Min	161.7	113.3	196.7	90
Max	165	116.7	200	93.3

の検証結果を示す. 図 4.25(b) は設計変数の範囲解の中でランダムな値の組み合わせを 1000 組作り, その設計変数の範囲解内の組み合わせが取りうる性能を図中の赤の領域に示した. 青線はターゲットインピーダンスとして設定した 0.05Ω である. 比較のために

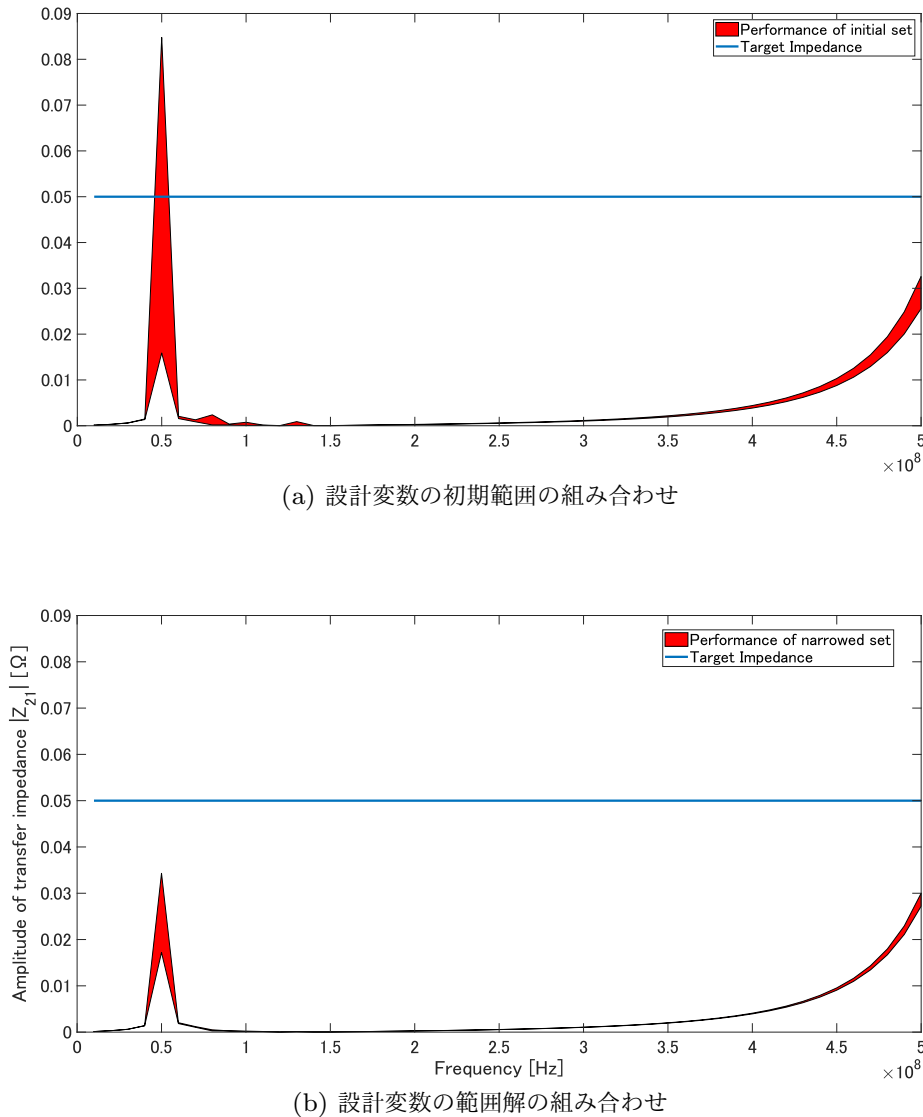


図 4.25 得られた範囲解の検証結果

同様の条件で初期範囲からランダムな組み合わせを 1000 組作り、その組み合わせが取りうる性能を図 4.25(a) に示す。この 2 つの図の最大の違いは 50 MHz 付近の共振である。この共振はプレーンのキャパシタンスやインダクタンスとデカップリングキャパシタの素子値と ESL による共振である。デカップリングキャパシタの実装位置によって測定ポート-実装ポート間のプレーンの持つインダクタンスは変わる。この違いによってプレーンとデカップリングキャパシタによる共振時のインピーダンスも大きく変わる。図 4.25(a) の初期範囲の組み合わせでは、最大で 0.08Ω とターゲットインピーダンスを超過してしまう。それに対し、図 4.25(b) の範囲解の組み合わせでは最大でも 0.04Ω とターゲットインピーダンスに収まっているのが分かる。

4.4 まとめ

本章では、パワーインテグリティへのPSD手法の適用として、EMIフィルタ設計と、電源-グラウンドプレーンへのデカップリングキャパシタの最適配置手法についてPSD手法の適用を検討した。

EMIフィルタの設計ではDMとCM、それぞれの減衰量を要求性能として扱い、求めた設計変数の「セット」から設定した組合せが与えた要求性能を全て満足する結果を得た。また、Yコンデンサを構成する各素子独立な設計変数として扱う場合についての検討も行なったところ、求めた設計変数の「セット」から設定した組合せはDM減衰量に対しては要求性能を満足しているが、CM減衰量については要求性能を満足しない少し低い値を含む結果となってしまった。これはPSD手法は厳密解を導く方法ではないため、要求性能近辺での解が条件を少し超過してしまうためである。

電源-グラウンドプレーンのデカップリングキャパシタの最適配置手法では、まずキャパシタの素子値の最適化について検討した。求めた設計変数の「セット」から設定した組合せが与えた要求性能を伝達インピーダンス、自己インピーダンス共に満足する結果を得た。次にキャパシタの実装位置の最適化では、エイリアスの影響を考慮して2次関数近似による応答曲面法ではなくRBF補間による応答曲面法でメタモデリングを行なった。PSD手法を適用することでターゲットインピーダンスを満足する伝達インピーダンスの設計変数の「セット」を得ることができた。

第5章

結論

電子機器の発展と社会の情報化を背景に、電子機器に求められるニーズや守るべき規格が増えている。また、一つの製品をモジュールに分けて同時に設計を行ったり、逆にベースとなる製品に別の機能を組み込んで同時に複数の製品設計を行なうなど設計の進め方も多様になっている。このような背景を受けて、電子機器の設計は複雑さを増している。設計が複雑になるということは一般的に設計工程が多くなることを意味し、多くの設計工程を管理するために工夫するためにも設計初期段階での多くの仕様を満たす設計の見積もりが重要になってきている。しかし、設計初期段階においては曖昧な設計変数や要求性能といった設計の不確定性が存在するために多くの仕様を満足する設計解を求めるのは難しい。この問題を解決するために、複数の設計プロセスで設計情報の共有し平行して設計を行なう協調設計が求められている。

本論文では、初期設計・多目的満足化設計のための PSD 手法をシグナルインテグリティ、パワーインテグリティの観点から電気設計に適用したときの有効性を検討した。PSD 手法は機械設計の分野において開発された手法であり、不確実な設計情報が含まれる設計変数や要求性能を一つの設計解ではなくさまざまな不確定性を変動範囲として含めるために「セット」という設計解の集合で扱い、かつ設計者の設計意図を選好度という重み付けで定義して複数の要求性能を同時に満足する設計解を導出する方法である。本手法を適用することで不確定性を考慮した設計手法を提案している。

第1章では、電気設計における課題であるシグナルインテグリティ・パワーインテグリティについて述べ、PSD 手法をシグナルインテグリティ、パワーインテグリティの観点から電気設計に適用することの意義について議論した。また、現在の産業界において設計現場で使おうと日夜様々な取り組みが行われている様々な協調設計の取り組みについて述

べた。これらのことから、本論文で提案する PSD 手法の電気設計への適用も設計現場への協調設計の推進に一躍を担うことが期待できる。

第2章では、PSD 手法の説明とシグナルインテグリティ・パワーインテグリティへの応用を行なうためのメタモデリング手法の検討について述べた。PSD 手法の基になった考え方であるセットベース設計手法と、PSD 手法の最大の特徴である選好度について述べた。PSD 手法で行なわれている流れを図 2.3 のフローチャートに沿って述べた。また、メタモデリング手法では、2次関数近似と RBF 補間による応答曲面法について述べた。

第3章では、シグナルインテグリティへの PSD 手法の適用として、MSL で構成された平行二本線路と非平行二本線路のレイアウト設計、5次の連立チェビシェフ形ローパスフィルタの設計について PSD 手法の適用を検討した。平行二本線路のレイアウト設計では、ハフマンの近似式よりメタモデルを作成し、PSD 手法を適用した。求めた設計変数のセットから設定した組合せについて、フルウェーブシミュレーションと測定により検証した結果、反射特性 $|S_{11}|$ 及び $|S_{33}|$ を除き、要求性能を満足する結果を得た。非平行二本線路のレイアウト設計では、フルウェーブシミュレーションよりメタモデルを作成し、PSD 手法を適用した。求めた設計変数のセットから設定した組合せについてフルウェーブシミュレーションと測定により検証した結果、要求性能を満足する結果を得た。5次の連立チェビシェフ形ローパスフィルタの設計についても設計も求めた設計変数のセットから設定した組合せが与えた要求性能を満足する結果を得た。このフィルタ設計に対し、設計変数の選好度を変えることで、要求性能の範囲解の範囲はほぼ同じだが要求性能の選好度が変わることで要求性能において設計意図が要求性能に伝搬していることを示した。また、部品の高密度化が原因で起こり得るインダクタ間の漏えい磁界による不要結合が前記ローパスフィルタに生じる場合についても検討を行なった。フィルタのインダクタ間の不要結合が減衰特性に敏感に影響することから、このような不確定要素が生じているモデルに対しても PSD 手法を適用することで簡単にフィルタの設計パラメータをセットで得ることができた。また、終端抵抗に不確定要素が存在する場合にも検討を行ない、このような不確定要素が生じているモデルに対しても PSD 手法を適用することで簡単にフィルタの設計パラメータをセットで得ることができた。

第4章では、パワーインテグリティへの PSD 手法の適用として、EMI フィルタ設計と、電源-グラウンドプレーンへのデカップリングキャパシタの最適配置手法について PSD 手法の適用を検討した。EMI フィルタの設計では DM と CM、それぞれの減衰量を要求性能として扱い、求めた設計変数の「セット」から設定した組合せが与えた要求性能を全て

満足する結果を得た。また、Y コンデンサを構成する各素子が独立な設計変数として扱う場合についての検討も行なったところ、求めた設計変数の「セット」から設定した組合せは DM 減衰量に対しては要求性能を満足しているが、CM 減衰量については要求性能を満足しない少し低い値を含む結果となってしまった。これは PSD 手法は厳密解を導く方法ではないため、要求性能近辺での解が条件を少し超過してしまうためである。電源-グラウンドプレーンのデカップリングキャパシタの最適配置手法では、まずキャパシタの素子値の最適化について検討した。求めた設計変数の「セット」から設定した組合せが与えた要求性能を伝達インピーダンス、自己インピーダンス共に満足する結果を得た。次にキャパシタの実装位置の最適化では、エイリアスの影響を考慮して 2 次関数近似による応答曲面法ではなく RBF 補間による応答曲面法でメタモデリングを行なった。PSD 手法を適用することでターゲットインピーダンスを満足する伝達インピーダンスの設計変数の「セット」を得ることができた。

以上、シグナルインテグリティ・パワーインテグリティに関する設計について PSD 手法を用いた設計手法の検討とその有効性について検証し、電気設計における PSD 手法の一定の有効性を示した。

デカップリングキャパシタの最適配置手法についてキャパシタの素子値と実装位置を設計変数にした場合についてそれぞれ検討した。キャパシタの数を設計変数にした場合と、これら全てを組み合わせた最適配置手法の構築が次の課題である。また、今回はパワーインテグリティを目的にしたが、デカップリングキャパシタの実装は放射エミッション抑制の観点からも有効な対策である。電源-グラウンドプレーンの電磁雑音の伝搬が基板端部に到達すると、そこから端部より放射エミッションが発生する。この放射エミッションを抑制するためにもデカップリングキャパシタは実装される。要求性能を放射エミッションにすることで、パワーインテグリティと EMC の協調設計にも PSD 手法の応用が期待できる。

本論文では新規設計の設計プロセスでの使用を想定した。実際の設計では過去の類似設計の設計データを活用しようとすることが多い。しかし、設計者が他の設計者の本来の設計意図を組んで有効に類似設計の設計データを活用できるケースは多くなく、本来の設計意図を汲み取らずに単に過去の設計でそうであったからという理由で行なわれるべき設計変更が正しく行われないケースもある。この問題に対する回答として、過去の類似設計の設計データと設計者の設計意図を紐付けした上で設計を支援するシステムを、PSD 手法を活用することで実現したいと考えている。

謝辞

本論文をまとめるに当たり、審査員主査として終始懇切なる御指導、御鞭撻を賜りました電気通信大学情報・ネットワーク工学専攻 肖 鳳超教授に厚く御礼申し上げます。常日頃から時間を割いて討論して戴きました電気通信大学情報・ネットワーク工学専攻 萱野良樹准教授に謹んで感謝申し上げます。また、本論文を御審査戴き、様々なご助言を戴きました電気通信大学情報・ネットワーク工学専攻 和田 光司教授、安藤 芳晃准教授、石川 亮准教授に深謝いたします。

電気通信大学 上 芳夫名誉教授には学部在学中より現在まで、本研究ならびに環境電磁工学についての有益な御助言を戴くだけでなく、多大な御助力も戴きました。ここに深く感謝いたします。

電気通信大学 石川 晴雄名誉教授には本研究について多大な御助力を戴きました。ここに御礼申し上げます。

筆者が日本電気株式会社にて在籍中に電源設計並びにコンカレントエンジニアリングについて議論させて戴きました、日本電気株式会社 システム実装研究所の原田 高志部長、石田 尚志主幹研究員、小川 雅寿主任、大島 大輔主任、楠本 学主任に感謝いたします。そのほか、システム実装研究所の実装設計 TG、機器実装 TG の皆様とは日常的に研究の議論をさせていただきました。あわせて感謝いたします (以上は筆者在籍当時の所属)。

肖・萱野研究室の皆様には、研究全般を通して多大な御支援を戴きました。特に本学修了生長尾 和哉氏には論文作成に多大な御助力を戴きました。本学修了生川満 悠生氏、浅川 諒氏には電源解析について議論させて戴きました。また、本研究をまとめることができ、有意義な学生生活を送る環境を与えて下さった肖・萱野研究室の皆様、並びに上・肖・萱野研究室卒業生・修了生の皆様に感謝いたします。

最後に、私事になりますが、経済的に支えて頂き、励まして頂いた家族に心より感謝します。

参考文献

- [1] 総務省, 平成 28 年度 “情報通信白書,”
<http://www.soumu.go.jp/johotsusintokei/whitepaper/h28.htm>, 参照 Oct. 27, 2018
- [2] 一般社団法人 VCCI 協会, “VCCI について,” 一般社団法人 VCCI 協会,
<http://www.vcci.jp/general/index.html>, 参照 Oct. 27, 2018
- [3] 経済産業省, “2015 年版ものづくり白書,” 経済産業省,
http://www.meti.go.jp/report/whitepaper/mono/2015/honbun_pdf/, 参照 Oct. 27, 2018
- [4] 大島 大輔, “機能素子内臓基板の配線設計技術に関する研究,” 東京工業大学, 2016, Ph. D. thesis.
- [5] A.C. Ward, J.K. Liker, J.J. Cristiano, and D.K. SobekII, “The second Toyota Paradox : How Delaying Decisions Can Make Better Cars Faster,” Sloan Management Review, vol.36, no.3, pp.43-61, Apr. 1995.
- [6] D.K. SobekII, A.C. Ward, and J.K. Liker , “Toyota’s Principles of Set-Based Concurrent Engineering,” Sloan Management Review, vol.40, no.2, pp.67-83, Jan. 1999.
- [7] 石川晴雄, 多目的最適化設計-セットベース設計手法による多目的満足化-, コロナ社, Dec. 2010.
- [8] Y.-E. Nahm and H. Ishikawa, “Novel Space-based Design Methodology for Preliminary Engineering Design,” International Journal of Computer Advanced Manufacturing Technology, vol.26, issue 12, pp.1151-1160, May 2006.
- [9] Y.-E. Nahm, H. Ishikawa, and Y.-S. Yang, “Novel Space-based Design Methodology for Preliminary Engineering Design,” Concurrent Engineering : Research and Applications, vol.15, issue 1, pp.53-62, Mar. 2007.

- [10] M. Inoue, Y.-E. Nahm, S. Okawa, and H. Ishikawa, "Design Support System by Combination of 3D-CAD and CAE with Preference Set-based Design Method," *Concurrent Engineering : Research and Applications*, vol.18, issue 1, pp.41-53, Mar. 2010.
- [11] M. Inoue, Y.-E. Nahm, and H. Ishikawa, "Application of Preference Set-based Design Method to Multilayer Porous Materials for Sound Absorbency and Insulation," *International Journal of Computer Integrated Manufacturing*, vol.26, issue 12, pp.1151-1160, Jan. 2013.
- [12] Texas Instruments, "シグナル・インテグリティ (SI)," Texas Instruments, http://www.tij.co.jp/llds/tija/analog/glossary/signal_integrity.page, 参照 Oct. 29, 2018
- [13] 肖 鳳超, 中田 洋平, 村野 公俊, 上 芳夫, "グラウンド層に入ったスリットを跨ぐトレース線路間クロストーク解析モデルとステッチング キャパシタによる低減効果," *IEICE 信学論 C*, vol. J89-C, no. 11, pp. 885-893, Nov. 2006.
- [14] F. Xiao, R. Hashimoto, K. Murano, and Y. Kami, "Time domain crosstalk characteristics between single-ended and differential lines," *IEICE Trans. Commun.*, vol. E90-B, no. 6, pp. 1305-1312, June 2007.
- [15] 川満 悠生, 上 芳夫, 村野 公俊, 肖 鳳超, "多層基板での差動線路における SI/PI 協調解析の検討," *電子情報通信学会技術研究報告, EMCJ2014-87*, pp. 13-18, Jan. 2015.
- [16] 磯崎 智明, 矢島 征樹, 内田 浩亨, 掛川 千賀, "チップ・パッケージ協調設計手法とそれを支える解析技術," *NEC 技法*, vol. 52 no. 1, pp. 69-72, Jan. 2009.
- [17] 佐藤 厚志, 木村 吉志, 松村 宗明, "チップ・パッケージ・プリント基板協調設計手法," *雑誌 FUJITSU*, vol. 63 no. 4, pp. 482-488, Jul. 2012.
- [18] 宇野 麻由子, 小島 郁太郎, "特集 実装で始まる協調設計-デジタル民生機器を安く速く," *日経エレクトロニクス*, vol. 1027, pp. 25-52, Apr. 2010.
- [19] 大島 大輔, 坂口 基彦, 本橋 洋介, "設計支援装置, 設計支援システムおよび設計支援方法," *WO2012157591A*, Nov. 2012.
- [20] 本橋 洋介, 坂上 秀和, 亀井 真一郎, 大島 大輔, "情報処理装置, 情報処理システム, 情報処理方法, および、コンピュータ・プログラム," *WO2013088708A1*, Jun. 2013.
- [21] JEITA 半導体&システム設計技術委員会, LPB Forum,

- <http://www.lpb-forum.com/>, 一般社団法人 電子情報技術産業協会, 参照 Oct. 29, 2018.
- [22] 上 芳夫, 萱野 良樹, 石川 晴雄, 肖 鳳超, “選好度付きセットベース設計手法について,” 電子情報通信学会技術研究報告, 117(317), pp. 1-6, Nov. 2017.
- [23] 田口 玄一, 実験計画法, 丸善, 1976
- [24] G. E. P. Box, and K. B. Wilson, “On the experimental attainment of optimum conditions (with discussion),” *Journal of the Royal Statistical Society Series B*, 13(1), pp.145, 1951.
- [25] H. M. Raymond, and D. C. Montgomery, *Response Surface Methodology Process and Product Optimization Using Designed Experiments*, John Wiley & Sons. Inc. 1995.
- [26] 轟 章, 平成 11 年 12 月機械学会講習会 99-73 応答曲面法による非線形問題の最適設計入門, 東京工業大学,
<http://todoroki.arrow.jp/response/responsesurface.pdf>, 参照 Nov. 2, 2018.
- [27] 長尾 和哉, “応答曲面法を用いた設計初期段階における選好度付きセットベース設計 (PSD) 手法の電気設計への適応の検討,” 電気通信大学, 2016, Master thesis.
- [28] R. K. Hoffmann, *Handbook of Microwave Integrated Circuits*, Artech House, Norwood, MA, 1987.
- [29] 渡辺 和, 伝送回路網の理論と設計, オーム社, 1968.
- [30] 井上 浩 (監修), “5.1 節 受動素子とフィルタ, 電子システムの電磁ノイズ-評価と対策-,” pp. 129-141, オーム社, 2012.
- [31] G. Ala, G.C. Giaconia, G. Giglia, M.C.D. Pizza and G. Vitale, “Design and Performance Evaluation of a High Power-Density EMI Filter for PWM Inverter-Fed Induction-Motor Drives ,” *IEEE Trans. Ind. Appl.*, Vol.52, No.3, pp. 2397-2404, May/June. 2016.
- [32] V. Tarateerseth, “EMI filter design: Part II: Measurement of noise source impedances ,” *IEEE Electromagnetic Compatibility Magazine*, Vol.1, Quarter 1, pp. 42-49, Jul. 2012.
- [33] V. Tarateerseth, “EMI filter design: Part III: Selection of filter topology for optimal performance ,” *IEEE Electromagnetic Compatibility Magazine*, Vol.1, Quarter 2, pp. 60-73, Jul. 2012.

- [34] T. Ohkoshi, *Planer Circuits for Microwaves and Lightwaves*, Munich:Springer-Verlag, United States, 2008.
- [35] S. Chun, M. Swaminathan, L. D. Smith, J. Srinivasan, Z. Jin and M. K. Iyer, "Modeling of Simultaneous Switching Noise in High Speed Systems," *IEEE Trans. Adv. Packag.*, Vol.24, No.2, pp. 132-142, May 2001.
- [36] M. Swaminathan and A. E. Engin, *Power Integrity Modeling and Design for Semiconductors and Systems*, Pearson Education Inc., Germany, 1984.
- [37] Z. L. Wang, O. Wada, Y. Toyota and R. Koga "Convergence Acceleration and Accuracy Improvement in Power Bus Impedance Calculation With a Fast Algorithm Using Cavity Modes," *IEEE Transactions on Electromagnetic Compatibility*, vol. 47, no. 1, pp. 2-9, Feb. 2005.
- [38] 川満 悠生, "プリント回路基板における信号品質/電源品質問題の検討 ～両面/多層基板での不連続の影響～," 電気通信大学, 2015, Master thesis.
- [39] 浅川 諒, "電源/GND 層間に挟まれた伝送線路系の結合モデルに関する検討," 電気通信大学, 2016, Master thesis.
- [40] EE Times Japan, 実装技術 パワーインテグリティ: ボードの電源系雑音、最適設計で解決, ITmedia,
<http://eetimes.jp/ee/articles/0712/10/news119.html>, 参照 Oct. 31, 2018
- [41] Intel Corporation, 電源インテグリティ, Intel Corporation,
<https://www.intel.co.jp/content/www/jp/ja/programmable/support/support-resources/operation-and-testing/power/pow-integrity.html>, 参照 Oct. 31, 2018
- [42] 村田製作所, セラミックコンデンサのFAQ, 村田製作所,
<https://www.murata.com/ja-jp/support/faqs/products/capacitor/mlcc/char/0040>, 参照 Oct. 31, 2018

論文目録

1. 関連論文

- (1) 川上 雅士, 上 芳夫, 石川 晴雄, 肖 鳳超, “選好度付セットベースデザイン (PSD) 手法のフィルタ設計への適用の検討,” 電気学会論文誌 A(基礎・材料・共通部門誌), vol. 136, no. 10, pp. 621-628, Oct 2016. (本文の第 3 章の内容に関連)
- (2) M. Kawakami, H. Ishikawa, Y. Kami, and F. Xiao, “An application of the preference set-based design method to filter designs,” in Proc. Joint IEEE International Symposium on Electromagnetic Compatibility and EMC Europe, (IEEE EMC-2015), Dresden, Germany, pp. 1315-1318, Aug. 2015. (本文の第 3、4 章に関連)

著者略歴

1984年1月23日生

2007年3月 電気通信大学電気通信学部情報通信工学科卒業

2007年4月 電気通信大学大学院電気通信学研究科情報通信工学専攻博士前期課程入学

2009年3月 電気通信大学大学院電気通信学研究科情報通信工学専攻博士前期課程修了

2009年4月 日本電気株式会社入社

2013年2月 日本電気株式会社退社

2013年4月 電気通信大学大学院電気通信学研究科情報通信工学専攻博士後期課程入学

2018年3月 電気通信大学大学院電気通信学研究科情報通信工学専攻博士後期課程単位取得退学

2019年3月 博士(工学)取得見込み

2014年5月 2014 International Symposium on Electromagnetic Compatibility, Tokyo
Young Researcher Award 受賞

2016年6月 JPCA Show 2016, 2016 アカデミックプラザ賞受賞

電子情報通信学会会員