

修 士 論 文 の 和 文 要 旨

研究科・専攻	大学院 情報理工 学研究科 情報・通信工学 専攻 博士前期課程		
氏 名	中田 克弘	学籍番号	1131085
論 文 題 目	簡易型 MIMO-OTA 測定システムの構築に関する研究		
<p>要 旨</p> <p>MIMO 通信端末を実際の電波環境で評価するためには, 測定端末の周辺にフェージング環境を形成する OTA (Over-the-Air) 測定法が有効である. OTA 測定システムには様々な構成方法がある.</p> <p>本研究では, フェージングエミュレータ型 MIMO-OTA 測定システムに注目した. 簡易な構成で実現可能なアンテナブランチ制御型のフェージングエミュレータを取り上げ, マルチパス遅延環境を実現する広帯域構成の簡易型フェージングエミュレータの構成を提案するとともに, 具体的な実装方法と実装例を示す. 実装した簡易型フェージングエミュレータの基本的な特性を測定した結果, 設計通りに動作していることが確認された. また, 簡易型フェージングエミュレータのハードウェアに起因する制約と, その改善方法についても述べる.</p> <p>簡易型フェージングエミュレータを用いた評価をより簡便にするために, 2 ステージ型 MIMO-OTA 測定システムにも注目した. 簡易型フェージングエミュレータを拡張して 2 ステージ法を取り入れた簡易型チャネルエミュレータの構成を提案するとともに, 具体的な実装方法と実装例を示す. 実装した簡易型チャネルエミュレータの基本的な特性を測定した結果, 設計通りに動作していることが確認された. また, 簡易型チャネルエミュレータを用いて地上デジタル放送信号のダイバシチ受信性能を評価し, 簡易型チャネルエミュレータが実用に耐える測定システムであることを示す.</p>			

平成 24 年度 修士論文

簡易型 MIMO-OTA 測定システムの 構築に関する研究

学籍番号	1131085
氏名	中田 克弘
情報・通信工学専攻	情報通信システムコース
指導教員	唐沢好男 教授
副指導教員	藤井威生 准教授

概要

MIMO 通信端末を実際の電波環境で評価するためには、測定端末の周辺にフェージング環境を形成する OTA (Over-the-Air) 測定法が有効である。OTA 測定システムには様々な構成方法がある。

本研究では、フェージングエミュレータ型 MIMO-OTA 測定システムに注目した。簡易な構成で実現可能なアンテナブランチ制御型のフェージングエミュレータを取り上げ、マルチパス遅延環境を実現する広帯域構成の簡易型フェージングエミュレータの構成を提案するとともに、具体的な実装方法と実装例を示す。実装した簡易型フェージングエミュレータの基本的な特性を測定した結果、設計通りに動作していることが確認された。また、簡易型フェージングエミュレータのハードウェアに起因する制約と、その改善方法についても述べる。

簡易型フェージングエミュレータを用いた評価をより簡便にするために、2 ステージ型 MIMO-OTA 測定システムにも注目した。簡易型フェージングエミュレータを拡張して 2 ステージ法を取り入れた簡易型チャネルエミュレータの構成を提案するとともに、具体的な実装方法と実装例を示す。実装した簡易型チャネルエミュレータの基本的な特性を測定した結果、設計通りに動作していることが確認された。また、簡易型チャネルエミュレータを用いて地上デジタル放送信号のダイバシチ受信性能を評価し、簡易型チャネルエミュレータが実用に耐える測定システムであることを示す。

目次

概要	i
第 1 章 序論	1
1.1 MIMO 通信端末と，その評価	1
1.2 MIMO-OTA 測定の標準化動向	1
1.3 主要な MIMO-OTA 測定システム	2
1.4 本研究の目的	6
第 2 章 簡易型フェージングエミュレータ	9
2.1 アンテナ制御型の特徴	9
2.2 アンテナ制御型のチャネルモデル	11
2.3 ハードウェアの構成	12
2.4 フェージングエミュレータの特性評価	18
2.5 タイミングエラー対策	26
2.6 リソースの制約	26
2.7 遅延用 RAM を節約する実装法	27
第 3 章 簡易型チャネルエミュレータ	29
3.1 2 ステージ法の統合	29
3.2 ハードウェアの構成	30
3.3 チャネルエミュレータの特性評価	33
3.4 チャネルエミュレータを用いた評価	35
3.5 ハードウェアの小型化	40
第 4 章 結論	43
謝辞	45

参考文献	47
発表実績	49
付録 A OTACtrl の使用方法	51
A.1 起動とプロファイルの作成	51
A.2 パラメータの設定	52
A.3 実行	53
付録 B 簡易型 MIMO-OTA システムの開発方法	55
B.1 信号処理回路 (VHDL) の開発	55
B.2 エンベデッド開発	56
付録 C 解析用 MATLAB スクリプト	59

目次

1.1	フェージングエミュレータ型 OTA 測定システム (3GPP)	2
1.2	2 ステージ型 OTA 測定システム (Agilent Technology)	3
1.3	Decomposition 型 OTA 測定システムの概要 (Rohde & Schwarz)	4
1.4	Decomposition 型 OTA 測定システムの放射試験 (Rohde & Schwarz)	5
1.5	電波反射箱の一例 (電気興業)	6
2.1	フェージングエミュレータの分類	9
2.2	アンテナ制御型測定システムのチャンネル制御部構成	10
2.3	簡易型フェージングエミュレータ本体	13
2.4	簡易型フェージングエミュレータの内部構成	13
2.5	Windows アプリケーション (OTACtrl)	14
2.6	コネクションマトリクスの構成	15
2.7	マルチパス遅延波生成部の構成	16
2.8	ドップラーシフト付加部の構成	16
2.9	ヒルベルト変換フィルタの構成	17
2.10	ヒルベルト変換フィルタの特性	17
2.11	フェージングエミュレータの伝送特性 (ISDB-T)	19
2.12	狭帯域特性評価のシステム構成	19
2.13	ドップラーシフトした周波数スペクトル	21
2.14	振幅の累積分布	21
2.15	レベル交差率 (瞬時変動特性)	22
2.16	マルチパス遅延特性評価実験のシステム構成	23
2.17	I/Q データから遅延波振幅を読み取る方法	24
2.18	遅延波 $a_1^{(k)}$ の振幅の累積分布	25
2.19	レジスタを追加してタイミングエラーを防ぐ例	26
2.20	RAM を節約するための実装方法	28

3.1	2 ステージ法による簡易型 MIMO-OTA システムの概観	29
3.2	簡易型チャネルエミュレータの内部構成 ($L = 8$)	31
3.3	ドップラーシフト・受信アンテナパターン付加ブロックの構成	32
3.4	評価に用いたアンテナ放射パターン (カージオイド型アンテナ)	34
3.5	ドップラーシフトした周波数スペクトル (カージオイド型アンテナ)	35
3.6	振幅の累積分布 $a_{nm}^{(1)}$ (無指向性アンテナ)	36
3.7	地上デジタル放送のダイバシチ受信評価のシステム構成	37
3.8	評価に用いたアンテナ放射パターン	38
3.9	プローブアンテナ (赤) と受信アンテナ (青) の配置	38
3.10	ダイバシチ受信テレビのドップラー耐性	39
3.11	小型化した簡易型チャネルエミュレータ本体	41
A.1	OTACtrl の実行ファイル	51
A.2	OTACtrl のメイン画面	52
A.3	新規プロファイル作成画面	52
A.4	伝搬パラメータの設定例 (表 3.4)	54
B.1	ISE でプロジェクトファイルを開いた状態	56
B.2	XPS でマイコンのプログラムを編集する	57
B.3	XPS でビットストリームを生成	57
B.4	ビットストリームが正常に生成された状態	58
B.5	SystemACE ファイルを生成	58
C.1	importMAT_RSA.m	60
C.2	LCR_nakada.m	61
C.3	Rayleigh_nakada.m	62
C.4	ifpulse.m	64
C.5	antpattern.m	65

表目次

2.1	簡易型フェージングエミュレータの構成と性能	12
2.2	簡易型フェージングエミュレータの設定パラメータ	14
2.3	広比帯域信号伝送特性評価で設定した伝搬パラメータ	18
2.4	狭帯域特性評価で設定した伝搬パラメータ	20
2.5	マルチパス遅延特性評価で設定した伝搬パラメータ	23
2.6	送信ポート 1 に対する遅延波間の相関係数	25
2.7	送信ポート 1,2 に対する遅延波間の相関係数	25
2.8	FPGA の利用率 (XC6VLX240T)	27
3.1	簡易型チャネルエミュレータの構成と性能	30
3.2	簡易型チャネルエミュレータの設定パラメータ	31
3.3	ドップラーシフト・受信アンテナパターン付加部評価で設定した伝搬パラメータ	33
3.4	地上デジタル放送のダイバシチ受信評価で設定した伝搬パラメータ	37
3.5	ML605 と ML623 の比較	40
3.6	小型化した簡易型チャネルエミュレータの構成	41
A.1	伝搬パラメータの入力フォーマット	53
B.1	プロジェクト名のリスト	55

第 1 章

序論

1.1 MIMO 通信端末と，その評価

近年，無線通信システムの高速・大容量化に伴い，MIMO (Multiple-Input Multiple-Output) 技術は様々な次世代無線通信システムにおけるキーテクノロジーとなっている．無線 LAN の通信規格には，比較的早くから MIMO が盛り込まれてきた．最新規格のひとつである IEEE802.11ac の通信速度は，3 本の空間ストリームを利用することで最大 2.6Gbps (理論値) である．また，近年急速に普及しつつある LTE (Long Term Evolution) にも積極的に採用されており，LTE-Advanced (Release 10) で定義された UE (User Equipment) Category 8 の通信速度は最大 3Gbps (ダウンリンク理論値) に達する [1]．これからの通信端末にとって，MIMO や受信ダイバシチ技術は欠かすことのできない重要な要素なのである．

MIMO 通信端末のスループット性能は，テストポートに同軸ケーブルを接続して評価すること (conducted test) が一般的であった．しかし，MIMO や受信ダイバシチの性能は受信アンテナシステム (アンテナ個々のゲイン，アンテナの配置など) や空間伝搬特性に強く依存しているため，受信アンテナシステムを含めて実際の電波環境で評価を実施しなければならない．MIMO 通信端末を実際の電波環境で評価する方法として，MIMO 通信端末の周辺にフェージング環境を形成して諸特性を測定する OTA (Over-the-Air) 測定が有効であり [2]，注目を浴びている．

1.2 MIMO-OTA 測定の標準化動向

MIMO-OTA 測定の実用化には，3GPP (3rd Generation Partnership Project) や CTIA (Cellular and Telecommunication Industry Association) といった携帯電話関連の標準化団体が積極的に取り組んでいる．特に 3GPP TSG RAN WG4 では，様々な

MIMO-OTA 測定システムの構築法が提案され，議論されている [3]．本論文執筆時現在，提案規格のとりまとめはほぼ完了し，提案されている MIMO-OTA 測定システムの持ち回り試験（Round-robin test）の最終段階である．

1.3 主要な MIMO-OTA 測定システム

1.3.1 フェージングエミュレータ型

フェージングエミュレータ型 MIMO-OTA 測定システムは，フェージングエミュレータ（フィールドエミュレータとも呼ばれる）を用いて被測定端末（DUT）の周辺に所望の電波環境を形成する測定システムである [4, 5, 6]．フェージングエミュレータ型 MIMO-OTA 測定システムの構成図を図 1.1 に示す．測定システムは，基地局エミュレータ等の送信アンテナポートとプローブアンテナ，被測定端末に加えて，送信アンテナポートとプローブアンテナを結ぶフェージングエミュレータから構成され，プローブアンテナと被測定端末は電波暗室内に配置する．なお，ダウンリンクの性能を評価する際のアップリンクは，同軸ケーブルで接続する．

フェージングエミュレータ型の測定システムでは，フェージングエミュレータで様々な伝搬環境を詳細に設定できるため，測定の自由度が非常に高い．また，受信アンテナシステムが実装された状態で評価をするため，より実環境に近い評価をすることができる．その反面，測定システムの大規模化が不可避である．空間相関特性を良くするためにプローブアンテナを多数用意し，これを十分広い電波暗室に設置しなければならない．直交する

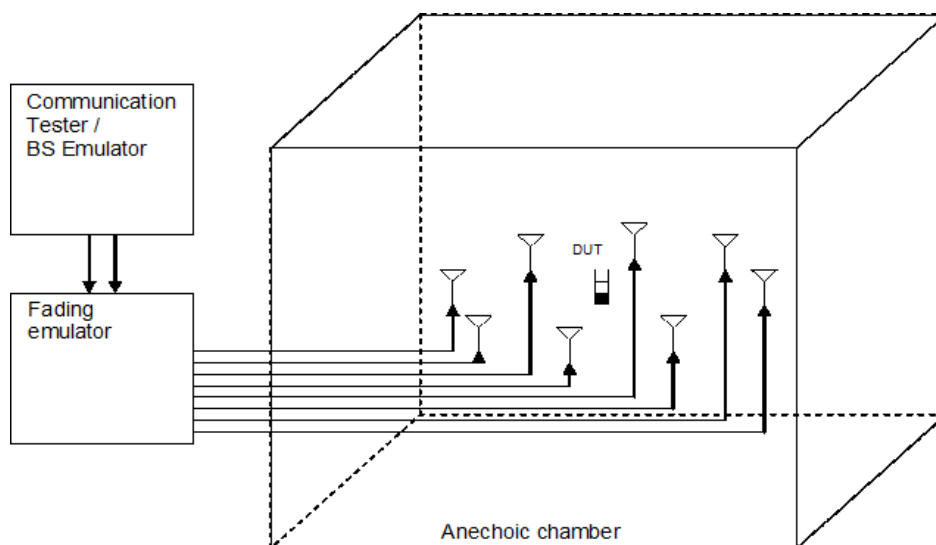


図 1.1 フェージングエミュレータ型 OTA 測定システム（3GPP）

偏波成分を考慮した環境で評価するケースでは，単一偏波の場合と比べて 2 倍のプローブアンテナを用意しなければならない．プローブアンテナ数が増加すると，フェージングエミュレータも大規模・高性能なものが必要となってしまう．また，電波が 3 次的に到来する環境についても，プローブアンテナを 3 次的に配置しなければならず，評価には一層の困難が伴う．

1.3.2 2 ステージ型

上述の通り，フェージングエミュレータ型の測定システムで評価するためには，広い電波暗室内で被測定端末の周囲に多数のプローブアンテナを並べる必要があり，測定システムの大規模化を避けることはできない．そこで，フェージングエミュレータ型の評価プロセスを 2 段階に分割することで評価をより簡便にする 2 ステージ法 (Two-stage method) が提案されている [7, 8]．2 ステージ型 MIMO-OTA 測定システムの構成図を図 1.2 に示す．2 ステージ法の第一ステージでは，被測定端末のアンテナ放射パターンを被測定端末に実装した状態で測定する．第二ステージでは，チャンネルエミュレータと呼ばれる機器を介して基地局エミュレータと被測定端末を同軸ケーブルで接続する．チャンネルエミュレータには第一ステージで測定したアンテナ放射パターンを組み込み，基地局エミュレータと被測定端末の間の伝搬環境をエミュレートする．

2 ステージ型の測定システムではフェージングエミュレータ型の測定システムに同等の評価を目指しているが，被測定端末の評価（第二ステージ）は同軸ケーブルで接続して実施する点で，直接的な OTA 評価とは一線を画している．その代り，フェージングエミュ

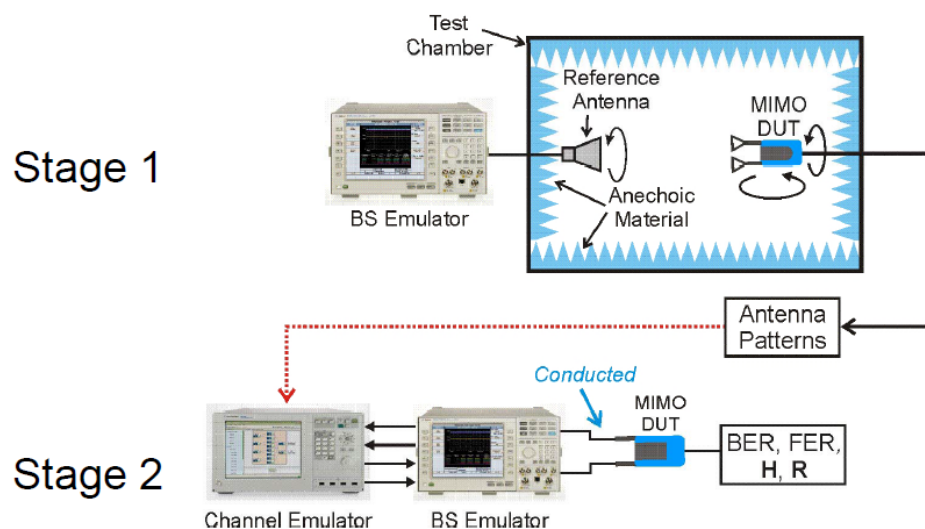


図 1.2 2 ステージ型 OTA 測定システム (Agilent Technology)

レータ型と比較して評価プロセスは簡易になる。第一ステージであらかじめ様々なアンテナ放射パターンを測定しておくことで、複雑な伝搬環境（3次元的に到来する環境など）でも容易に評価することができる。また、電波暗室にプローブアンテナを並べる必要がないため、電波暗室のサイズ要求を下げるができる。加えて、第二ステージは電波暗室以外の場所でも実施可能なため、電波暗室を占有する時間の大幅な短縮も期待できる。

1.3.3 Decomposition 型

Decomposition 型 MIMO-OTA 測定システムは、被測定端末の受信システムを MIMO 受信機と受信アンテナシステムの二つに分け、それぞれ導通試験（Conducted）と放射試験（Radiated）という二つの独立した試験を行い、これらを総合して評価する測定システムである [9]。Decomposition 型 MIMO-OTA 測定システムの概要を図 1.3 に示す。導通試験では、フェージングシミュレータ（フェージングエミュレータとの違いは後述する）を介して基地局エミュレータと被測定端末のテストポートを同軸ケーブルで接続し、動的なフェージング環境下での MIMO 受信機の性能を評価する。放射試験では、基地局エミュレータの送信アンテナと被測定端末を電波暗室に設置し、各空間ストリームの到来方向を 3 次元的に変化させながら、全組合せの到来方向について受信アンテナシステムの性能を評価する。放射試験の模式図を図 1.4 に示す。

Decomposition 型の測定システムにおける導通試験の評価形態は、従来の端末試験と

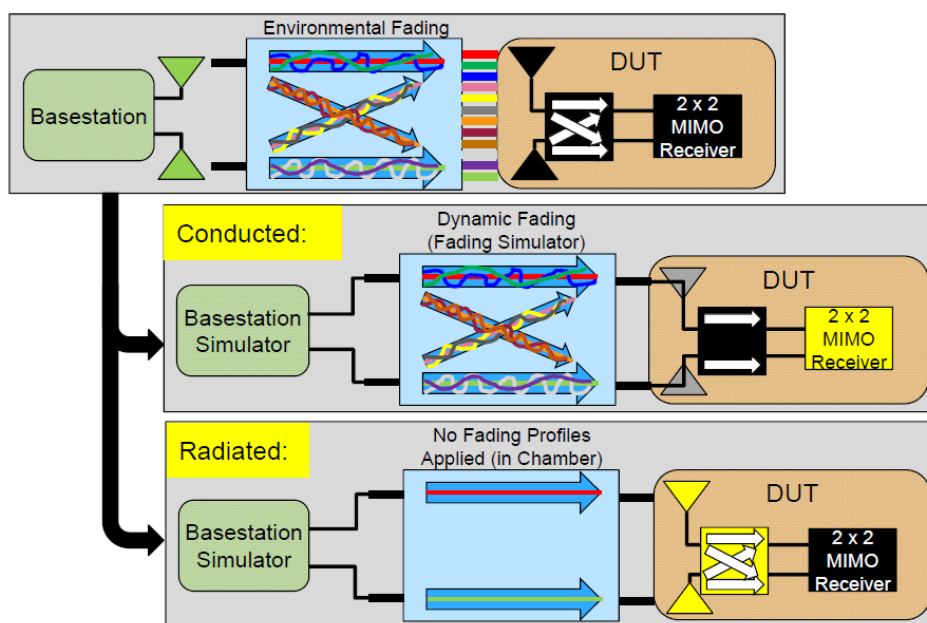


図 1.3 Decomposition 型 OTA 測定システムの概要（Rohde & Schwarz）

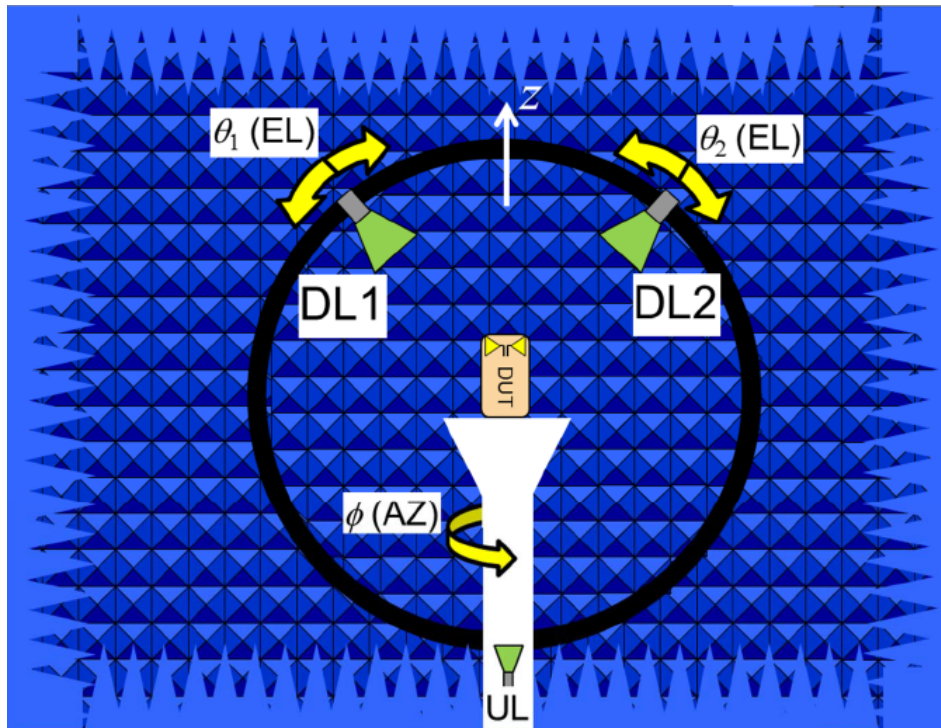


図 1.4 Decomposition 型 OTA 測定システムの放射試験 (Rohde & Schwarz)

非常に似ており，従来の評価プロセスに組み込むことが容易である．Decomposition 型の測定システムとは，この導通試験の評価結果に放射試験の評価結果を合わせることで，フェージングエミュレータ型の測定システムと同等の評価を効率的に実施することを目指す手法であると言える．

1.3.4 電波反射箱型

電波反射箱型 MIMO-OTA 測定システムは，これまで述べた 3 種類の MIMO-OTA 測定システムとは大きく異なっている．電波反射箱 (Reverberation Chamber, 反響チェンバとも呼ばれる) とは金属板を組み合わせて構成される金属空洞のことを指し，金属空洞内部の電波反射によってマルチパスリッチな伝搬環境を実現することができる [10]．電波反射箱型の一例を図 1.5 に示す．

電波反射箱型の測定システムは，基地局エミュレータとアンテナ，被測定端末，電波反射箱から構成され，多数のプローブアンテナを並べるフェージングエミュレータ型の測定システムよりも簡易に構築可能である．また，ダウンリンクとアップリンクを区別することなく，双方向での評価が可能であるというメリットもある．その一方で，動的なフェージング環境や遅延スプレッドの大きい郊外や山間部を想定した電波環境を形成することに



図 1.5 電波反射箱の一例（電気興業）

は不向きである．また，形成される電波環境は電波反射箱の形状に依存するため，伝搬パラメータを変化させることも難しい．こうした問題を改善するために，二重電波反射箱 [11] や攪拌機 [3] を用いる手法が提案されている．

1.4 本研究の目的

本研究室では，フェージングエミュレータ内部の簡素化に主眼を置いて研究を進めてきた [12, 13]．文献 [12] では従来のフェージングエミュレータが該当するパス制御型（path-controlled）に対し，簡易な構成で実現可能なアンテナブランチ制御型（antenna-branch-controlled）（以下，アンテナ制御型と呼ぶ）のフェージングエミュレータを用いる簡易型 MIMO-OTA 測定システムを提案した．また，マルチパス遅延を含まない狭帯域構成での簡易型フェージングエミュレータについて，計算機シミュレーションおよび高周波回路を用いた実験を通じて有効性を実証した．さらに，マルチパス遅延環境を実現する広帯域構成での簡易型フェージングエミュレータの構成法を提案した．文献 [13] では，アンテナ制御型の機能分割性を活かし，アンテナ制御型フェージングエミュレータ構成要素の一部であるコネクションマトリクスと遅延波生成部について FPGA（Field-Programmable Gate Array）に実装し，ドップラースhift付加部を高周波回路で実現することで，機能分担型の簡易型フェージングエミュレータを構築した．

本研究では、ドップラシフト付加部を含むアンテナ制御型のすべての信号処理を IF 帯デジタル信号処理で実現する簡易型フェージングエミュレータの構成を提案すると共に、信号処理部を FPGA に実装するための設計指針と具体的な実装方法、および設計上の制約と改善策をまとめている。また、基本的な諸特性を測定することで設計通りの電波環境が生成されていることを確認し、フェージングエミュレータとしての機能を評価する。

簡易型フェージングエミュレータを用いた評価をより簡便にするために、2 ステージ型 MIMO-OTA 測定システムにも注目した。構築した簡易型フェージングエミュレータを拡張し、2 ステージ法を取り入れた簡易型チャネルエミュレータの構成を提案すると共に、信号処理部を FPGA に実装するための具体的な実装方法を述べる。また、基本的な諸特性を測定することで設計通りに動作していることを確認し、簡易型チャネルエミュレータを用いた評価例を示す。

第 2 章

簡易型フェージングエミュレータ

2.1 アンテナ制御型の特徴

フェージングエミュレータ型 MIMO-OTA 測定システムに欠かすことのできない要素であるフェージングエミュレータは，構成原理の違いからパス制御型とアンテナブランチ制御型（以下，アンテナ制御型と呼称する）の 2 種類に分類することができる [12]．パス制御型とアンテナ制御型の模式図を図 2.1 に示す．

パス制御型のフェージングエミュレータとは，文献 [6] に代表される従来型のフェージングエミュレータを指す．パス制御型のフェージングエミュレータでは，入力ポート M

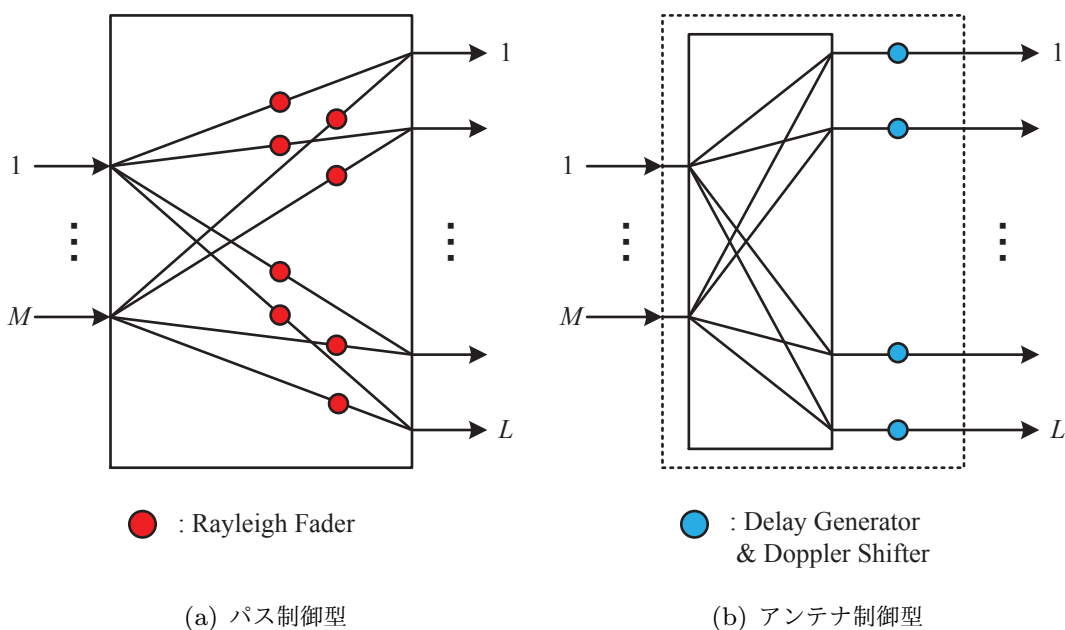


図 2.1 フェージングエミュレータの分類

とプローブアンテナ L を結ぶ $L \times M$ 本のチャネルパス毎に信号の遅延処理およびレイリー変動をさせて動的フェージング環境を生成する．一般的にはフェージングシミュレータと呼ばれるているパス制御型の機器は，各伝搬パスの伝搬パラメータを独立かつ柔軟に制御することができる．その反面，入力ポート M とプローブアンテナ L が増加すると信号処理部数 $L \times M$ が膨大な数にならざるを得ず，構成が複雑かつ大規模な装置になってしまうことが欠点である．

パス制御型に対し，筆者らはフェージングエミュレータにおける信号制御部を機能分担して実現するアンテナ制御型を提案している [12]．アンテナ制御型測定システムの信号制御部の構成を図 2.2 に示す．アンテナ制御型は L 本のプローブアンテナ毎に制御を行うことから，パス制御型と比較してはるかに小規模な構成で目的とするレイリーフェージング環境を実現することが可能である．また，パス制御型では各チャネルパスごとにレイリー変動を作っているが，アンテナ制御型ではプローブアンテナごとにドップラーシフトを与えた信号の空間合成によってレイリー変動を生み出しているため，信号制御部そのものの簡素化に寄与している．

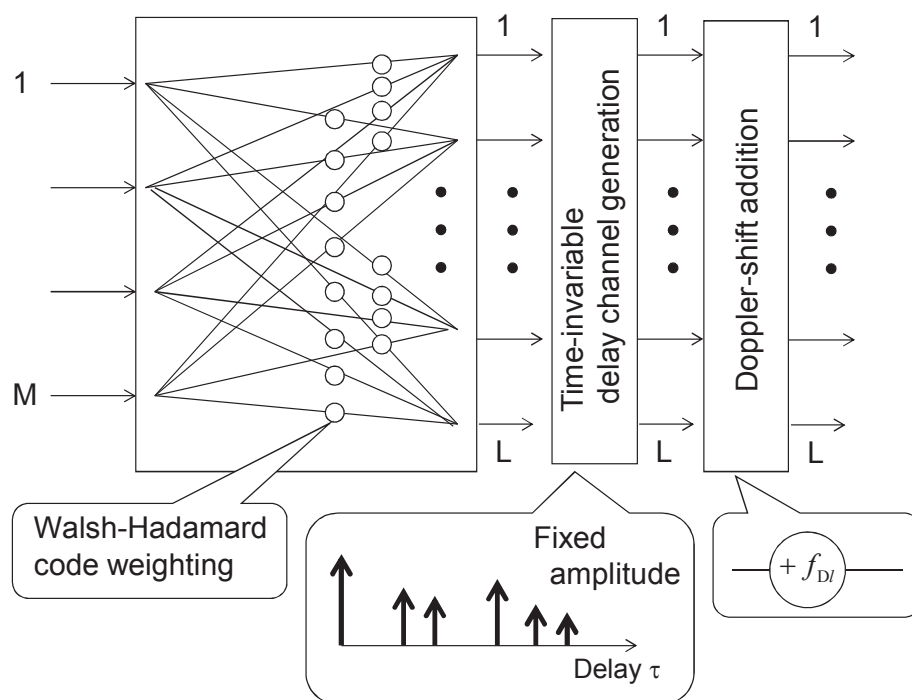


図 2.2 アンテナ制御型測定システムのチャネル制御部構成

2.2 アンテナ制御型のチャネルモデル

遅延の広がりを持つ広帯域チャネルのインパルス応答行列 $\mathbf{H}(t, \tau)$ は4つの要素行列の積として式 (2.1) で表される.

$$\mathbf{H}(t, \tau) = \mathbf{A}_{\text{RX}} \mathbf{A}_{\text{Doppler}}(t) \mathbf{H}_{\text{delay}}(\tau) \mathbf{A}_{\text{TX}} \quad (2.1)$$

Walsh-Hadamard (WH) 符号系列を用いて MIMO の送信側空間相関を無相関チャネルとして実現するコネクションマトリクスを表す $L \times M$ の行列 \mathbf{A}_{TX} は, 式 (2.2) で定義できる. ここで, w_{ml} は, WH コードの要素 ± 1 である.

$$\mathbf{A}_{\text{TX}} = \{w_{ml}\} \quad (2.2)$$

周波数選択性フェージング環境を実現するマルチパス遅延生成部 $\mathbf{H}_{\text{delay}}$ は, 式 (2.3) で定義される. ここで, c_k は遅延波 k の振幅, τ_k は遅延波 k の遅延量, $\alpha_l^{(k)}$ はプローブアンテナ l の遅延波 k に対するウェイト, δ はデルタ関数である.

$$\mathbf{H}_{\text{delay}}(\tau) = \sum_{k=1}^K \mathbf{A}_{\text{delay}}^{(k)} \delta(\tau - \tau_k) \quad (2.3)$$

$$\mathbf{A}_{\text{delay}}^{(k)} = \text{diag} \left(\alpha_1^{(k)} c_k \quad \alpha_2^{(k)} c_k \quad \cdots \quad \alpha_L^{(k)} c_k \right) \quad (2.4)$$

プローブアンテナの配置に対応するドップラー周波数を付加する $L \times L$ の対角行列 $\mathbf{A}_{\text{Doppler}}$ は, 式 (2.5) で定義される. ここで, f_{Dl} はプローブアンテナ l に付加するドップラー周波数である.

$$\mathbf{A}_{\text{Doppler}}(t) = \frac{1}{\sqrt{L}} \text{diag} \left(e^{j2\pi f_{D1}t} \quad e^{j2\pi f_{D2}t} \quad \cdots \quad e^{j2\pi f_{DL}t} \right) \quad (2.5)$$

プローブアンテナと受信アンテナ間の空間合成によって実現するレイリー変動を表す $N \times L$ の行列 \mathbf{A}_{RX} は, 式 (2.6) で定義できる. ここで, 受信アレーアンテナはベースライン方向を θ_0 として素子アンテナ n の位置を d_n , プローブアンテナ l の配置角度を θ_l と定義して.

$$\mathbf{A}_{\text{RX}} = \left\{ e^{jkd_n \cos(\theta_l - \theta_0)} \right\} \quad (2.6)$$

式 (2.1) を整理し, $N \times M$ の行列 $\mathbf{A}^{(k)}(t)$ を用いると $\mathbf{H}(t, \tau)$ は式 (2.7) で表すことができる.

$$\mathbf{H}(t, \tau) = \sum_{k=1}^K \mathbf{A}^{(k)}(t) \delta(\tau - \tau_k) \quad (2.7)$$

ここで、 $\mathbf{A}^{(k)}(t)$ の (n, m) 成分を式 (2.8) で定義する.

$$A_{nm}^{(k)}(t) = \sum_{l=1}^L w_{ml} \alpha_l^{(k)} c_k e^{j\{2\pi f_{Dl}t + kd_n \cos(\theta_l - \theta_0)\}} \quad (2.8)$$

式 (2.8) において、各入力ポートの全ての遅延波が互いに独立なレイリー変動となることを、設定パラメータの設計指針とする.

2.3 ハードウェアの構成

上述したアンテナ制御型による簡易型フェージングエミュレータを FPGA とその評価ボード上に実装した. 構築した簡易型フェージングエミュレータのハードウェア構成と性能は、表 2.1 の通りである. また、簡易型フェージングエミュレータの外観写真を図 2.3 に、内部のブロック構成を図 2.4 に示す. XILINX ML623 は、本来 Virtex-6 で利用可

表 2.1 簡易型フェージングエミュレータの構成と性能

FPGA	評価ボード 搭載 IC	XILINX ML623 XILINX Virtex-6 LX240T XC6VLX240
入出力	A/D コンバータ	4DSP FMC104
	A/D 分解能	14bit
	A/D 接続規格	FMC LPC
	D/A コンバータ	4DSP FMC204
	D/A 分解能	16bit
	D/A 接続規格	FMC HPC
	入力ポート数 M	4
	出力ポート数 L	8
	サンプリング周波数 f_s	160 MHz
	IF 周波数	~ 40 MHz
	IF 信号帯域	~ 40 MHz
遅延	遅延波数 K	10
	遅延時間 τ_k	6.25 ns ~ 50 μ s
	分解能	6.25 ns
ドップラー	ドップラー周波数 f_D	~ 1 MHz
	分解能	0.60 Hz

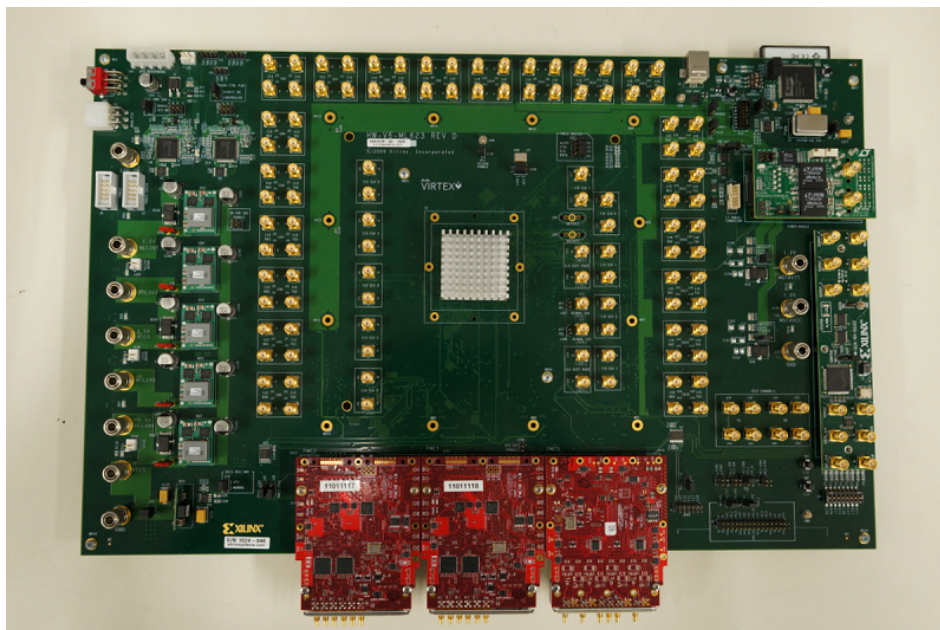


図 2.3 簡易型フェージングエミュレータ本体

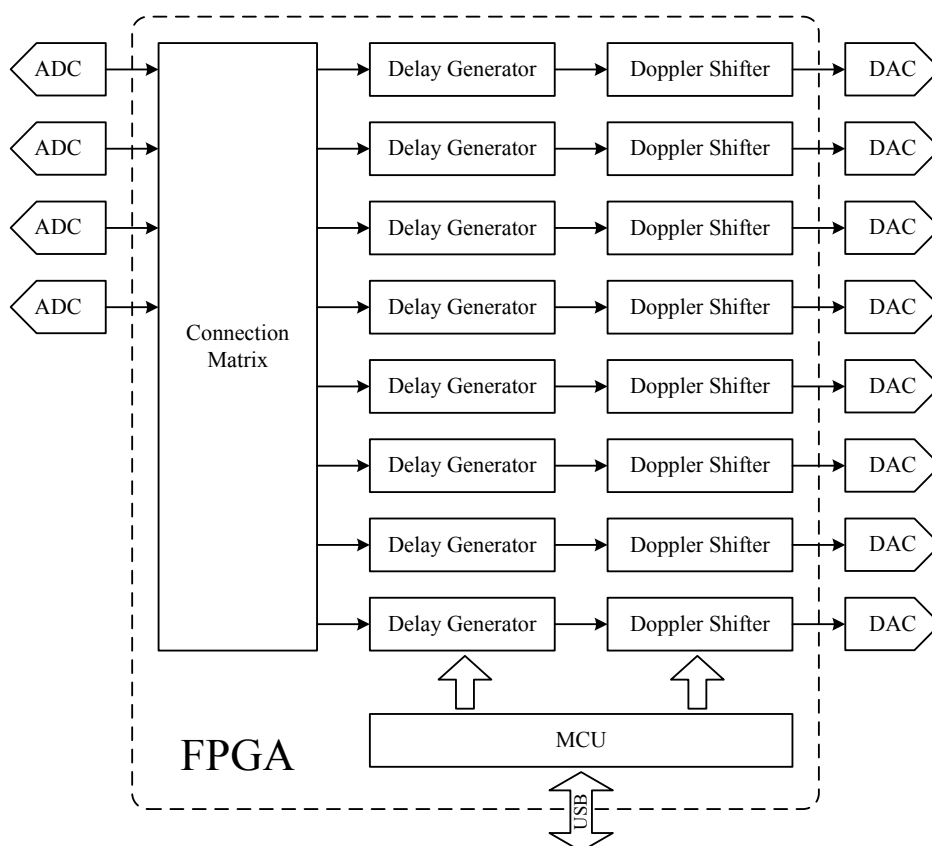


図 2.4 簡易型フェージングエミュレータの内部構成

表 2.2 簡易型フェージングエミュレータの設定パラメータ

遅延量	Unsigned integer	13bit
遅延波ウェイト（WH 符号含む）	Signed integer	11bit
ドップラー周波数	Signed integer	24bit

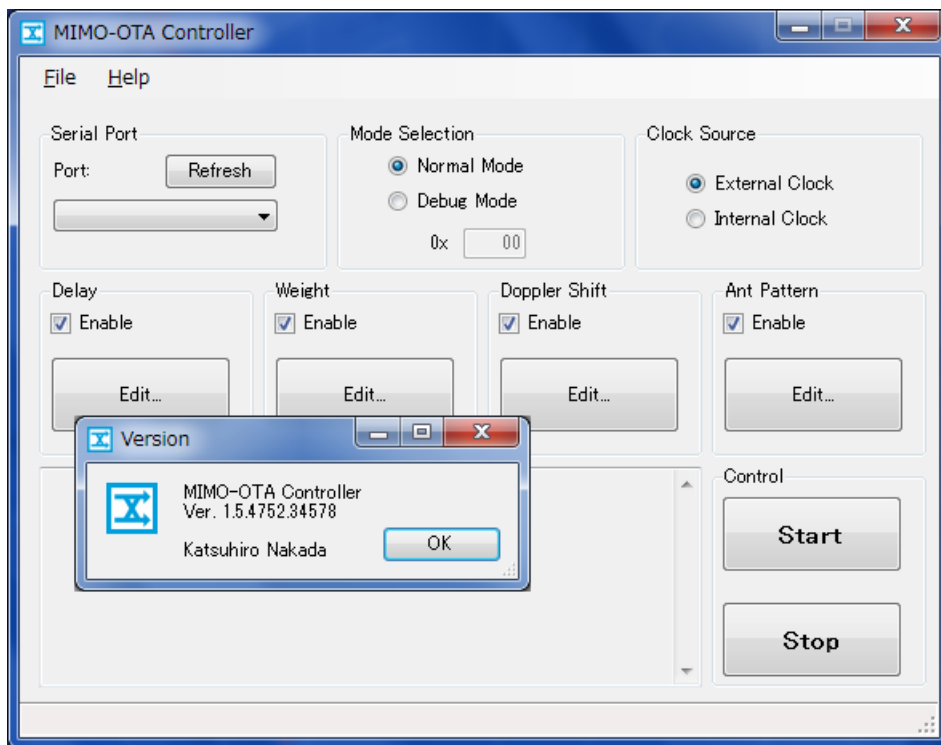


図 2.5 Windows アプリケーション（OTACtrl）

能な GTX トランシーバの特性を評価することを目的として設計された評価ボードであるため、GTX トランシーバの接続用コネクタが多数備わっている。簡易型フェージングエミュレータではこれらのコネクタを使用せず、FMC（FPGA Mezzanine Card）規格のインターフェースを介して高速 A/D コンバータ 1 枚と D/A コンバータ 2 枚を接続している。FPGA へのコンフィギュレーションは SystemACE 経由で行い、評価ボード裏面の CF カードから DIP スイッチ（SW3）が示す番号のコンフィギュレーションファイルをロードする。

図 2.4 における各処理ブロックに設定する伝搬パラメータは、評価開始時に汎用計算機から USB-UART 経由で転送する。伝搬パラメータのフォーマットを、表 2.2 に示す。これらの伝搬パラメータを転送するために併せて開発した Windows アプリケーション（OTACtrl）の画面を、図 2.5 に示す。

簡易型フェージングエミュレータでは入出力信号形式をベースバンドではなく IF 帯信号とすることで，入出力ポート数と同数の送受信ポートを確保した．また，FPGA の内部でも IF 帯信号のまま信号処理をすることで，回路の簡素化と遅延性能の向上を図っている．ベースバンドに落とす信号処理では別途 DDC (Digital Down Converter) と DUC (Digital Up Converter) を実装しなければならない．また，ベースバンド信号処理では遅延用の RAM を I/Q それぞれの信号に割り当てる必要があるため，同容量の RAM で実現可能な最大遅延量は IF 帯信号処理の場合の $1/2$ にとどまる．こうした点では IF 帯信号処理の方が有利であるため，簡易型フェージングエミュレータでは IF 帯信号処理を採用している．

コネクションマトリクス (Connection Matrix) の内部構成を図 2.6 に示す．コネクションマトリクスは，式 (2.9) に示す WH 符号系列のうち w_1, w_2, w_3, w_4 に基づいた固定結線 [12] として実装している．

$$\begin{matrix} & w_1 & w_2 & w_3 & w_4 & w_5 & w_6 & w_7 & w_8 \\ \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{bmatrix} & \end{matrix} \quad (2.9)$$

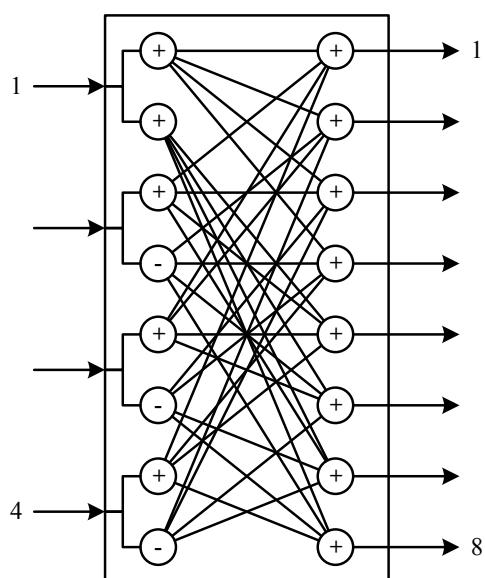


図 2.6 コネクションマトリクスの構成

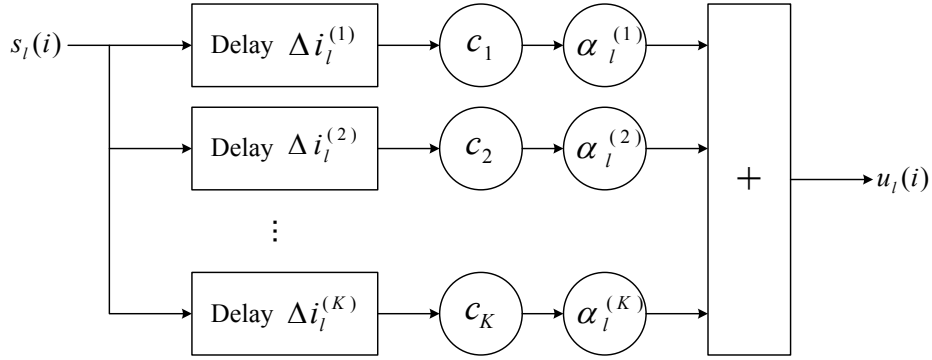


図 2.7 マルチパス遅延波生成部の構成

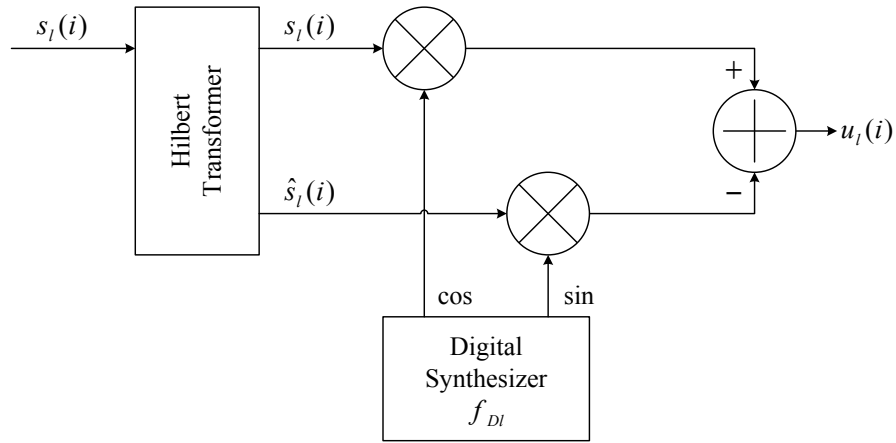


図 2.8 ドップラーシフト付加部の構成

マルチパス遅延波生成部 (Delay Generator) の内部構成を図 2.7 に示す。遅延波生成器ごとに固定長の遅延用 RAM ブロックを K 個実装し、それぞれを遅延波 k に割り当てている。個々の遅延用 RAM ブロックの実装には、XILINX Block Memory Generator を用いた。遅延波を生成するに当たり、適応信号処理は一切行っていない。遅延された信号にそれぞれ設定した振幅とウェイトを掛け、最後にその総和を出力する。

ドップラーシフト付加部 (Doppler Shifter) の内部構成を図 2.8 に示す。ドップラーシフトの付加は、複素信号に複素ウェイトを掛けることに相当する。実数信号として FPGA 内部で演算してきた信号に複素ウェイトを掛けるために、実数信号 (I 成分) をヒルベルト変換フィルタで実数の直交信号 (Q 成分) に変換している。設計したヒルベルト変換フィルタは 10 タップの FIR フィルタから成り (図 2.9), $f_s/4$ を中心に比帯域 (信号の中心周波数に対する帯域幅の比) が 1 の帯域信号を無歪で伝送することが可能である。設計したヒルベルト変換フィルタの振幅特性と位相特性を図 2.10 に示す。信号の I 成分と

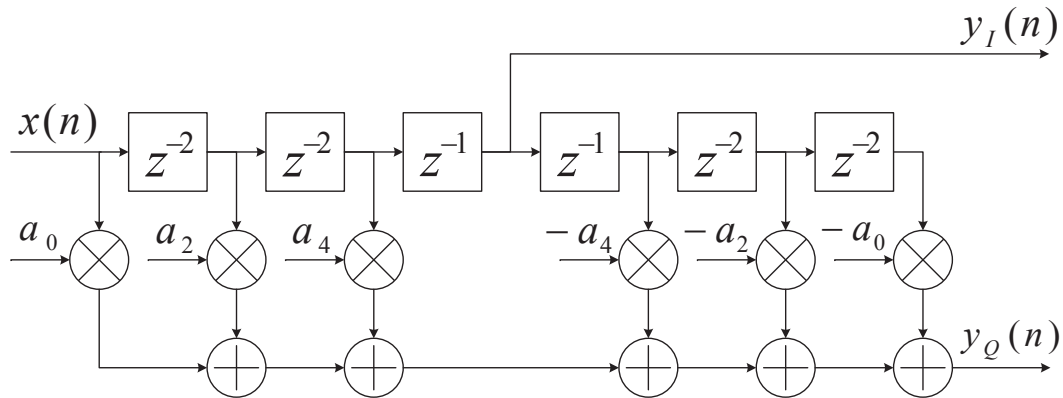


図 2.9 ヒルベルト変換フィルタの構成

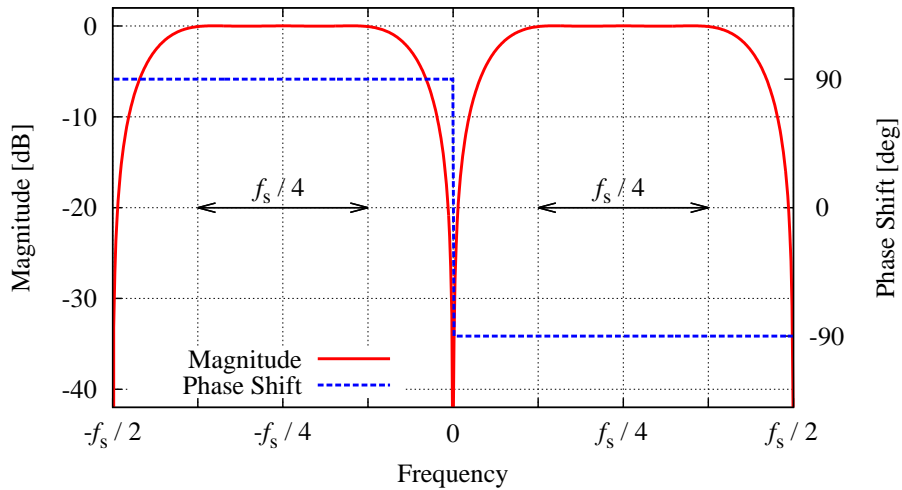


図 2.10 ヒルベルト変換フィルタの特性

Q 成分それぞれにドップラーシフト付加のウェイトを掛けたのち、合成している．設計したヒルベルト変換フィルタの実装には，XILINX FIR Compiler を用いた．また，複素ウェイトの生成部の実装には，XILINX DDS Compiler を用いた．プローブアンテナの配置角度 θ_l には，放射された信号同士が打ち消しあわないようなオフセット角度が含まれており，以下の式で与える．

$$\theta_l = \frac{2\pi}{L} \left\{ (l-1) + \frac{1}{4} \right\} + \Delta\theta_l \quad (2.10)$$

$$\Delta\theta_l = \begin{cases} 0 & (l = 1 \sim 4) \\ \pi/4L & (l = 5 \sim 8) \end{cases} \quad (2.11)$$

2.4 フェージングエミュレータの特性評価

2.4.1 広比帯域信号伝送特性の評価

実装した簡易型フェージングエミュレータの特性を評価するに当たり、ヒルベルト変換フィルタの通過帯域と等しい帯域幅の帯域信号をベクトル信号発生器 (VSG) からフェージングエミュレータに入力し、プローブアンテナ 1 本分の出力信号を RF 帯にアップコンバートしたのち、これを変調解析した。帯域信号には地上デジタル放送信号 (ISDB-T: 帯域幅 6MHz) を用い、IF 帯周波数 f_{IF} も 6MHz とすることで、比帯域 1 の信号とした。さらに、フェージングエミュレータのサンプリング周波数 f_s を表 2.1 の 3/20 である 24MHz とすることで、ヒルベルト変換フィルタの通過帯域を 6MHz にした。また、この評価の目的はフェージングエミュレータの伝送特性確認であるため、マルチパス遅延波の無い環境 ($M = 1, L = 1, K = 1, N = 1$) を設定した。簡易型フェージングエミュレータに設定した伝搬パラメータを、表 2.3 に示す。出力信号の解析結果を図 2.11 に示す。コンスタレーションにおける各シンボルはよく収束し、変調誤差比 (MER) で見ると 37dB と十分に高い MER である。また、中心周波数からの周波数シフト量 (Frequency Error: 図 2.11 右カラム) は解析したプローブアンテナに設定したドップラーシフト量 29.4Hz に等しいことも確認できた。このことから、簡易型フェージングエミュレータの信号処理において、信号の品質を劣化させることなく広帯域な IF 帯信号のドップラーシフトが実現できたと言える。

2.4.2 狭帯域信号での評価

マルチパス遅延を生成しない狭帯域構成 ($M = 1, L = 8, K = 1, N = 1$) での特性を測定した。狭帯域特性測定システムの構成を図 2.12 に示す。信号発生器 (SG) を送信

表 2.3 広比帯域信号伝送特性評価で設定した伝搬パラメータ

		プローブアンテナ l							
		1	2	3	4	5	6	7	8
k	遅延量 [μs]	遅延波ウェイト							
1	0	+10	-	-	-	-	-	-	-
ドップラー周波数 f_{Dl} [Hz]		29.4	-	-	-	-	-	-	-

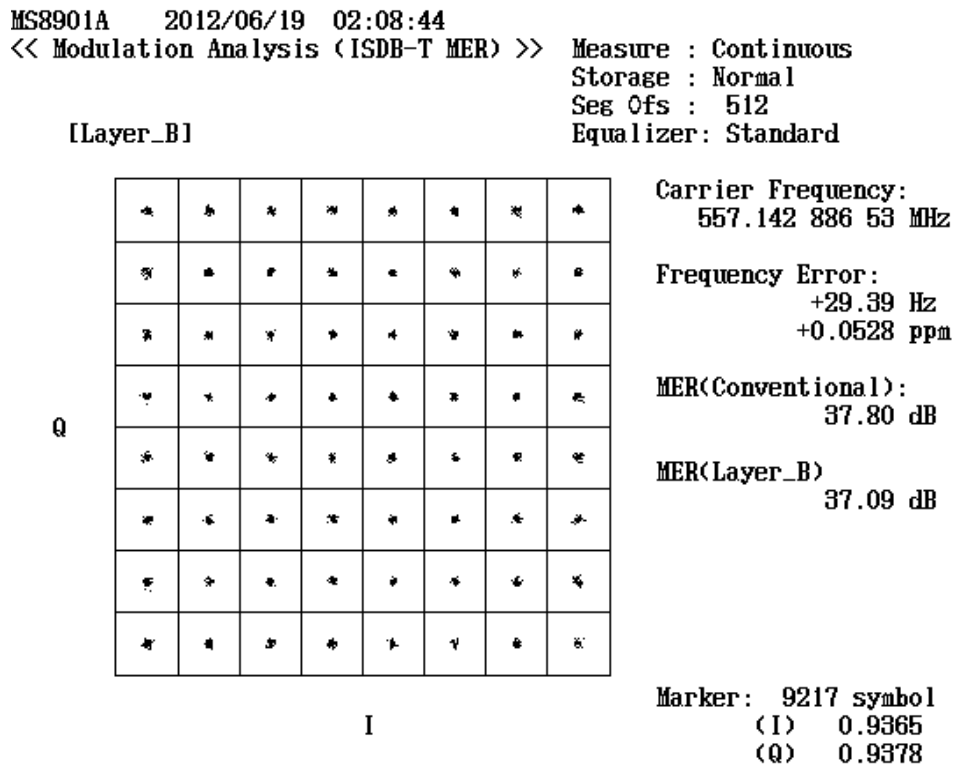


図 2.11 フェージングエミュレータの伝送特性 (ISDB-T)

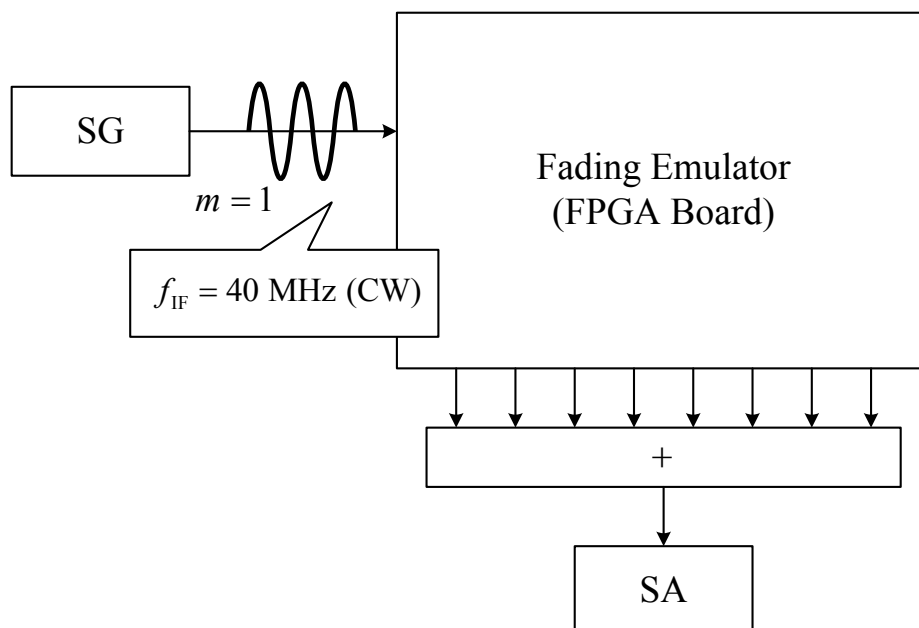


図 2.12 狭帯域特性評価のシステム構成

表 2.4 狭帯域特性評価で設定した伝搬パラメータ

		プローブアンテナ l							
		1	2	3	4	5	6	7	8
k	遅延量 [μs]	遅延波ウェイト							
1	0	+10	+10	+10	+10	+10	+10	+10	+10
ドップラー周波数 $f_{Dl}[\text{Hz}]$		327.6	185.6	-65.2	-277.7	-319.6	-157.4	97.0	294.6

端末に見立て、 $f_{\text{IF}} = 40\text{MHz}$ の無変調波 (CW) をフェージングエミュレータに入力した。フェージングエミュレータで処理したマルチパス波を空間で合成する代わりに合成器を用いて合成し、信号を受信端末に見立てたスペクトラムアナライザ (SA) で受信した。なお、SG の出力とフェージングエミュレータのサンプリング周波数は、SA のリファレンスクロックで同期させた。フェージングエミュレータの遅延波生成部では、全方位から等電力の遅延波が一波のみ到来するよう設定を行った。また、ドップラーシフト付加部では、最大ドップラー周波数 $f_{D\max} = 334\text{Hz}$ を設定した。これは、キャリア周波数 5GHz の端末が 72km/h で移動することに相当する。簡易型フェージングエミュレータに設定した伝搬パラメータを、表 2.4 に示す。

図 2.13 は SA で観測した周波数スペクトルを示しており、入力した無変調波にドップラーシフトが付加されてスペクトルが計 8 本になったことを確認できる。各スペクトルの周波数シフト量は式 (2.10) に基づいて設定した値と一致しており、ドップラーシフト付加部が正しく動作していることが分かる。

図 2.14 では、SA の I/Q 取得機能を利用して受信した 1 秒間 (約 10^5 サンプル) の連続した時間軸 I/Q データにおける振幅の累積分布を示している。図 2.14 から、振幅の累積分布はレイリーフェージングの理論値と非常によく一致していることが分かる。また、瞬時変動特性を調べるために、受信した 6 秒間の時間軸 I/Q データを基に集計したレベル交差率を図 2.15 に示す。レベル交差率についても、Jakes 型スペクトル (水平面の周囲一様の角度分布で到来する環境で発生するスペクトル) を有するレイリーフェージングの理論値と非常によく一致していることが分かる。

振幅の累積分布とレベル交差率の測定結果から、狭帯域構成の簡易型フェージングエミュレータが生成する電波環境は、振幅特性と時間変動特性の両側面から理想的なレイリーフェージング環境であることが確認された。

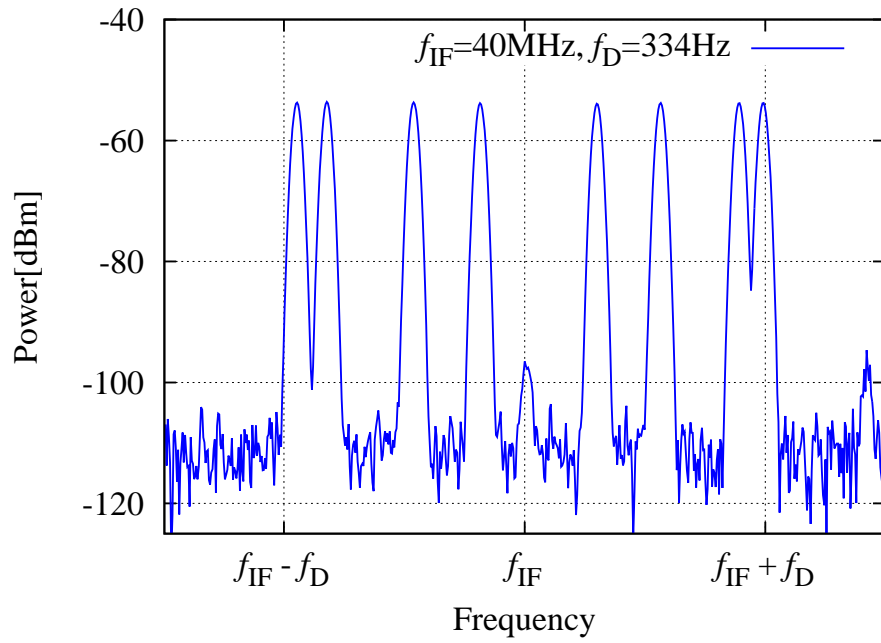


図 2.13 ドップラーシフトした周波数スペクトル

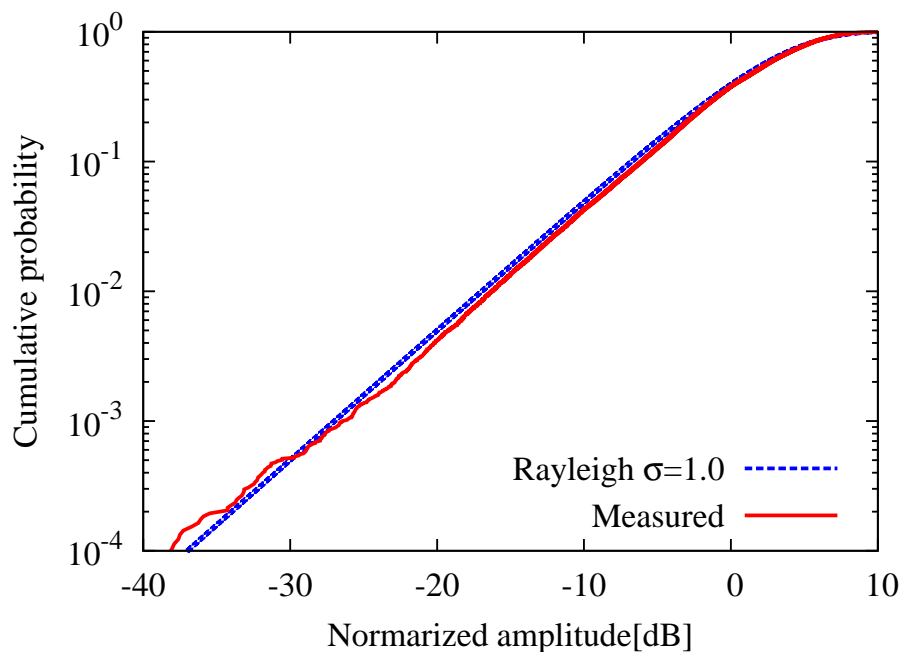


図 2.14 振幅の累積分布

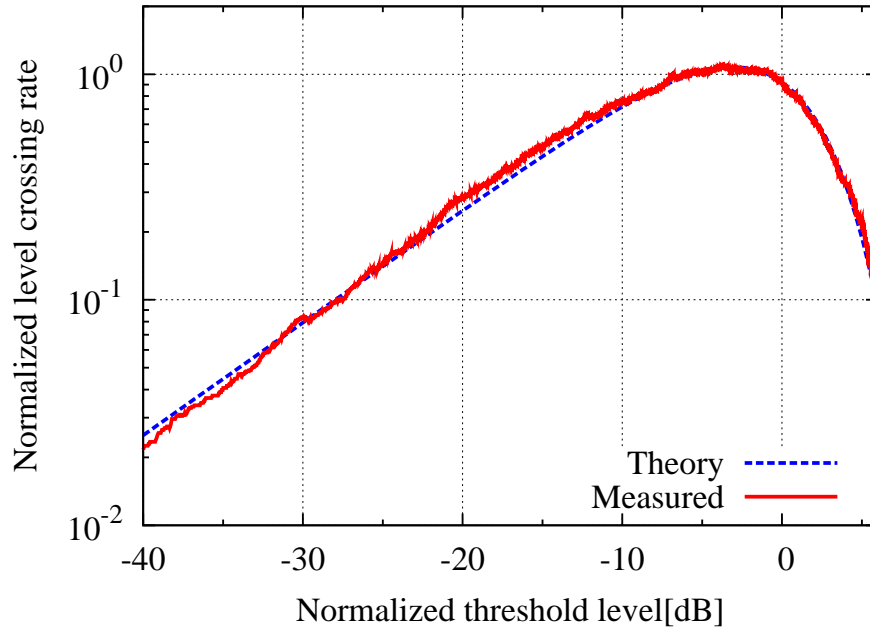


図 2.15 レベル交差率（瞬時変動特性）

2.4.3 マルチパス遅延特性の評価

次に、マルチパス遅延を生成する広帯域構成（ $M = 2$, $L = 8$, $K = 6$, $N = 1$ ）での特性を測定した．広帯域特性測定システムの構成を図 2.16 に示す．同期させた 2 台の VSG を MIMO 送信端末に見立て、各々からパルス変調をしたキャリア信号 $f_{IF} = 40\text{MHz}$ をフェージングエミュレータに入力し、空間合成の代わりに合成器を用いて合成した信号を受信端末に見立てた SA で受信した．なお、VSG の出力とフェージングエミュレータのサンプリング周波数は、SA のリファレンスクロックで同期している．

フェージングエミュレータの設定は、各遅延波が互いに独立な変動をするレイリーフェージング環境となるパラメータを設計した．簡易型フェージングエミュレータに設定した伝搬パラメータを、表 2.5 に示す．遅延生成部では $K = 6$ とし、比較を容易にするために遅延波の振幅をすべて同じ値に設定した．ここで、遅延波のウェイトで使用する WH コードが不足するため [12]、遅延波 $k = 1, 2, 3, 4$ には式 (2.9) の w_1, w_3, w_5, w_7 を選び、 $k = 5, 6$ には符号全ての組み合わせにおいて相関値が 0.5 以下になるような ± 1 で構成される符号（ランダム符号）を選んだ．ドップラーシフト付加部では、最大ドップラー周波数 $f_{Dmax} = 200\text{Hz}$ ($f_D T_s = 0.009$) を設定した．図 2.17 に示すように、SA で受信した 40 秒間 (2.5×10^8 サンプル) の連続した時間軸 I/Q データから入力ポートごとの遅延波の振幅 $a_m^{(k)}$ を読み取った．

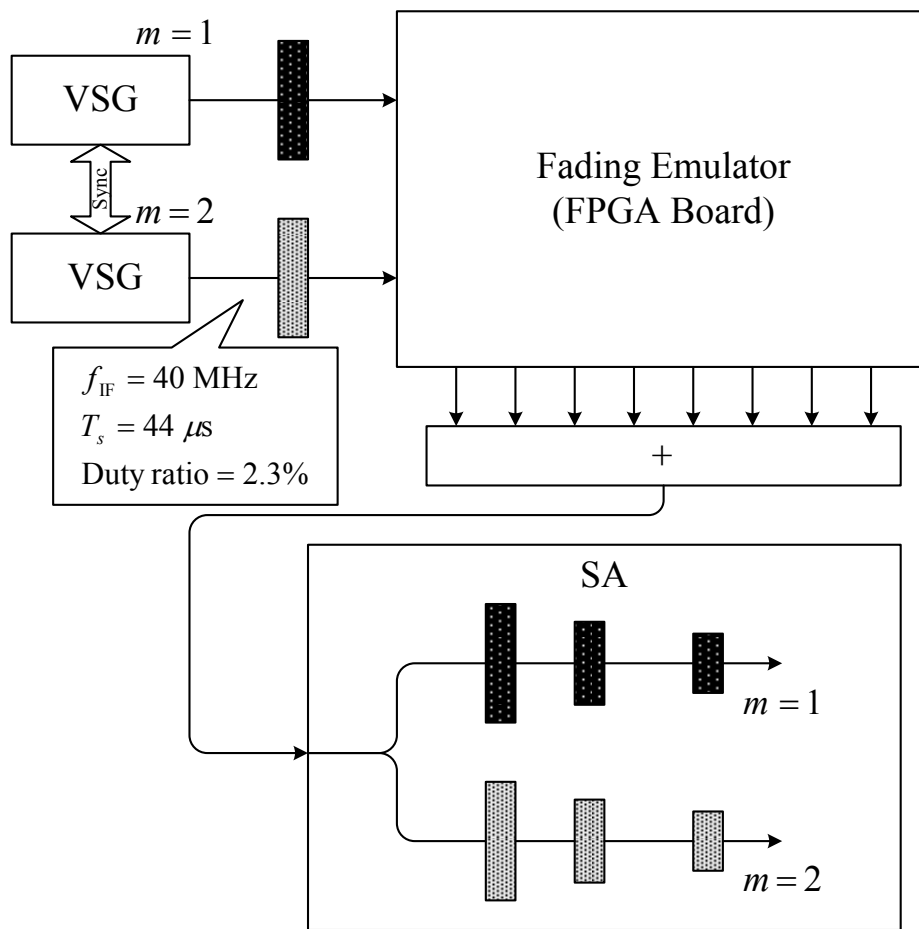


図 2.16 マルチパス遅延特性評価実験のシステム構成

表 2.5 マルチパス遅延特性評価で設定した伝搬パラメータ

		プローブアンテナ l							
		1	2	3	4	5	6	7	8
k	遅延量 [μs]	遅延波ウェイト							
1	0	+1.0	+1.0	+1.0	+1.0	+1.0	+1.0	+1.0	+1.0
2	3	+1.0	+1.0	-1.0	-1.0	+1.0	+1.0	-1.0	-1.0
3	6	+1.0	+1.0	+1.0	+1.0	-1.0	-1.0	-1.0	-1.0
4	9	+1.0	+1.0	-1.0	-1.0	-1.0	-1.0	+1.0	+1.0
5	12	-1.0	+1.0	+1.0	-1.0	+1.0	-1.0	+1.0	-1.0
6	15	-1.0	-1.0	-1.0	+1.0	+1.0	-1.0	-1.0	-1.0
ドップラー周波数 $f_{Dl}[\text{Hz}]$		196.2	111.1	-39.0	-166.3	-191.4	-94.3	58.1	176.4

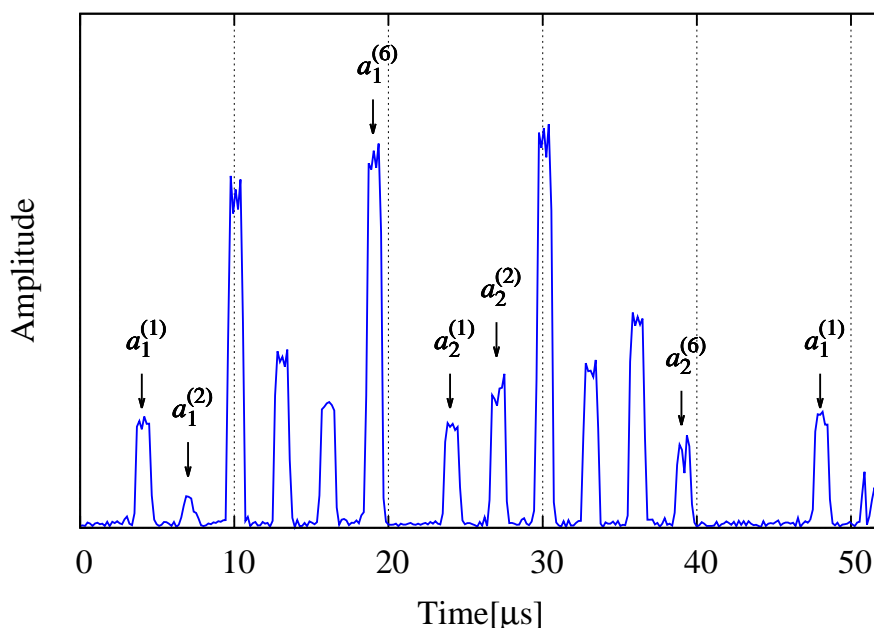


図 2.17 I/Q データから遅延波振幅を読み取る方法

図 2.18 では、遅延波ごとの振幅の累積分布を示している。図 2.18 から、各遅延波の振幅の累積分布はレイリーフェージングの理論値とよく一致していることが分かる。また、遅延波間の振幅変動の相関係数を表 2.7 に示す。表中の網掛けセルは、無相関となるように設計した符号の組み合わせを表している。表 2.7 について、ウェイトに WH コードを設定した遅延波 $k = 1 \sim 4$ 同士の相関係数は極めて小さく、ほぼ完全な無相関変動をしていることが分かる。また、WH コードの代わりにランダム符号を使用した遅延波 $k = 5, 6$ との相関係数においても、設定時の予想値通りとなっている。

以上の測定結果から、広帯域構成の簡易型フェージングエミュレータが形成する電波環境は設計通り、各遅延波が互いに独立な変動をするレイリーフェージング環境であることが確認された。

2.4.4 結論

簡易型フェージングエミュレータの特性を調べるために、3 種類の評価を実施した。広帯域信号伝送特性の評価から、ドップラシフト付加部において信号の品質を劣化させることなく広帯域な IF 帯信号をドップラシフトできることを示した。また、狭帯域信号での評価ではレイリーフェージング環境となるようなパラメータを設定し、振幅特性と時間変動特性の両側面から理想的なレイリーフェージング環境が形成されたことを示した。更に、マルチパス遅延波の特性評価においても、設計通り各遅延波が互いに独立な変

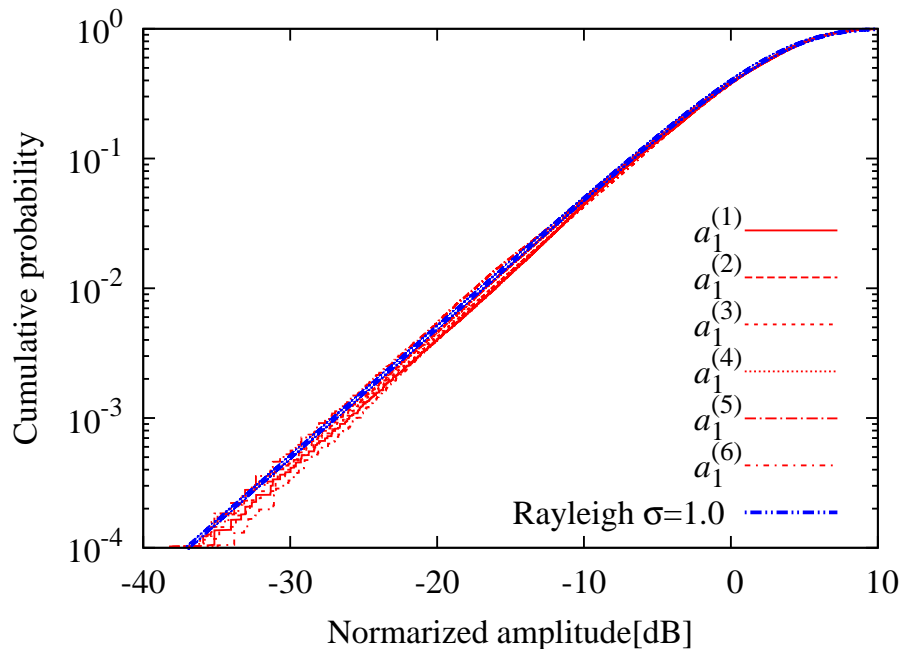
図 2.18 遅延波 $a_1^{(k)}$ の振幅の累積分布

表 2.6 送信ポート 1 に対する遅延波間の相関係数

$a_m^{(k)}$	$a_1^{(1)}$	$a_1^{(2)}$	$a_1^{(3)}$	$a_1^{(4)}$	$a_1^{(5)}$	$a_1^{(6)}$
$a_1^{(1)}$	1	0.0016	0.0027	0.0087	0.0066	0.4937
$a_1^{(2)}$	0.0016	1	0.0051	0.0033	0.0048	0.0063
$a_1^{(3)}$	0.0027	0.0051	1	0.0024	0.0017	0.0015
$a_1^{(4)}$	0.0087	0.0033	0.0024	1	0.0010	0.4991
$a_1^{(5)}$	0.0066	0.0048	0.0017	0.0010	1	0.0022
$a_1^{(6)}$	0.4937	0.0063	0.0015	0.4991	0.0022	1

表 2.7 送信ポート 1,2 に対する遅延波間の相関係数

$a_m^{(k)}$	$a_2^{(1)}$	$a_2^{(2)}$	$a_2^{(3)}$	$a_2^{(4)}$	$a_2^{(5)}$	$a_2^{(6)}$
$a_1^{(1)}$	0.0050	0.0052	0.0093	0.0021	0.4982	0.0012
$a_1^{(2)}$	0.0058	0.0052	0.0019	0.0092	0.4976	0.4982
$a_1^{(3)}$	0.0050	0.0020	0.0046	0.0060	0.4962	0.5033
$a_1^{(4)}$	0.0021	0.0051	0.0057	0.0046	0.5036	0.0032
$a_1^{(5)}$	0.4984	0.4976	0.4952	0.5030	0.0048	0.0068
$a_1^{(6)}$	0.0005	0.4978	0.5042	0.0018	0.0056	0.0047

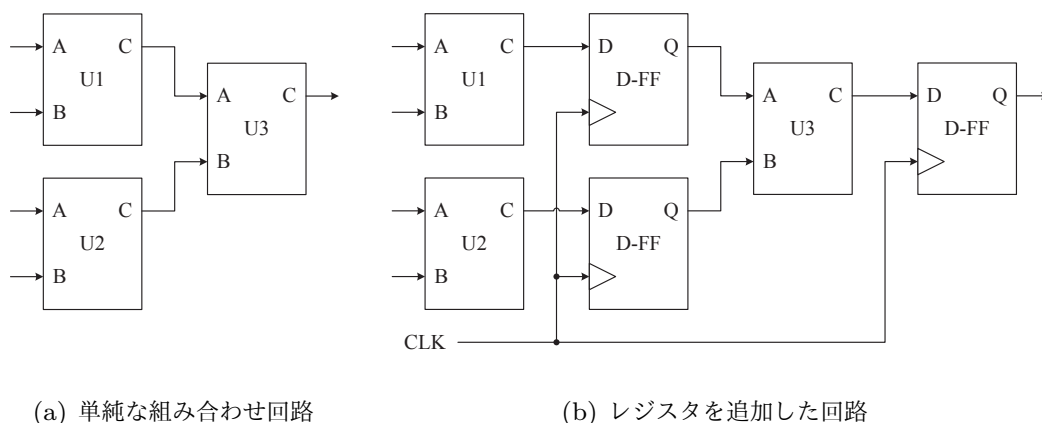


図 2.19 レジスタを追加してタイミングエラーを防ぐ例

動をするレイリーフェージング環境であることが確認された。上述の評価結果をもって、構築した簡易型フェージングエミュレータは設計通りに機能していることが確認された。

2.5 タイミングエラー対策

高速なクロックでデジタル信号処理を行う回路を FPGA に実装すると、クロックや信号バスの伝搬遅延が無視できなくなり、クロックスキューなどのタイミングエラーを引き起こす。簡易型フェージングエミュレータの信号処理部は、A/D コンバータのサンプリングクロックで駆動している。そのため、信号処理部を設計する際に、タイミングエラーが発生しないよう意識する必要がある。

簡易型フェージングエミュレータではクロックの遅延を抑えるために、グローバルクロック専用の低遅延ラインでクロックを配線している。また、信号線のタイミングエラー対策として、信号バスに対してこまめにレジスタを追加している。組み合わせ回路 (U1～U3) からなる回路にレジスタを追加した回路を図 2.19 に示す。レジスタを追加すると回路全体のレイテンシが増加してしまうが、簡易型フェージングエミュレータはパイプライン処理を採用しているため、多少のレイテンシ増加は機能に影響しない。

2.6 リソースの制約

簡易型フェージングエミュレータのハードウェアは市販のハードウェアを組み合わせで構成されているため、ハードウェアに依存する制約がある。

簡易型フェージングエミュレータにおける遅延波数と最大遅延時間は、各遅延波生成部に割り当てる RAM の上限によって制限されており、トレードオフの関係にある。この遅

表 2.8 FPGA の利用率 (XC6VLX240T)

	FPGA 仕様	使用数	利用率
ロジック (スライス単位)	37,680	5,134	14%
ブロック RAM (RAMB36E1)	416	353	85%
乗算器 (DSP48E1)	768	139	18%

遅延生成部の RAM には、FPGA 内部のブロック RAM (RAMB36E1) を割り当てている。表 2.8 に示す FPGA の利用率によると、ロジックや乗算器にはまだ余裕がある一方、ブロック RAM はほぼ上限に達しており、遅延波数や最大遅延時間をこれ以上に増やすことが困難であることが分かる。遅延波数と最大遅延時間を更に増やすためには、FPGA の外部に別途 RAM を用意することが望ましい。

また、簡易型フェージングエミュレータのプロープアンテナ数は $L = 8$ である、これは各 D/A コンバータのチャンネル数と、評価ボードに用意されている FMC インターフェース数によって制限されている。プロープアンテナを増設するためには、より多チャンネルの D/A コンバータを実装可能な専用のハードウェアを設計する必要がある。

2.7 遅延用 RAM を節約する実装法

前述の通り、アンテナ制御型の基本構成通りに FPGA へ実装すると、遅延波数と最大遅延時間の拡張には制約がある。しかし、特定の条件を満たすことでブロック RAM の利用効率を大幅に改善する実装方法について考察する。

入力ポート数 $M = 4$ 、プロープアンテナ数 $L = 8$ 、遅延波数 $K = 10$ の構成で実装するためには、本来 $K \times L = 80$ 個の遅延用 RAM が必要となる。ここで、コネクションマトリクスで用いる WH 符号系列 (式 (2.9)) として w_1, w_2, w_3, w_4 を選択すると、コネクションマトリクスの i 番目の出力と $i + 4$ 番目の出力 ($i = 1 \sim 4$) は等しくなる。この性質を利用すると、図 2.20 に示すように 2 本のプロープアンテナ間で遅延用 RAM の共有が可能となり、同等の機能を $K \times M = 40$ 個の遅延用 RAM で実現可能である。この実装法によって遅延用 RAM の利用効率を向上することで、遅延波数や最大遅延時間の更なる拡張が期待される。

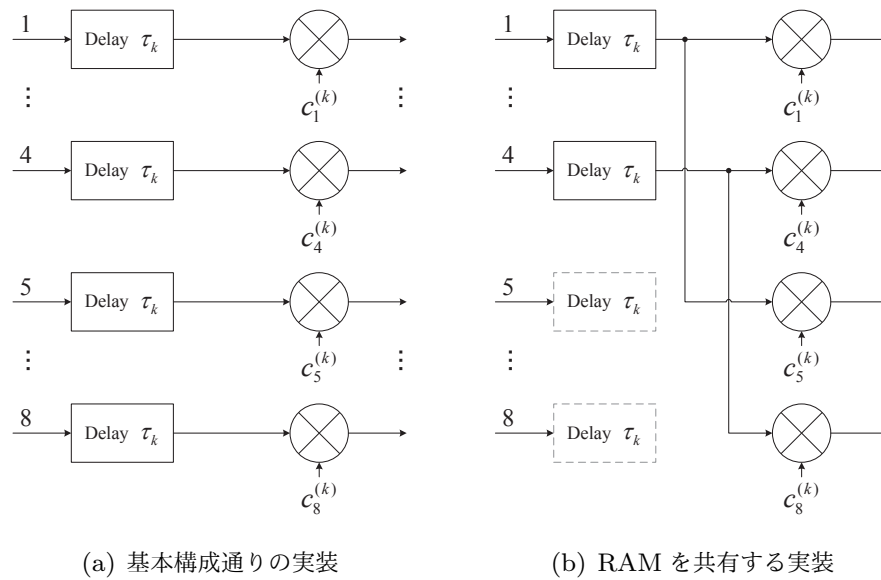


図 2.20 RAM を節約するための実装方法

第 3 章

簡易型チャネルエミュレータ

3.1 2 ステージ法の統合

フェージングエミュレータ型の OTA 測定システムで評価するためには，広い電波暗室内で被測定端末の周囲に多数のプローブアンテナを並べる必要があり，測定システムの大規模化は不可避である．この問題の解決策として提案されている 2 ステージ型の OTA 測定システムでは，フェージングエミュレータ型の評価プロセスを 2 段階に分割することで評価をより簡便にできる．筆者らは，構築した簡易型フェージングエミュレータを拡張し，2 ステージ法を取り入れた簡易型チャネルエミュレータの構成方法を提案している [14]．簡易型チャネルエミュレータを用いた測定システムの構成を図 3.1 に示す．簡易型

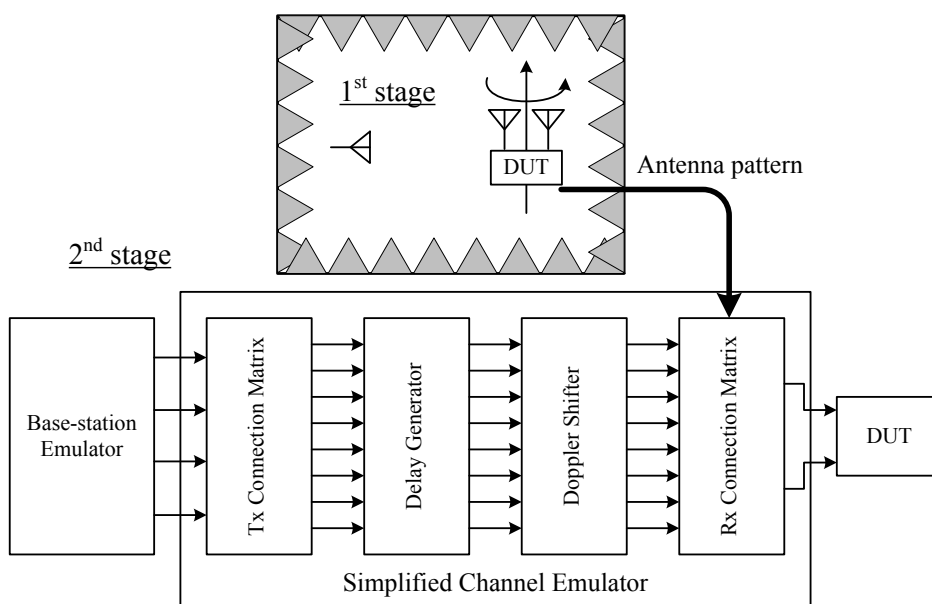


図 3.1 2 ステージ法による簡易型 MIMO-OTA システムの概観

チャネルエミュレータは，本論文で述べた簡易型フェージングエミュレータに受信アンテナのチャネル行列（Rx Connection Matrix）を追加して構築する．

3.2 ハードウェアの構成

アンテナ制御型による簡易型チャネルエミュレータを FPGA とその評価ボード上に実装した [15]．構築した簡易型チャネルエミュレータのハードウェア構成と性能を，表 3.1 に示す．また，プローブアンテナ数 $L = 8$ の場合の簡易型チャネルエミュレータの内部ブロック構成を図 3.2 に示す．簡易型チャネルエミュレータのハードウェアは，第 2 章で述べた簡易型フェージングエミュレータのハードウェアを流用している．簡易型チャネルエミュレータは 4×4 MIMO 構成を念頭に置いているため，高速 A/D コンバータと D/A コンバータを各 1 枚ずつ使用している．

図 3.2 における各処理ブロックに設定する伝搬パラメータは，評価開始時に汎用計算機から USB-UART 経由で転送する．伝搬パラメータのフォーマットを，表 3.2 に示す．これらの伝搬パラメータは，簡易型フェージングエミュレータ用に開発した Windows アプリケーション（OTACtrl）から転送する．

表 3.1 簡易型チャネルエミュレータの構成と性能

FPGA	評価ボード 搭載 IC	XILINX ML623 XILINX Virtex-6 LX240T XC6VLX240	
入出力	A/D コンバータ	4DSP FMC104	
	D/A コンバータ	4DSP FMC204	
	入力ポート数 M	4	
	出力ポート数 N	4	
	サンプリング周波数 f_s	160 MHz	
	IF 周波数	~ 40 MHz	
	IF 信号帯域	~ 40 MHz	
信号処理	プローブアンテナ数 L	8	16
遅延	遅延波数 K	10	6
	遅延時間 τ_k	6.25 ns \sim 50 μ s	6.25 ns \sim 25 μ s
	分解能	6.25 ns	6.25 ns
ドップラー	ドップラー周波数 f_D	~ 1 MHz	
	分解能	0.60 Hz	

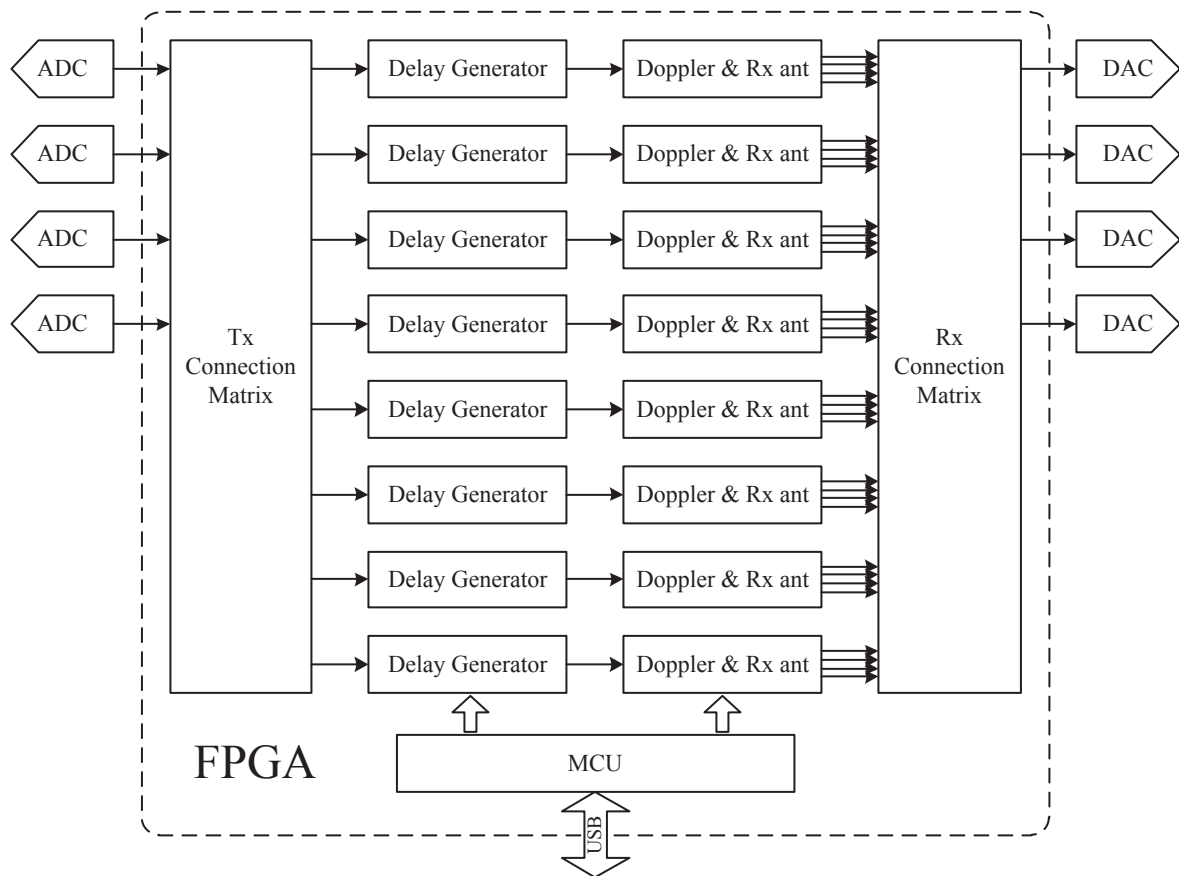
図 3.2 簡易型チャネルエミュレータの内部構成 ($L = 8$)

表 3.2 簡易型チャネルエミュレータの設定パラメータ

遅延量	$L = 8$	Unsigned integer	13bit
	$L = 16$	Unsigned integer	12bit
遅延波ウェイト (WH 符号含む)		Signed integer	11bit
ドップラー周波数		Signed integer	24bit
アンテナ放射パターン (I/Q 別)		Signed integer	12bit

簡易型フェージングエミュレータのプロープアンテナ数は、高速 D/A コンバータ 1 枚あたりのチャンネル数と評価ボードの FMC インターフェース数によって 8 本に制限されていた。2 ステージ法を取り入れることで、簡易型チャネルエミュレータのプロープアンテナ数は D/A コンバータの総チャンネル数による制約から解放される。そこで、構成の異なる簡易型チャネルエミュレータの信号処理部を開発し、評価の目的に応じてこれらを使い分けることができるようにした。信号処理部には 2 通りの構成があり、一つ目は簡易型フェージングエミュレータと同じ構成 ($L = 8, K = 10$) である。二つ目は、遅延波数と

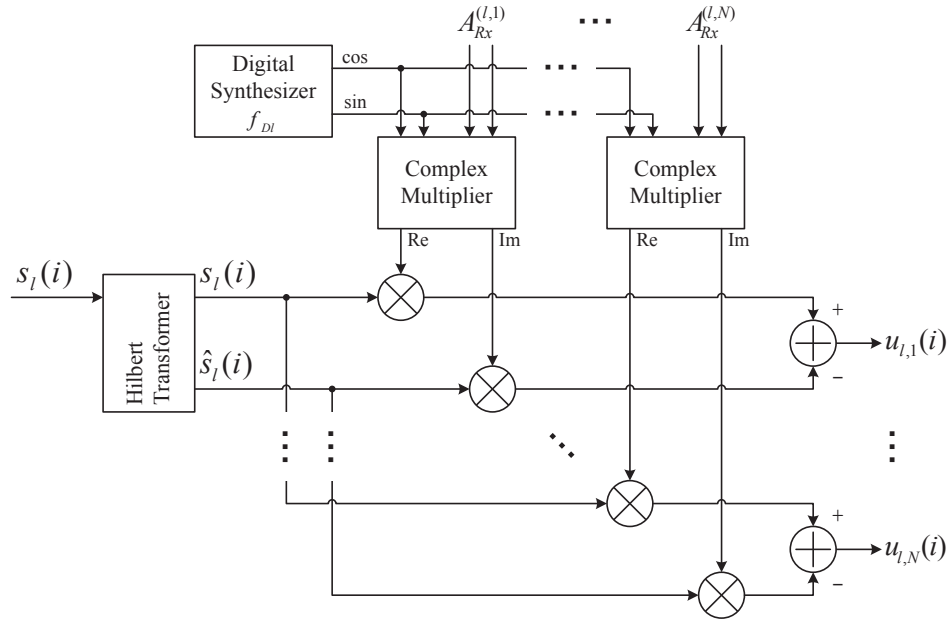


図 3.3 ドップラーシフト・受信アンテナパターン付加ブロックの構成

最大遅延時間を減らし、プローブアンテナ数を増強した構成 ($L = 16, K = 6$) である。プローブアンテナ数を増強した構成では、角度特性の改善や直交偏波を考慮した複雑な評価が可能である。

図 3.2 における送信側コネクションマトリクス (Tx Connection Matrix) とマルチパス遅延波生成部 (Delay Generator) の構成は、簡易型フェージングエミュレータと同じである。

ドップラーシフト・受信アンテナパターン付加部 (Doppler & Rx ant) の内部構成を図 3.3 に示す。図 3.1 の受信空間チャネル行列において受信アンテナ放射パターンを付加する処理は、ドップラーシフトを付加する処理と同じ複素数の演算である。図 3.1 の通りに実装すると、2 度ヒルベルト変換を行うことになり、信号処理の効率が悪くなる。この問題を解決するために、複素乗算器 (Complex Multiplier) でドップラーシフトと受信アンテナ放射パターン $A_{Rx}^{(l,n)}$ の積を計算し、ヒルベルト変換の回数を減らしている。複素乗算器の実装には、XILINX Complex Multiplier IP を用いた。

受信側コネクションマトリクス (Rx Connection Matrix) では、ドップラーシフト・受信アンテナパターン付加部からの出力を集約し、受信アンテナポートごとに総和を出力する。

3.3 チャンネルエミュレータの特性評価

3.3.1 ドップラーシフト・受信アンテナパターン付加部の評価

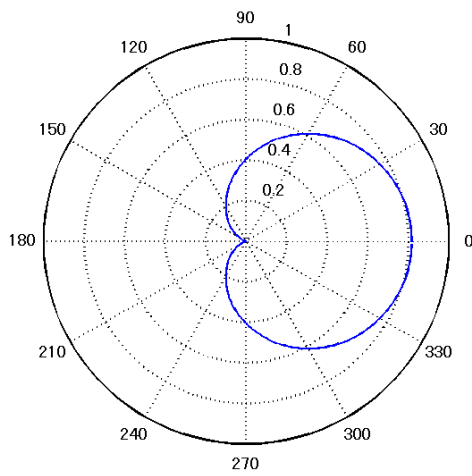
実装した簡易型チャンネルエミュレータの特性を評価するに当たり、ドップラーシフトとアンテナ放射パターンが付加されていることを確認した。簡易型チャンネルエミュレータは狭帯域構成 ($M = 1, L = 16, K = 1, N = 4$) とし、信号発生器 (SG) から $f_{IF} = 40\text{MHz}$ の無変調波 (CW) を入力した。簡易型チャンネルエミュレータからは 4 系統の出力が得られるため、順番にスペクトラムアナライザ (SA) で観測した。簡易型チャンネルエミュレータの遅延波生成部では、全方位から等電力の遅延波が一波のみ到来するように設定を行った。また、最大ドップラー周波数には $f_{Dmax} = 334\text{Hz}$ を設定し、アンテナ放射パターンには計算機で生成したカーゴイド型アンテナ放射パターン (図 3.4) を使用した。簡易型チャンネルエミュレータに設定した伝搬パラメータを、表 3.3 に示す。

図 3.5 は SA で観測した周波数スペクトルを示している。入力した無変調波にドップラーシフトが付加されて、スペクトルが計 16 本になったことを確認できる。この各スペクトルの周波数シフト量は、設定した値と一致している。また、各スペクトルの電力には、設定したアンテナ放射パターンの形状が反映されている。この結果から、ドップラーシフト・受信アンテナパターン付加部が正しく動作していることが分かる。

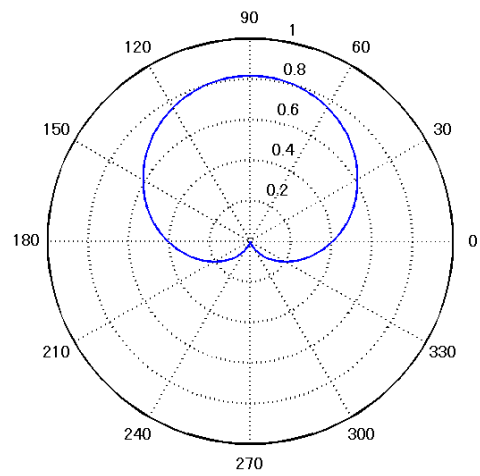
表 3.3 ドップラーシフト・受信アンテナパターン付加部評価で設定した伝搬パラメータ

		プローブアンテナ l							
		1	2	3	4	5	6	7	8
k	遅延量 $[\mu\text{s}]$	遅延波ウェイト							
1	0	+6	+6	+6	+6	+6	+6	+6	+6
ドップラー周波数 $f_{Dl}[\text{Hz}]$		332.4	294.6	211.9	97.0	-32.7	-157.4	-258.2	-319.6

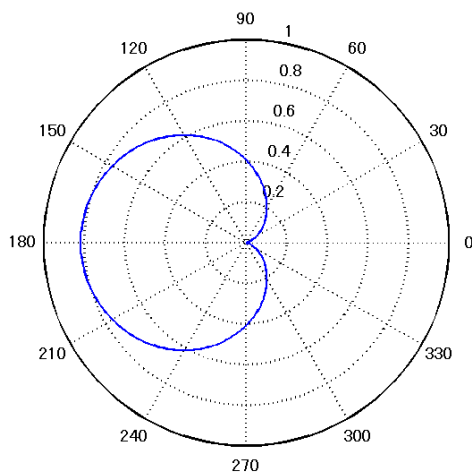
		プローブアンテナ l							
		9	10	11	12	13	14	15	16
k	遅延量 $[\mu\text{s}]$	遅延波ウェイト							
1	0	+6	+6	+6	+6	+6	+6	+6	+6
ドップラー周波数 $f_{Dl}[\text{Hz}]$		-330.4	-286.5	-199.0	-81.2	49.0	171.7	268.3	324.0



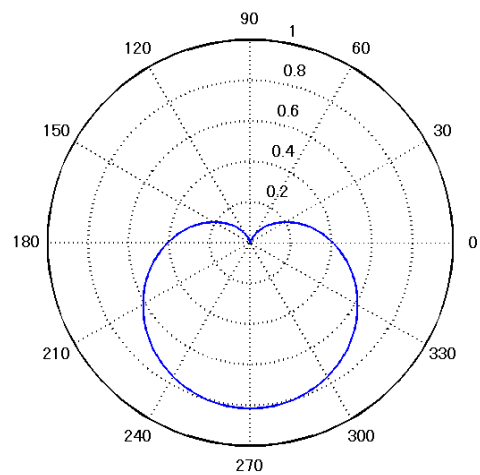
(a) 受信アンテナ 1



(b) 受信アンテナ 2



(c) 受信アンテナ 3



(d) 受信アンテナ 4

図 3.4 評価に用いたアンテナ放射パターン（カージオイド型アンテナ）

3.3.2 狭帯域信号での評価

簡易型チャネルエミュレータを含む評価系全体の構成は、ドップラーシフト・受信アンテナパターン付加部の評価と同じ構成とした。アンテナ放射パターンを除く伝搬パラメータは表 3.3 を使用し、アンテナ放射パターンには計算機で生成した無指向性アンテナを使用した。

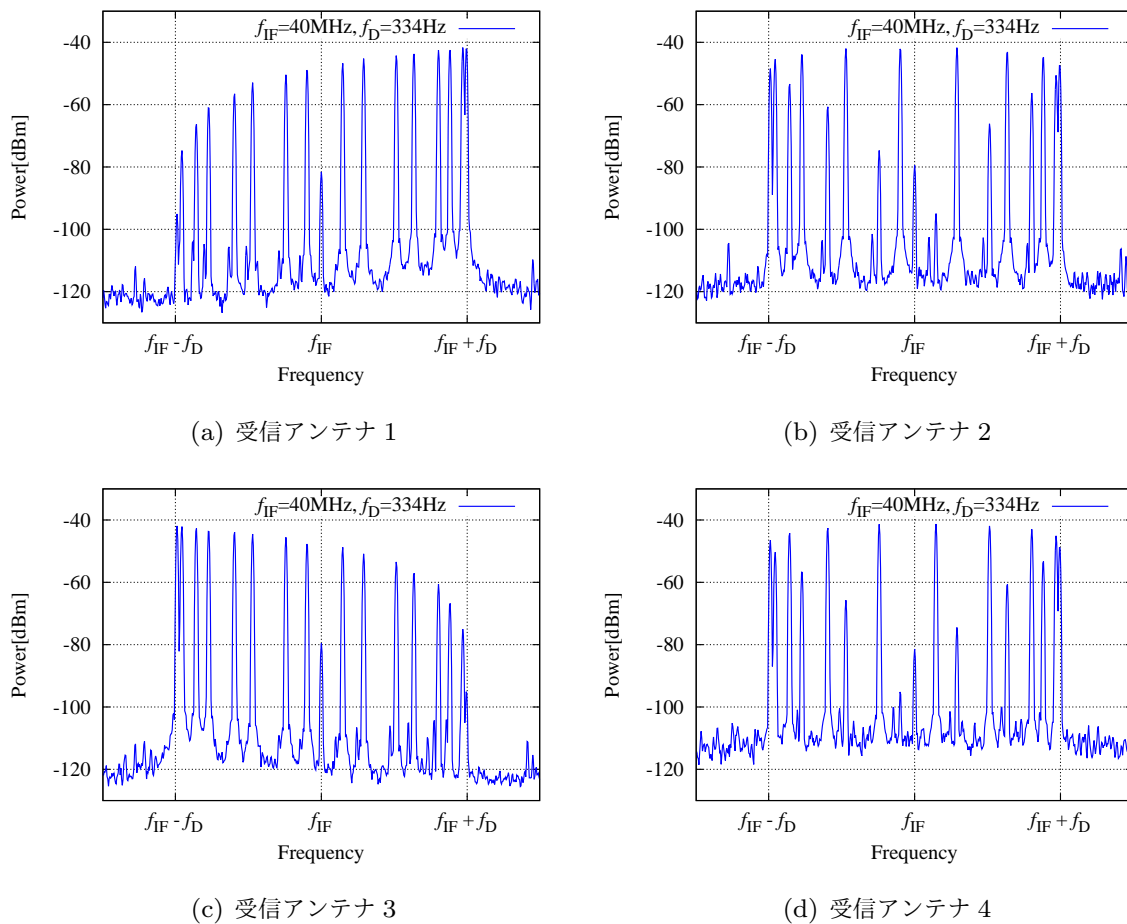
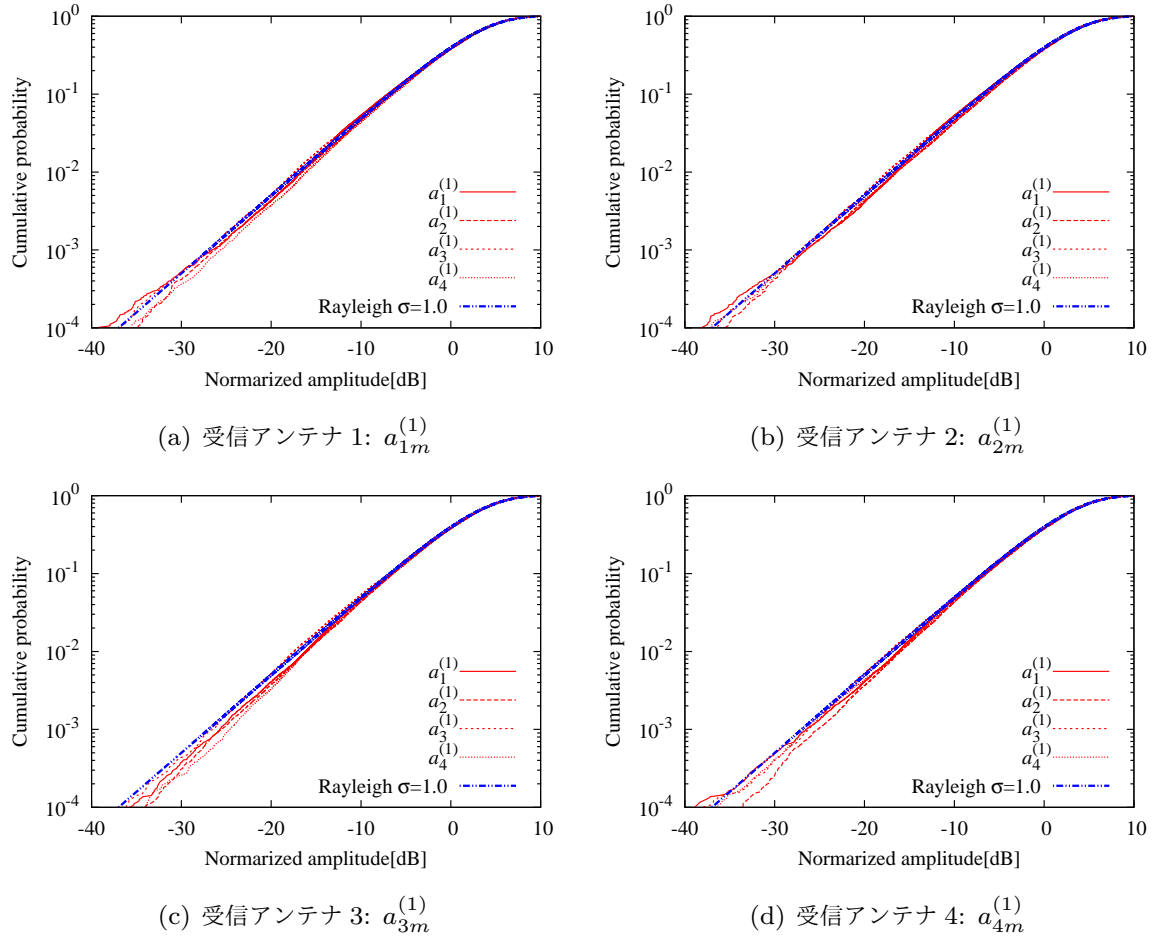


図 3.5 ドップラーシフトした周波数スペクトル（カーゴイド型アンテナ）

簡易型チャンネルエミュレータには入出力ポートが各 4 ポート具備しており，信号処理部は 16 本の伝搬パスと見なすことができる．無変調波の入力ポートと SA での観測ポートを変更しながら測定することで，すべての伝搬パスについて SA の I/Q 取得機能を利用して 1 秒間（約 10^5 サンプル）の連続した時間軸 I/Q データを取得した．入力ポート m と出力ポート n ごとの振幅 $a_{nm}^{(1)}$ の累積分布を図 3.6 に示す．図 3.6 から，各伝搬パスにおける振幅の累積分布はレイリーフェージングの理論値とよく一致していることが分かる．この結果から，簡易型チャンネルエミュレータが生成する電波環境は，理想的なレイリーフェージング環境であることが確認された．

3.4 チャンネルエミュレータを用いた評価

簡易型チャンネルエミュレータを用いて，地上デジタル放送信号のダイバシチ受信性能評価を実施した．一般的な地上デジタル放送波の受信システムは，建造物の屋上といっ

図 3.6 振幅の累積分布 $a_{nm}^{(1)}$ (無指向性アンテナ)

た高 CNR 環境に八木アンテナなどの指向性アンテナを設置することを前提としている。受信アンテナから受信機までは同軸ケーブルで接続する必要があることから、一部の民生用小型受信機では受信アンテナを内蔵し、設置に関する自由度を高めている。その代償として、こうした屋内受信を前提とした受信機は、通常よりも劣悪な電波環境で受信することが求められる。Panasonic TH-L17F1 は屋内受信をするために 4 本の受信アンテナを具え、最大比合成法による受信ダイバシチ機能が実装されたテレビである。本節では、簡易型チャネルエミュレータを用いて TH-L17F1 (以下、ダイバシチ受信テレビと呼ぶ) のドップラシフト耐性を測定し、ダイバシチ受信性能を評価した。

評価システムの構成を図 3.7 に示す。簡易型チャネルエミュレータは SIMO 構成 ($M = 1, L = 8, K = 4, N = 4$) とし、ベクトル信号発生器 (VSG) から地上デジタル放送信号 (ISDB-T: Full-segment, Mode3, $f_{IF} = 40\text{MHz}$) を入力した。簡易型チャネルエミュレータでは、全方位から等電力の遅延波が 4 波到来するレイリーフェージング環境とし、最大ドップラー周波数には $f_{Dmax} = 10 \sim 200\text{Hz}$ を設定した。簡易型チャネ

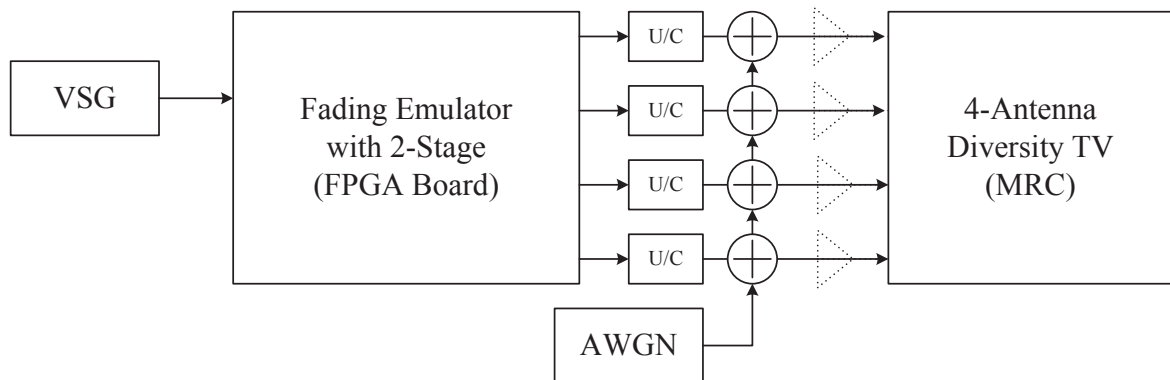


図 3.7 地上デジタル放送のダイバシチ受信評価のシステム構成

表 3.4 地上デジタル放送のダイバシチ受信評価で設定した伝搬パラメータ

		プローブアンテナ l							
		1	2	3	4	5	6	7	8
k	遅延量 [μs]	遅延波ウェイト							
1	0	+2.0	+2.0	+2.0	+2.0	+2.0	+2.0	+2.0	+2.0
2	6.4	+2.0	+2.0	-2.0	-2.0	+2.0	+2.0	-2.0	-2.0
3	12.8	+2.0	+2.0	+2.0	+2.0	-2.0	-2.0	-2.0	-2.0
4	25.6	+2.0	+2.0	-2.0	-2.0	-2.0	-2.0	+2.0	+2.0
最大ドップラー周波数 $f_{Dmax}[\text{Hz}]$		10 ~ 200 (20 ~ 400km/h @ $f_c = 557.142857\text{MHz}$)							
アンテナ放射パターン		無指向性アンテナ $\times 1$, 無指向性アンテナ $\times 4$ 指向性アンテナ $\times 4$							

ルエミュレータに設定した伝搬パラメータを、表 3.4 に示す。簡易型チャンネルエミュレータからは 4 系統の出力が得られる。これをキャリア周波数 $f_c = 557.142857\text{MHz}$ （物理 ch.27）にアップコンバートし、CNR が 20dB となるように AWGN を付加したものを、ダイバシチ受信テレビのアンテナポートへ直接同軸ケーブルで入力した。アンテナ放射パターンには計算機で生成した無指向性アンテナ（図 3.8(a)）と指向性アンテナ（図 3.8(b)）を使用した。二つのアンテナ放射パターンの受信電力は等しい。プローブアンテナと受信アンテナの配置関係を図 3.9 に示す。赤いマークはプローブアンテナを、青いマークは受信機と受信アンテナを表している。アンテナ放射パターンは図 3.9 における受信機を中心を給電点とする 4 素子のアレーアンテナとして計算しており、給電点と各受信アンテナの距離は 1.0λ とした。測定には、無指向性アンテナ $\times 1$ 、無指向性アンテナ $\times 4$ 、指向性ア

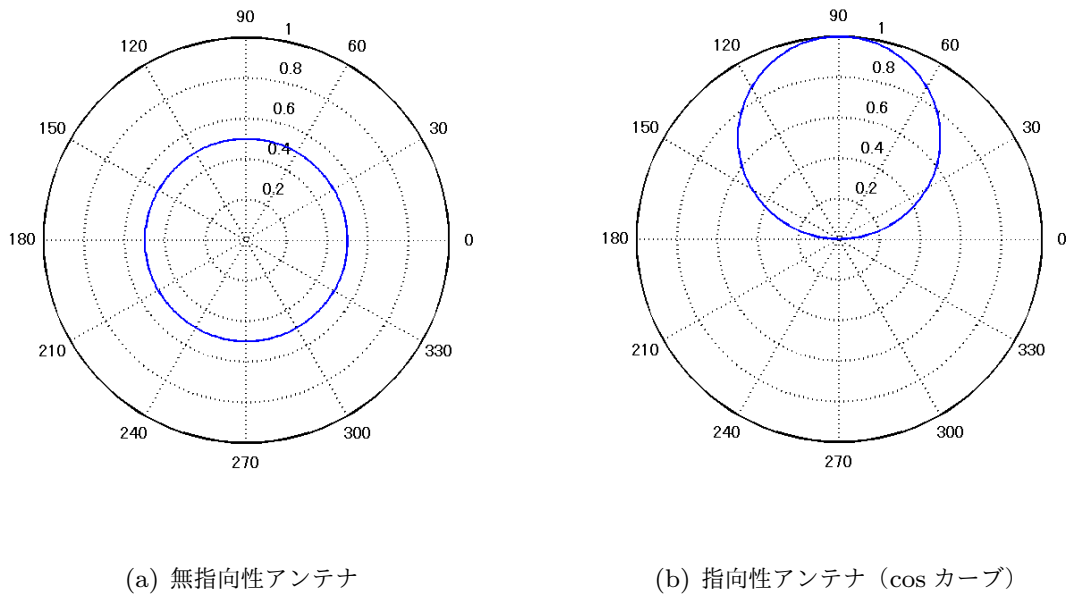


図 3.8 評価に用いたアンテナ放射パターン

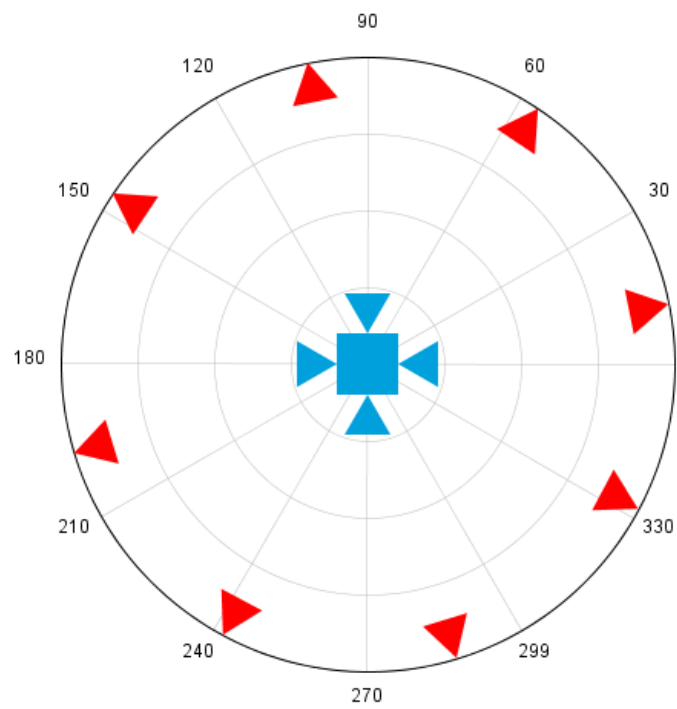


図 3.9 プローブアンテナ（赤）と受信アンテナ（青）の配置

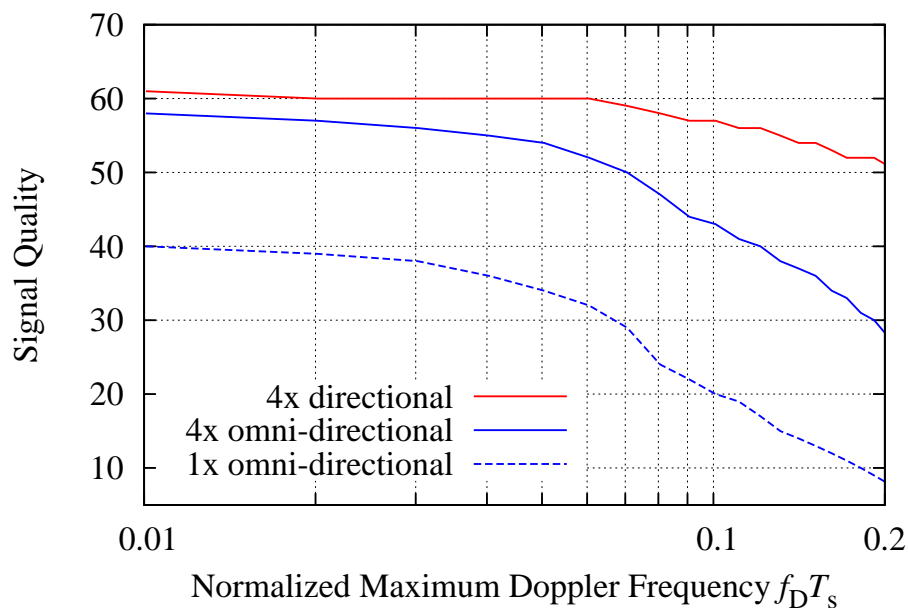


図 3.10 ダイバシチ受信テレビのドップラー耐性

ンテナ ×4 の 3 パターンのアレーアンテナ構成を使用した。

各アレーアンテナ構成に関して、最大ドップラー周波数を 10Hz 刻みで 10 ~ 200Hz ま
で変化させ、ダイバシチ受信テレビに表示される信号品質を測定した。正規化最大ドッ
プラー周波数 $f_D T_s$ に対する信号品質の関係を図 3.10 に示す。ISDB-T の OFDM シンボ
ル長 (mode3) は、 $T_s = 1008\mu s$ である。なお、ダイバシチ受信テレビで安定的に視聴可
能な最低信号品質は 40 である。図 3.10 から、無指向性アンテナを 1 本しか使用しなかつ
たケースはドップラーシフト耐性が極めて低く、ほとんど全ての領域で視聴できないこと
が分かる。無指向性アンテナを 4 本使用したケースは、信号品質が劣化する傾向は無指向
性アンテナを 1 本とよく似ているが、信号品質は全体的に高い。これは、受信アンテナの
数が増えたことによる総受信電力の向上に起因すると考えられる。指向性アンテナを 4 本
使用したケースは信号品質が最も高く、劣化傾向も緩やかである。これは、ダイバシチ受
信テレビの受信ダイバシチが効果的に機能していることを示している。その結果、ダイバ
シチ受信テレビは 400km/h 相当の環境でも視聴可能であり、優れたドップラーシフト耐
性を有することが分かった。

表 3.5 ML605 と ML623 の比較

評価ボード	XILINX ML605	XILINX ML623
搭載 FPGA	XILINX Virtex-6 LX240T XC6VLX240T	XILINX Virtex-6 LX240T XC6VLX240T
FMC	LPC×1 HPC×1	LPC×1 HPC×2
基板寸法 (W×D)	267 × 140	457 × 292

3.5 ハードウェアの小型化

これまで述べてきた簡易型チャネルエミュレータは，簡易型フェージングエミュレータを拡張して実装しており，三つの FMC インターフェース (LPC×1, HPC×2) を具えた XILINX ML623 を使用してきた．ML623 は比較的大型な FPGA 評価ボードであり，可搬性の悪さが問題であった．

簡易型チャネルエミュレータに必要な FMC インターフェースは二つ (LPC×1, HPC×1) である．簡易型チャネルエミュレータの要件を満たす小型の FPGA 評価ボードには，XILINX ML605 が最適であると考えられる．ML605 と ML623 の主な仕様の比較を，表 3.5 に示す．ML605 には ML623 と同じ FPGA が搭載されており，FMC インターフェースの条件も満たしていることから，簡易型チャネルエミュレータの信号処理部をほとんど修正することなく移植可能である．また，寸法は ML605 の方が非常に小型であることが分かる．

簡易型チャネルエミュレータを小型化するために最適なハードウェアとして ML605 を採用し，これに実装した．ML605 に実装して小型化した簡易型チャネルエミュレータの外観写真を図 3.11 に，ハードウェアの構成を表 3.6 に示す．簡易型チャネルエミュレータの性能を左右する FPGA と A/D コンバータと D/A コンバータは共通であるため，小型化した簡易型チャネルエミュレータの性能は表 3.1 と同じである．

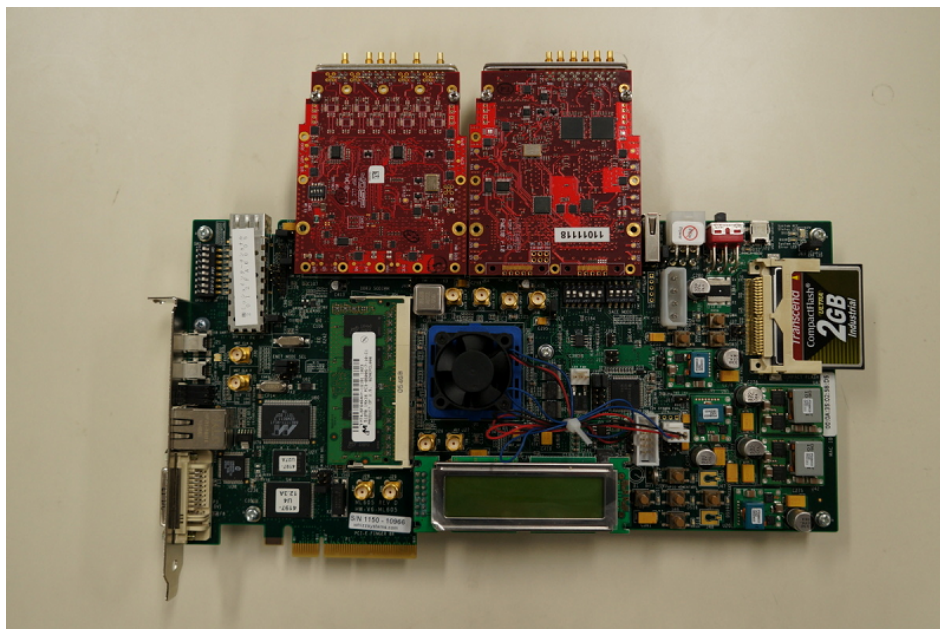


図 3.11 小型化した簡易型チャネルエミュレータ本体

表 3.6 小型化した簡易型チャネルエミュレータの構成

FPGA	評価ボード 搭載 IC	XILINX ML605 XILINX Virtex-6 LX240T XC6VLX240
入出力	A/D コンバータ	4DSP FMC104
	D/A コンバータ	4DSP FMC204
	入力ポート数 M	4
	出力ポート数 N	4
処理	プローブアンテナ数 L	8, 16

第 4 章

結論

本研究では、フェージングエミュレータ型 MIMO-OTA 測定システムのうち、簡易な構成で実現可能なアンテナブランチ制御型のフェージングエミュレータを取り上げた。アンテナ制御型フェージングエミュレータについて、IF 帯デジタル信号処理でマルチパス遅延環境を実現する広帯域構成の簡易型フェージングエミュレータの構成を提案し、市販の FPGA 評価ボードに実装した。

簡易型フェージングエミュレータの入出力信号形式には IF 帯信号を採用し、IF 帯信号のまま信号処理している。ドップラーシフト付加部では、IF 帯信号のままドップラーシフトを付加するために、ヒルベルト変換フィルタを用いて演算した。簡易型フェージングエミュレータの基本的な特性を測定した結果、設計通りに動作することが確認された。簡易型フェージングエミュレータは市販のハードウェアで構成されているため、ハードウェアに起因する制約があるが、提案した実装法でリソースの利用効率を改善し、より高性能な簡易型フェージングエミュレータを構築することが課題である。

また、本研究では 2 ステージ型 MIMO-OTA 測定システムにも注目した。本論文で提案・実装した簡易型フェージングエミュレータを拡張し、2 ステージ法を取り入れた簡易型チャネルエミュレータの構成方法を提案し、市販の FPGA 評価ボードに実装した。

簡易型チャネルエミュレータは 4×4 MIMO 伝搬チャネルを実現し、遅延性能とプローブアンテナ数の違いで 2 通りの構成を実装した。ドップラーシフト付加部とアンテナ放射パターン付加部を統合することで、ヒルベルト変換の回数を減らす工夫をした。簡易型チャネルエミュレータの基本的な特性を測定した結果、設計通りに動作することが確認された。実装した簡易型チャネルエミュレータを用いて地上デジタル放送信号のダイバシチ受信性能を評価し、簡易型チャネルエミュレータが実用に耐える測定システムであることを示した。

謝辞

本論文は、筆者が電気通信大学大学院情報理工学研究科情報・通信工学専攻博士前期課程に在籍中の研究成果をまとめたものである。本論文を執筆するにあたり、指導教官の唐沢好男教授から、日頃より丁寧なご指導を賜りました。ここに、心より深く感謝の意を表します。そして、研究を遂行するうえで御助力いただいた唐沢研究室卒業生のパシシギ・サハルル氏に感謝いたします。また、同研究室の高崎和之氏、同研究室卒業生の滝沢圭祐君、藤井研究室の大竹賢明君とは、日頃から有益な議論ならびに情報交換をさせていただいた。ここに、感謝の意を表します。

参考文献

- [1] 大橋健二他, “3.9G/LTE 携帯電話の徹底研究,” RF ワールド, no.17, pp.7–76, CQ 出版, 2012.
- [2] H. Arai, *Measurement of Mobile Antenna Systems*, Artech House, 2001.
- [3] 3GPP TR 37.976, “Measurement of radiated performance for MIMO and multi-antenna reception for HSPA and LTE terminals,” March 2012. Release 11.
- [4] 岩井浩, 坂口啓, 坂田勉, 山本温, “携帯端末アンテナ評価用フェージングエミュレータの提案,” 信学論 (B), vol.J91-B, no.9, pp.960–971, Sept. 2008.
- [5] 坂田勉, 山本温, 小川晃一, “角度スペクトラムが設定可能な端末 MIMO アンテナ測定用空間多重波生成装置,” 信学技報, AP2008-3, April 2008.
- [6] P. Kyösti, J.-P. Nuutinen, and T. Jämsä, “MIMO OTA test concept with experimental and simulated verification,” *Proc. of the Fourth European Conference on Antennas and Propagat.*, pp.1–5, CCIB, Barcelona, Spain, April 2010.
- [7] Y. Jing, Z. Wen, H. Kong, S. Duffy, and M. Rumney, “Two-stage Over the Air(OTA) Test Method for MIMO Device Performance Evaluation,” 2011 IEEE Int. Symp. on Antennas and Propagat., pp.71–74, Spokane, Washington, U.S.A., July 2011.
- [8] Agilent Technology, “MIMO-OTA の基礎と評価,” July 2011.
- [9] Rohde & Schwarz, “OTA Measurements of LTE MIMO-Enabled Devices,” Oct. 2012.
- [10] 篠沢政宏, パシシングサハルル, アリフリスワン, 唐沢好男, “任意ドップラースプレッドのマルチパス環境を実現する mimo 端末特性評価用電波反射箱,” 信学論 (C), vol.J93-C, no.12, pp.612–621, Dec. 2010.
- [11] 大島一郎, 唐沢好男, “二重電波反射箱によるマルチパス伝搬環境制御,” 信学論 (B), vol.J94-B, no.9, pp.1056–1064, Sept. 2011.
- [12] 小佐古昂, 篠沢政宏, 唐沢好男, “フェージングエミュレータ型 MIMO-OTA 測定システムの簡易構成法,” 信学論 (B), vol.J95-B, no.2, pp.275–284, Feb. 2012.

- [13] Y. Karasawa, Y. Gunawan, S. Pasingi, K. Nakada, and A. Kosako, “Development of a MIMO-OTA System with Simplified Configuration,” Journal of the Korean Institute of Electromagnetic Engineering and Science(JKIEES), vol.12, no.1, pp.77–84, March 2012.
- [14] 孫桂江, 中田克弘, 大島一郎, 唐沢好男, “2 ステージ法による簡易型 MIMO-OTA 評価のシミュレーション手法とアンテナカップリング特性評価への応用,” 信学技報, AP2012-94, Nov. 2012.
- [15] 中田克弘, 孫桂江, 唐沢好男, “2 ステージ法による簡易型 MIMO-OTA システムの FPGA 実装,” 信学ソ大, B-5-41, Sept. 2012.

発表実績

- [1] 唐沢好男, パシシンギ サハルル, グナワン ヤンネス, 中田克弘, “【技術展示】簡易形広帯域 MIMO-OTA システム信号処理の FPGA 実装,” 信学技報, SR2011-26, pp.55-60, July 2011.
- [2] 唐沢好男, 中田克弘, “2 ステージ法による簡易型 MIMO-OTA 測定システム構成法の提案,” 信学技報, AP2011-81, pp.25-30, Oct. 2011.
- [3] 中田克弘, “MIMO-OTA 測定法,” マイクロウェーブ展 (MWE2011), Dec. 2011.
- [4] Y. Karasawa, Y. Gunawan, S. Pasingi, K. Nakada, and A. Kosako, “Development of a MIMO-OTA System with Simplified Configuration,” Journal of the Korean Institute of Electromagnetic Engineering and Science(JKIEES), vol.12, no.1, pp.77-84, March 2012.
- [5] 中田克弘, 唐沢好男, “【技術展示】簡易型広帯域 MIMO-OTA システム信号処理部の FPGA 実装と評価,” 信学技報, SR2012-5, pp.31-36, May 2012.
- [6] 唐沢好男, 中田克弘, Pommasack Phavanhna, “電波環境のトータルレコーディングとその応用,” URSI-F 委員会, 第 565 回会合, June 2012.
- [7] 中田克弘, “簡易型広帯域 MIMO-OTA システム信号処理部の FPGA 実装と評価,” ワイヤレス・テクノロジー・パーク (WTP2012), July 2012.
- [8] 唐沢好男, 中田克弘, ポンマサック パーワンナー, “電波環境のトータルレコーディングとその応用,” 信学技報, RCS2012-103, pp.43-48, Aug. 2012.
- [9] 中田克弘, 孫桂江, 唐沢好男, “2 ステージ法による簡易型 MIMO-OTA システムの FPGA 実装,” 信学ソ大, B-5-41, Sept. 2012.
- [10] 孫桂江, 中田克弘, 大島一郎, 唐沢好男, “2 ステージ法による簡易型 MIMO-OTA 評価のシミュレーション手法とアンテナカップリング特性評価への応用,” 信学技報, AP2012-94, pp.7-12, Nov. 2012.
- [11] 中田克弘, 唐沢好男, “簡易型 MIMO-OTA システム信号処理部の FPGA 実装と評価,” 信学論 (B), (査読中), 2013.

付録 A

OTACtrl の使用方法

OTACtrl は，簡易型 MIMO-OTA システムで使用する伝搬パラメータの設計および転送を担う Windows アプリケーションである．OTACtrl は Microsoft Visual Studio 2010 で開発されており，実行する汎用計算機には Microsoft .NET Framework 4 以上と FPGA 評価ボード上の USB-UART 変換 IC（Silicon Laboratories CP2103）のドライバがインストールされている必要がある．本章では，OTACtrl の詳細な使用方法を解説する．

A.1 起動とプロファイルの作成

OTACtrl を起動するには，OTACtrl.exe を実行する．OTACtrl が起動を確認したら，



図 A.1 OTACtrl の実行ファイル

メニューから “New” を選択して新しいプロファイルを作成する．新規プロファイル作成画面では簡易型フェージングエミュレータの構成に合わせて基本パラメータを入力し，“OK” ボタンを押す．プロファイルの作成が済んだら，シリアルポートの中から “Silicon Lab...” という項目を選択する．通常の仕様では，動作モードとクロックソースは変更しない．

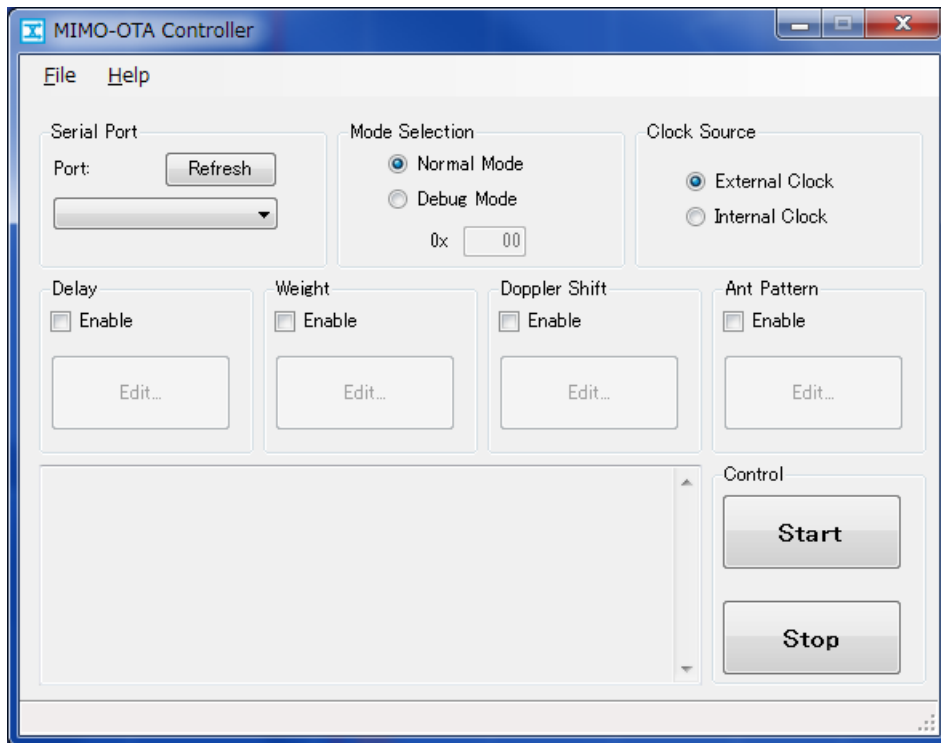


図 A.2 OTACtrl のメイン画面

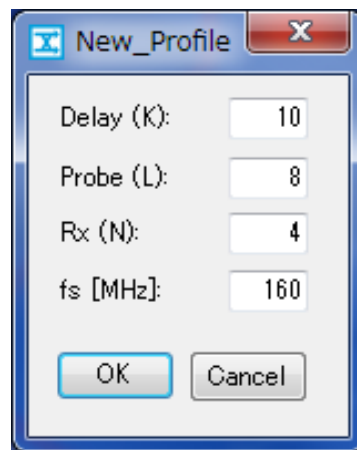


図 A.3 新規プロフィール作成画面

A.2 パラメータの設定

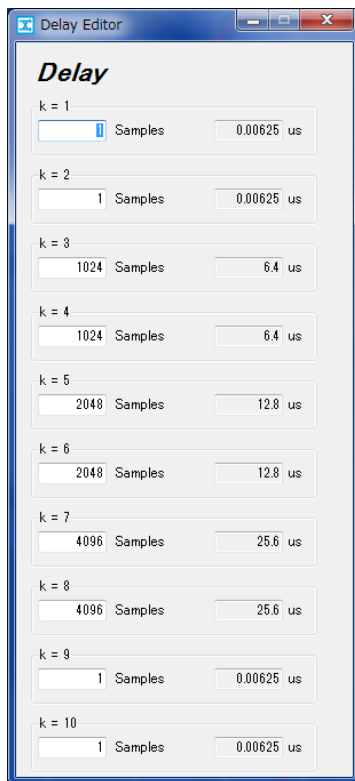
各伝搬パラメータは、表 A.1 に示すフォーマットに従って入力する。伝搬パラメータの入力例として、簡易型チャネルエミュレータを用いたダイバシチ受信性能評価で用いた伝搬パラメータ（表 3.4）を入力した画面を図 A.4 に示す。

表 A.1 伝搬パラメータの入力フォーマット

遅延量	$L = 8$	1 ~ 8191
	$L = 16$	1 ~ 4095
遅延波ウェイト (WH 符号含む)		-1.0 ~ +1.0 (真値)
ドップラー周波数		Hz 単位
アンテナ放射パターン (I/Q 別)		-2048 ~ +2047 (真値)

A.3 実行

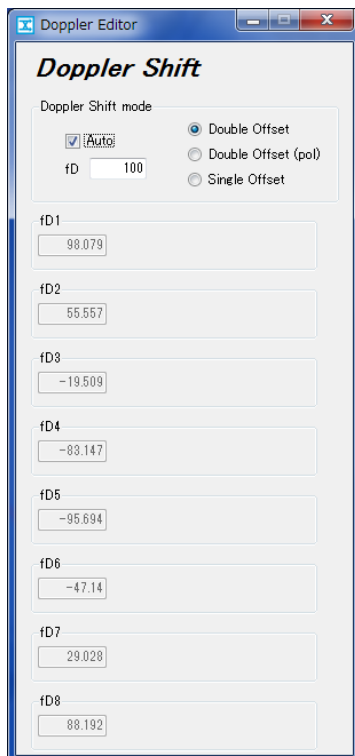
伝搬パラメータの設定が完了したら，メイン画面の“START”ボタンを押す．伝搬パラメータの転送が完了すると FPGA 評価ボードの信号処理が始まり，ステータス LED (GPIO LED2) が点灯する．信号処理を停止させる場合は，“STOP”ボタンを押す．



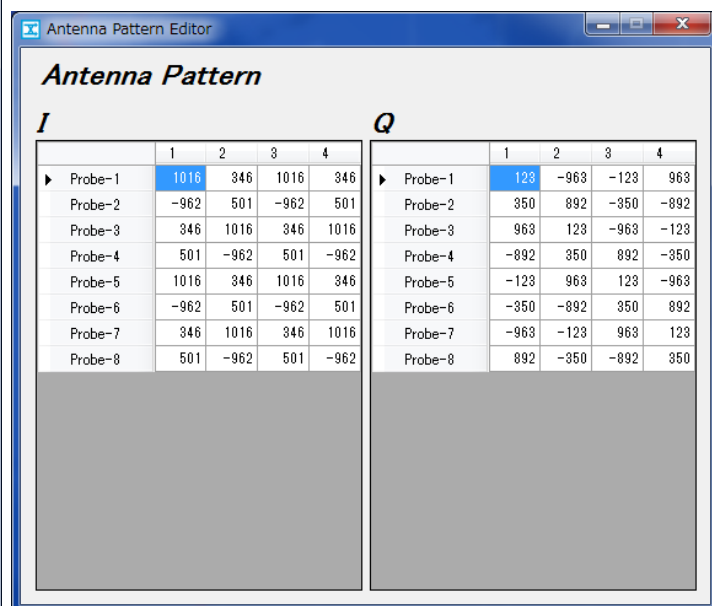
(a) 遅延量設定画面



(b) 遅延波ウェイト設定画面



(c) ドップラースhift量設定画面



(d) アンテナパターン設定画面

図 A.4 伝搬パラメータの設定例 (表 3.4)

付録 B

簡易型 MIMO-OTA システムの開発方法

簡易型 MIMO-OTA システムの信号処理部の開発には，XILINX の開発ツール群を用いている．本章では，簡易型 MIMO-OTA システムの開発に特化した開発ツールの基本的な使用方法を解説する．なお，開発ツールの詳細な使用方法については XILINX が提供しているマニュアルを参照されたい．簡易型 MIMO-OTA システムで使用している IP の都合，開発環境は XILINX ISE12.3 に限定される．また，汎用計算機と通信するために microbrazе を使用しているため，ISE は Embedded Edition のライセンスが必須である．以後，プロジェクトの最上位ディレクトリのパスを{proj}とし，ファイルのパスは特に断りのない限りこの相対パスとする．

表 B.1 プロジェクト名のリスト

ml623_adda101	ML623 用簡易型フェージングエミュレータ
ml623_adda102	ML623 用簡易型チャネルエミュレータ ($L = 8$)
ml623_adda102_16	ML623 用簡易型チャネルエミュレータ ($L = 16$)
ml605_adda102_8	ML605 用簡易型チャネルエミュレータ ($L = 8$)
ml605_adda102_16	ML605 用簡易型チャネルエミュレータ ($L = 16$)

B.1 信号処理回路 (VHDL) の開発

XILINX ISE Project Navigator を起動し，ISE プロジェクト {proj}\pcores\fmcccon_v1_00_a\dev1\projnav\fmcccon.xise を開く．信号処理部の本体が記述されているのは，fmcccore.vhd 以下の VHDL コードである．ISE の詳細な

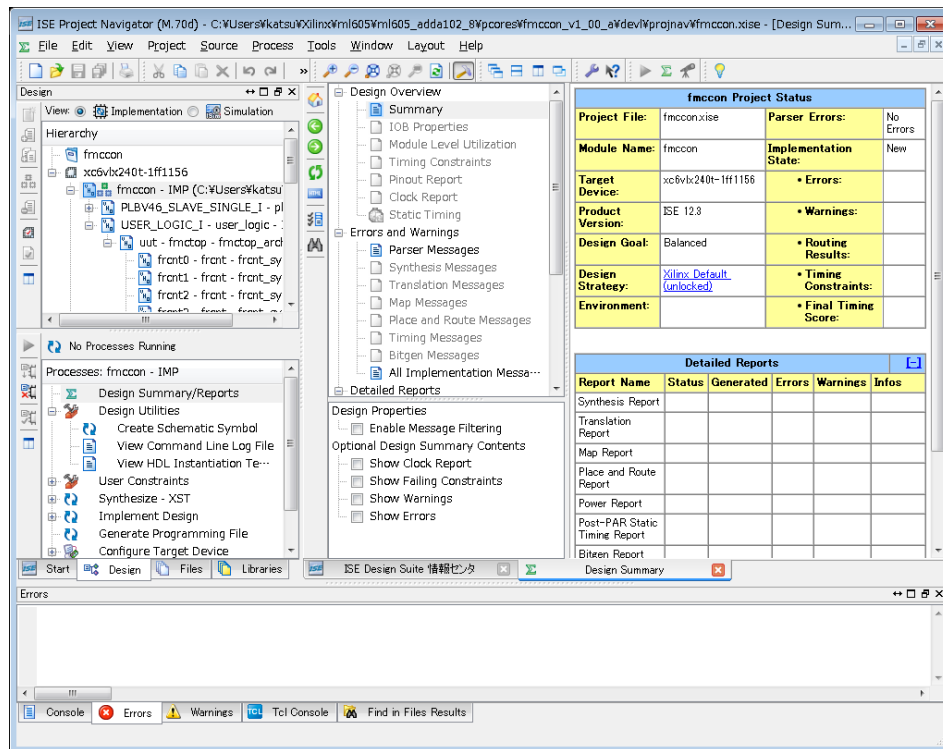


図 B.1 ISE でプロジェクトファイルを開いた状態

使用方法は割愛する．ISE での開発が済んだら，次節へ進む．

B.2 エンベデッド開発

XILINX Platform Studio (XPS) を起動し，XPS プロジェクト{proj}\system.xmp を開く．PC と通信するマイコン (microbrazee) のソフトウェアは C 言語で記述されており，XPS 内でこのソフトウェアの開発をする．

信号処理部の開発 (ISE) とソフトウェアの開発 (XPS) が済んだら，これらをまとめてビットストリーム (書き込みファイル) を生成する．ビットストリームの生成が完了したら，Design Summary タブでエラーや警告の内容を確認する．

生成したビットストリームを JTAG 等で FPGA に書き込み，動作に問題がない場合，XPS の Bash シェルから genace.scr スクリプトを実行して SystemACE ファイルを生成する．生成した SystemACE ファイルを CF カードに書き込むことで，信号処理部を SystemACE 経由でロードすることができる．

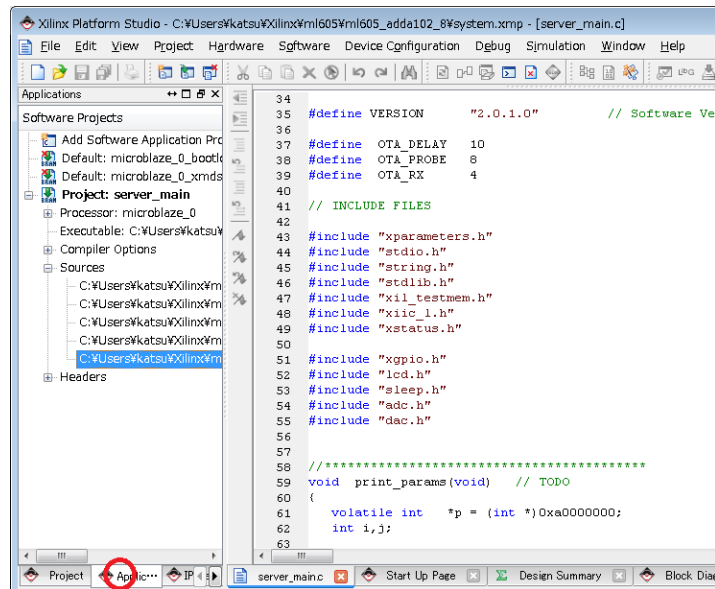


図 B.2 XPS でマイコンのプログラムを編集する

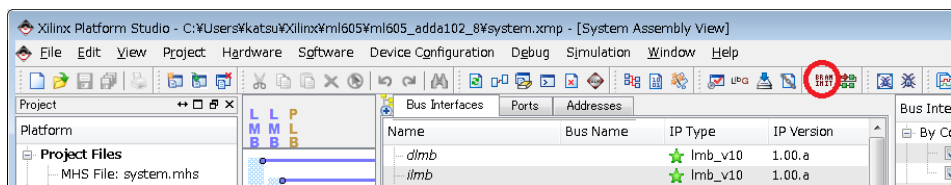


図 B.3 XPS でビットストリームを生成

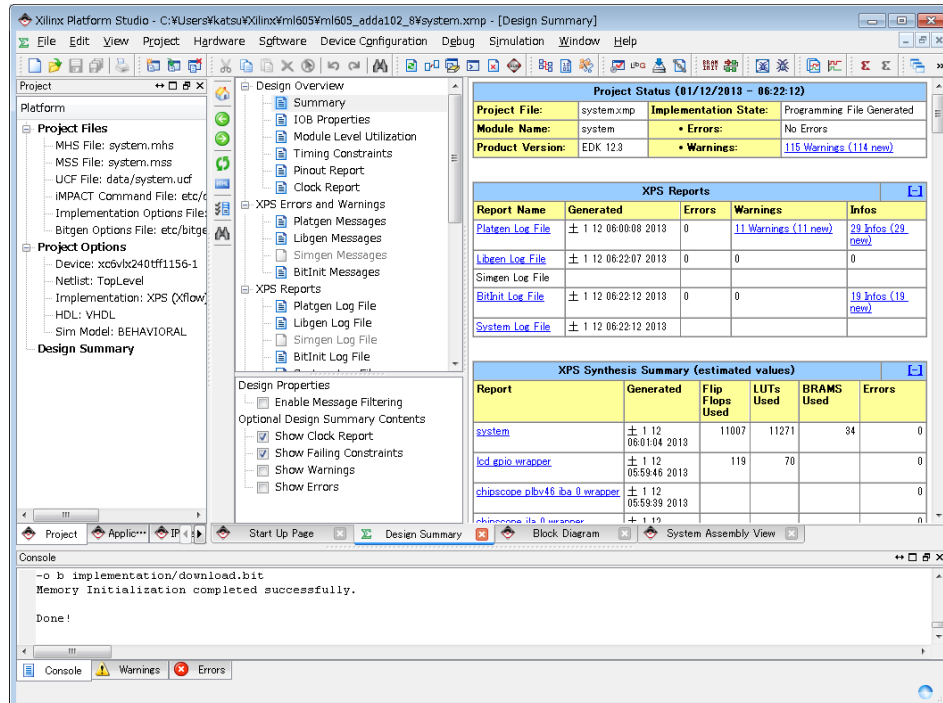


図 B.4 ビットストリームが正常に生成された状態

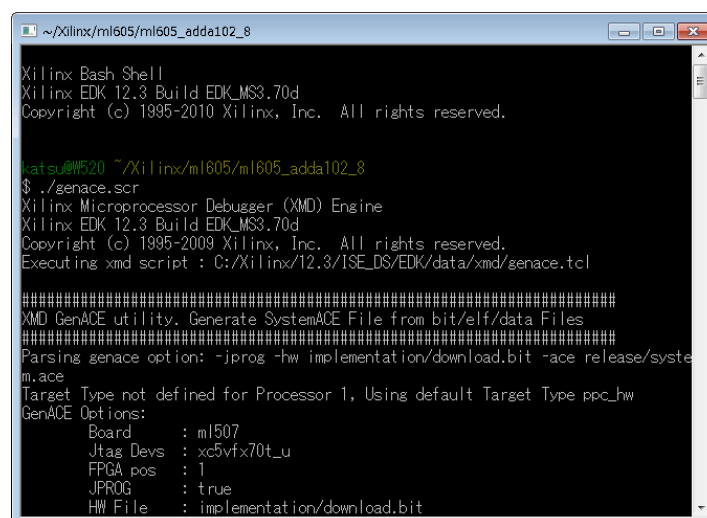


図 B.5 SystemACE ファイルを生成

付録 C

解析用 MATLAB スクリプト

Tektronix RSA6114A から I/Q データ (MAT ファイル) をインポートするスクリプト

```
% Import RSA I/Q acquisition data from mat-file.
function [iqData, samplingFreq] = importMAT_RSA(dirName)
    xmltemp = 'temp.xml';

    currentDir = cd;
    cd(dirName);

    D = dir('*.mat');
    matFiles = {D.name};
    [~, nfile] = size(matFiles);

    samplingFreq = zeros(1, nfile);
    dataNum = zeros(1, nfile);

    for kk = 1:nfile
        warning('Loading %s', matFiles{kk});
        load(matFiles{kk});

        fp = fopen(xmltemp, 'w');
        fprintf(fp, '%s', rsaMetadata);
        fclose(fp);

        xDoc = xmlread(xmltemp);

        samplingFreq(kk) = getDoubleContent(xDoc, 'SamplingFrequency');
        dataNum(kk) = getDoubleContent(xDoc, 'NumberSamples');

        delete(xmltemp);
    end
end
```

```

iqData = zeros(max(dataNum), nfile);

for kk = 1:nfile
    load(matFiles{kk});
    iqData(:,kk) = Y;
end

cd(currentDir);

function double_value = getDoubleContent(doc, element)
    Items = doc.getElementsByTagName(element);
    thisItem = Items.item(0);
    thisValue = javaObject('java.lang.Double', thisItem.getTextContent());
    double_value = double(thisValue);

```

図 C.1 importMAT_RSA.m

狭帯域信号のレベル交差率を計算するスクリプト

```

% Import I/Q from RSA and calculate LCR
clear all;

%% variable definitions
dataDir = '../dat/20121024/44/'; % CSV データの格納場所
fDmax = 200.0; % 最大ドップラー周波数 [Hz]
theory_threshold = 0.0:0.01:3.0; % 理論値計算用の横軸
exp_threshold = 0.0:0.0005:3.0; % 測定値計算用の横軸

%% load data
[iqData, samplingFreq] = importMAT_RSA(dataDir);
[~, nfile] = size(iqData);
samplingFreq = samplingFreq(1);

%% calc theory
theory_LCR = sqrt(2.0 * pi) * fDmax * theory_threshold .* exp(-theory_threshold.^2);
theory_LCR = theory_LCR / fDmax;

%% calc LCR
input = abs(iqData);
clear iqData;
levelrms = sqrt(mean(abs(iqData).^2), 1));

count = false(length(input)-1, length(exp_threshold));
sumcnt = zeros(1, length(exp_threshold));

for kk=1:nfile

```

```

input(:,kk) = input(:,kk) ./ levelrms(kk);

for ii=1:length(exp_threshold)
    count(:,ii) = (input(1:length(input)-1,kk) < exp_threshold(ii) ...
        & input(2:length(input),kk) >= exp_threshold(ii));
end
sumcnt = sumcnt + sum(count,1);
end
clear count;

%% normalize
normfactor = length(input) / ceil(samplingFreq) * nfile * fDmax * 1.57;
LCR = sumcnt / normfactor;

%% plot LCR
close all;

figure
semilogy(20*log10(exp_threshold),LCR,20*log10(theory_threshold),theory_LCR)
legend('Measured','Theory')
xlabel('level[dB]')
ylabel('LCR')
title('Level Crossing Rate')
xlim([-40,10])
grid on

figure
plot(exp_threshold,LCR,theory_threshold,theory_LCR)
legend('Measured','Theory')
xlabel('Amplitude')
ylabel('LCR')
title('Level Crossing Rate')

beep

```

図 C.2 LCR_nakada.m

狭帯域信号の振幅累積確率を計算するスクリプト

```

% Import I/Q from RSA and calculate CDF
clear all;

%% variable definitions
dataDir = '../dat/20121024/44/';    % MAT データの格納場所

%% load data

```

```

[iqData, ~] = importMAT_RSA(dataDir);
[nlength, nfile] = size(iqData);
ndata = nlength * nfile;

%% calc theory
theory_x = (0:10/ndata:10)';
theory_cdf = raylcdf(theory_x, 1);

%% calc
exp_cdf = (1/ndata:1/ndata:1)';

input = abs(iqData);
sigma = sqrt(mean(abs(iqData).^2), 1) ./ 2;
input = input ./ repmat(sigma, nlength, 1);

exp_x = sort(reshape(input, ndata, 1));

%% plot LCR
close all;

figure
semilogy(20*log10(exp_x), exp_cdf, 20*log10(theory_x), theory_cdf)
legend('Measured', 'Theory')
xlabel('level[dB]')
ylabel('CDF')
ylim([(10^-4) 1])
grid on

exp_x = 20*log10(exp_x);
theory_x = 20*log10(theory_x);

beep

```

図 C.3 Rayleigh_nakada.m

広帯域信号の振幅累積確率と相関係数を計算するスクリプト

```

% Import I/Q from RSA and calculate CDF
clear all;
close all;

%% load mat file
%filename = input('Input mat file name: ');
filename = 'F:\ota\20120414\ifpulse-2012.04.14.21.18.12.140.mat';
%filename = 'F:\ota\20120410\ifpulse-2012.04.10.22.04.16.755.mat';
load(filename);

```

```

sample_length = length(Y);

%% variable definitions
block_length = 125;
interval_length = 25;
symbol_length = 2 * block_length + interval_length;
symbol_last = floor(sample_length / symbol_length) - 1;
delay_num = 6;
delay_d = 6.25 * 3; % 6.25MHz * 3us

%% search initial offset
figure
plot(abs(Y(1:ceil(symbol_length * 1.5))));
offset = input('Set offset manually: ');

%% acquire data
m1 = zeros(symbol_last, delay_num);
m2 = zeros(symbol_last, delay_num);

for ii = 1:delay_num
    start_m1 = offset + round((ii - 1) * delay_d);
    start_m2 = start_m1 + block_length;
    m1(:,ii) = Y(start_m1:symbol_length:(symbol_last - 1) * symbol_length + start_m1);
    m2(:,ii) = Y(start_m2:symbol_length:(symbol_last - 1) * symbol_length + start_m2);
    %m1(:,ii) = start_m1:symbol_length:(symbol_last - 1) * symbol_length + start_m1;
    %m2(:,ii) = start_m2:symbol_length:(symbol_last - 1) * symbol_length + start_m2;
end

%% calculate correlation
result_corr = zeros(delay_num, delay_num * 2);
for ii = 1:delay_num
    for jj = 1:delay_num
        result_corr(ii,jj) = abs(mean(conj(m1(:,ii)).*m1(:,jj)) ...
            / sqrt(mean(abs(m1(:,ii)).^2)*mean(abs(m1(:,jj)).^2)));
        result_corr(ii,jj + delay_num) = abs(mean(conj(m1(:,ii)).*m2(:,jj)) ...
            / sqrt(mean(abs(m1(:,ii)).^2)*mean(abs(m2(:,jj)).^2)));
    end
end

%% plot CDF
theory_power = (0:1/symbol_last:4)';
theory_cdf = (raylcdf(theory_power, 1));

exp_cdf = (1/symbol_last:1/symbol_last:1)';
exp1_sigma = repmat(sqrt(mean(abs(m1).^2)) / 2, symbol_last, 1);

result_pow1 = sort(abs(m1 ./ exp1_sigma));

% figure
% semilogy(20*log10(result_pow1(:,1)), exp_cdf, 20*log10(theory_power), theory_cdf);

```

```

% temp_th = [20*log10(theory_power) theory_cdf];
% save('theory.dat','temp_th','-ascii','-tabs');
% temp_exp = [20*log10(result_pow1) exp_cdf];
% save('exp_dat','temp_exp','-ascii','-tabs');

% temp_d = double(abs(Y(100:430)));
% temp_dt = (0:1/6250000:(length(temp_d)-1)/6250000)' * 10^6;
% temp_time = [temp_dt temp_d];
% save('timediv.dat','temp_time','-ascii');

```

図 C.4 ifpulse.m

アンテナ放射パターンを計算するスクリプト

```

% Script for calculating antenna pattern
clear all;
close all;

%% binary configuration
bw = 12;    % 12bit binary
binmax = 2 ^ (bw - 1) - 1;

%% AoA configuration
% for data
probe_num = 8;
%probe_num = 16;
probe_offset = 1 / 4;

% for complete antenna pattern
%probe_num = 360;
%probe_offset = 0;

th_probe = 2 * pi / probe_num * ((1:probe_num) - 1 + probe_offset);

%% RX antenna configuration
%rx_num = 4;
%rx_offset = 0;
rx_num = 2;
rx_offset = 1 / 2;

th_rx = 2 * pi / rx_num * ((1:rx_num) - 1 + rx_offset);

d_norm = 0.5; % d_norm = d / lambda

% omni-directive antennas

```

```

r = ones(rx_num, probe_num) / 2;

% cosine
%r = sin(repmat(th_probe, rx_num, 1) - repmat(th_rx', 1, probe_num) + pi / 2);
%r = (r + abs(r)) / 2;

% cardioid
%r = (1 + cos(repmat(th_probe, rx_num, 1) - repmat(th_rx', 1, probe_num))) / sqrt(6);

%% Calc array antenna pattern
th = repmat(th_probe, rx_num, 1) - repmat(th_rx', 1, probe_num);

phi = 2 * pi * d_norm * cos(th);
ant = r .* exp(1j * phi);
binant = round(ant * binmax);

%% Display results
format shortG
disp(binant');
binant_real = real(binant');
binant_imag = imag(binant');

figure
polar(th_probe,abs(sum(ant, 1)))

x_fake = [0 360 0 -360];
y_fake = [1 0 -1 0];
figure
for ii = 1:rx_num
    subplot(rx_num/2,2,ii);
    h_fake = polar(x_fake, y_fake);
    hold on;
    h = polar(th_probe, r(ii,:));
    set(h_fake, 'Visible', 'off');
end
hold off;

```

☒ C.5 antpattern.m