

LSI 微細 Cu 配線における
エレクトロマイグレーション信頼性に関する研究

横川 慎二

電気通信大学大学院電気通信学研究科
博士（工学）の学位申請論文

2008 年 3 月

LSI 微細 Cu 配線における
エレクトロマイグレーション信頼性に関する研究

博士論文審査委員会

主査 鈴木和幸 教授

委員 木村忠正 教授

委員 名取晃子 教授

委員 田中健次 教授

委員 椿美智子 准教授

著作権所有者

横川慎二

2008

A Study of Electromigration Reliability of Copper Interconnects in Advanced LSI

Shinji Yokogawa

Abstract

The interconnect technology in large-scale integration (LSI) is one of the important technologies that determine the performance, characteristics, and components per chip of LSI.

The most important characteristic of the “Planer patent” of Robert Noyce et al., which addresses one of the fundamental concepts of integrated circuits, is the interconnect technology, which involves printing and connecting semiconductor devices on a substrate. This technology is cheap and suitable for mass production, and hence the integration degree has evolved explosively with advancement in the process technology. Today, LSI has been developed to ultra large scale integration (ULSI), which involves device components that exceed hundreds of millions. Every device is connected by interconnects, which are spread around in all directions. Multi-level interconnects are required for these circuit integrations. As of 2007, the multi-level structures have exceeded ten layers. Moreover, the interconnect dimension has been reduced to 100 nm or less due to the evolution in the process technology. Along with the augmentation of the integration degree, the interconnect technology continues to significantly contribute toward the quality and reliability of LSI.

Electromigration was considered to be a significant issue with regard to the reliability of interconnects from that sudden rise period. Because Si substrates with

large heat capacities are used, the nature of radiation of the interconnects that are covered by SiO₂ with high thermal conductivity is outstanding as compared to that of the electric wire usually used. Therefore, this phenomenon allows large current densities and can contribute toward improvement in the speed of integrated circuit functions. However, this significantly high current density induces electromigration, which is the factor that affects the reliability of LSI interconnects.

In order to control the electromigration over a product life cycle period, countermeasures must be adopted in all the phases of LSI product development, that is, action plans are required to maintain a sufficiently low probability of failure in each phase of product development, planning, design, prototype, manufacture, and testing in order to achieve high reliability. For this purpose, it is important to understand the failure mechanisms correctly, and this becomes an important key for establishing a physical and statistical model for reliability prediction. In particular, ensuring reliability is one of the important measures of success in the development of a next-generation LSI process technology.

In this thesis, the reliability focused on electromigration and fundamental technology of highly reliable, narrow damascene Cu interconnects are discussed. The lifetime characteristics and failure mechanisms are clarified based on a reliability test. Moreover, the fundamental physical characteristics are investigated, and a methodology to realize highly reliable interconnects is proposed. Based on this investigation, the advanced process technologies were developed and a comparison between them was performed. The failure mechanisms of Cu interconnect, which are clarified in this study, will contribute toward the development of ULSI process technologies in the future. Moreover, the approach adopted in this study will also be effective in the development of integrated circuits in next-generation nano-devices.

This thesis comprises eight chapters.

Chapter 1, “Introduction,” surveys the role and importance of the interconnect technology for achieving advanced LSI. Moreover, the modeling phase from a failure physics model to a LSI lifetime prediction model is indicated, and the organic link and necessity for each phase are discussed. Based on these relationships, the purpose of this thesis is proposed.

In Chapter 2, “Reliability of narrow Cu interconnect and Failure Mechanism,” the electromigration characteristics that are investigated by the conventional lifetime test are discussed. In particular, based on the comparison with aluminum interconnects that were widely adopted before Cu interconnect, the electromigration characteristics and key points required to improve Cu reliability are proposed.

In Chapter 3, “Void nucleation and growth,” the characteristics of the electromigration-induced void nucleation and growth are discussed based on Blech’s basic electromigration model. The coefficient of diffusion and driving force in Blech’s model are investigated experimentally, and the Cu diffusion mechanism is discussed. In the study of the diffusion coefficient, the dominant diffusion mechanism is investigated experimentally by using the activation energy and crystal structure. Moreover, the atomic driving forces of Cu, electron wind force, and stress-induced backflow, are discussed in detail along with the electromigration threshold current density-length product.

In Chapter 4, “Dimension dependence on electromigration of Cu interconnect,” the void nucleation and growth are investigated with regard to line-width dependence, and the effects of miniaturization based on Blech’s model are discussed. The contributions of the diffusion path of Cu are discussed according to the line-width dependence.

The current waveform, which flows into the interconnect in actual LSI operations, is a pulse current and not a direct-current electricity that is widely used for reliability tests. Hence, in Chapter 5, “Void nucleation and growth behavior under pulse current,” the void nucleation and growth under pulse current are investigated, and the

effect of the electromigration phenomenon on actual LSI operations is discussed.

In Chapter 6, “Electromigration lifetime distribution and failure mode,” the purpose, function, and superiority of the new proposed test structure are shown in order to study the correlation between the failure mode and lifetime distribution. This test structure enables the investigation of the electromigration failure modes of very low cumulative failure probability physically and statistically by using the optical beam-induced resistance change (OBIRCH) method. The relationship between the electromigration lifetime distribution and the results of the physical analysis are discussed.

In Chapter 7, “Advanced interconnect technology to improve electromigration,” the challenges involved in achieving performance and reliability are described based on the development of interconnect technologies for 45 nm and beyond generation, and the novel resistivity measurement technique for the efficient development is proposed. By using this technique, a comparison of the several advanced process technologies is performed, and the efficiency of the technique is discussed. Moreover, the reliability improvement efficiency of the impurity doping to Cu is investigated based on the physical mechanism; further, the directionality and guidelines are proposed for the developments of interconnect technology for 32 nm node and beyond.

In Chapter 8, “Conclusion,” the conclusion of this thesis is summarized along with the challenges involved in the development of a reliable LSI system in the future.

LSI 微細 Cu 配線における エレクトロマイグレーション信頼性に関する研究

横川 慎二

概 要

LSI の配線は、その黎明期から現在まで、LSI の性能や特性、集積度を決定する重要な技術の一つである。

集積回路の基本的なアイデアの一つであるロバート・ノイスらの「プレーナー特許」の最大の特徴は、基板上の半導体素子を、同じく基板上にプリントされた配線で接続したものである。この方法は安価で量産性の高い方法であり、その後の加工技術の進歩に伴って、LSI の集積度を爆発的に進歩させてきた。現在の LSI は、数億を越えるデバイス素子を縦横に張り巡らされた配線で結んだ超大規模集積回路にまで成長している。この回路規模の拡大により、何層もの多層化された配線が必要となってきた。2007 年現在では 10 層を超える多層構造を有するようになってきている。また、加工技術の進化に伴う微細化によって、配線寸法は 100nm 以下まで縮小した。現在、トランジスタ数が 6000 万の LSI においては、総配線長が数百メートル、配線層間を結ぶビア数が 10 億近くまで回路規模が増加している。この規模の増大につれて、LSI の品質・信頼性に対して配線技術が占める寄与がますます大きくなっている。

この LSI の配線について、その勃興期より信頼性上の大きな懸念点として挙げられたのが、エレクトロマイグレーションである。熱容量が大きな Si 基板に近接し、周囲を熱伝導率の高い SiO₂ などで覆われた LSI 配線は、通常用いられる電線や回路基板上の配線と比べて放熱性が格段に優れている。そのため、何

桁も大きな電流密度の電流を流すことが可能となり、集積回路動作の高速化に貢献することが出来る。ところが、この非常に高い電流密度が、LSI 配線独特の信頼性問題であるエレクトロマイグレーションによる故障を誘起する。

LSI 製品が使用を開始して廃棄に至る、いわゆる製品寿命期間に渡って、このエレクトロマイグレーションによる故障が発生するのを抑制するためには、LSI 製品開発の全てのフェイズにおける対策が必要となる。すなわち、製品企画、設計、試作、製造、検査の各段階で、その故障確率を十分に低く保つための施策を作りこむことが信頼性確保のために求められる。そのためには、故障物理メカニズムを正確に把握し、寿命予測のための物理・統計モデルを確立することが重要な鍵となる。特に、次世代の LSI 製造プロセスの技術開発においては、信頼性を確保することがその技術の実現性を左右するといっても過言ではない。

そこで本論文では、先端 ULSI の微細化の鍵となる、加工寸法 100nm 程度の微細なダマシ Cu 配線のエレクトロマイグレーション現象と、高信頼化について論ずる。信頼性試験に基づいて、寿命特性と故障メカニズムについて明らかにした。また、基礎物理特性を調査し、高信頼化を実現する施策について提言した。この提言に基づき、先端プロセス技術の開発ならびに比較検討を行った。本研究により明らかになった Cu 配線の故障メカニズムには、今後の ULSI プロセス技術の開発や微細化の実現に寄与するものと考えられる。また、本研究のアプローチは、今後進展すると言われる次世代の集積回路、ナノデバイスの実現にも有効と考えられる。

本論文は 8 章から構成されている。以下にその概要を述べる。

第 1 章「序論」では、LSI の高集積化を進展させるにおいて、配線技術が果たす役割や重要性を概観し、本研究の背景、目的を明らかにする。また、故障物理モデルから LSI 寿命予測モデルに至るまでのモデル化フェイズを示し、各フェイズの有機的な関係と必要性を示し、これに即して本研究の目的を示す。

第2章「LSI 微細 Cu 配線の信頼性と故障メカニズム」においては、微細なダメージ Cu 配線の信頼性確保の要点と、従来型の寿命試験によるエレクトロマイグレーション信頼性評価について論じる。特に、後者は Cu 配線導入以前のプロセス世代では最も広く採用されている Al 配線との比較に基づき、信頼性開発の要点を提案する。

第3章「ボイドの核形成と成長」においては、Blech のエレクトロマイグレーションの基礎モデルに基づいて、Cu 配線のエレクトロマイグレーションにおけるボイドの核形成と成長について論じる。Blech の基本式における拡散係数と駆動力を、実験的に評価し、拡散メカニズムの基礎特性について検討した結果を示す。拡散係数の検討においては、活性化エネルギーと微細配線の結晶構造に基づいて、支配的な拡散メカニズムを検討する。また、エレクトロマイグレーションによるボイド発生条件である配線長としきい電流密度の評価により、電子風力、及び逆流応力などの原子輸送駆動力について詳細に検討する。

第4章「Cu 配線エレクトロマイグレーションの寸法依存」においては、微細化に伴って劣化するエレクトロマイグレーション寿命を、第3章と同様にボイドの核形成、成長を分離し、配線幅依存性を調査し、Blech のモデルに沿って微細化に伴う特性の変化について議論する。

実際の LSI 稼働条件で配線に流れる電流は直流電流ではなくパルス電流となる。そこで、第5章「パルス電流によるボイド核形成・成長挙動」では、パルス電流下でボイドの発生と成長が受ける影響を評価し、実際に LSI が稼働する条件におけるエレクトロマイグレーション現象について考察する。

第6章「エレクトロマイグレーション寿命分布と故障モード」においては、物理的に分析した故障モードと寿命分布の関係を考察するために開発した新しい Test structure について、その目的、機能、優位性を示す。この Test structure は、Optical beam-induced resistance change (OBIRCH)法を併用することにより、非常に低い累積確率領域の故障を、物理的、統計的に評価することを可能とする。これをもちいて、エレクトロマイグレーション寿命分布を、物理的な故障モードの分析結果と関連付けて議論する。

第7章「エレクトロマイグレーション高信頼化技術」においては、45nm 世代プロセスにおいて問題となっている、微細化に伴う特性、信頼性上の課題を述べ、この課題を解決するためのプロセス技術を研究・開発する際に有効な新しい抵抗率評価手法を提案する。この評価手法を用いて、代表的なプロセス技術の比較検討を行い、手法の有効性を示す。また、Cu への不純物添加による高信頼化技術に関して、故障物理メカニズムに基づく改善効果の検討を行い、32nm 世代以降へつながる高信頼化の方向性と指針を示す。

第8章「結言」においては、本論文の結論をまとめ、今後のシステム LSI の信頼性開発における課題について総括する。

目次

第1章 序論	17
1.1. はじめに	17
1.2. 故障物理と製品故障	20
1.3. エレクトロマイグレーションの基礎故障物理モデル	22
1.4. エレクトロマイグレーションの基礎的な寿命予測	26
1.5. 本研究の目的と論文の構成	27
第1章の参考文献	30
第2章 LSI 微細 Cu 配線の信頼性と故障メカニズム	32
2.1. はじめに	32
2.2. ダマシン Cu 配線のプロセス技術と故障メカニズム	35
2.2.1. ダマシン Cu 配線加工のためのプロセス技術	35
2.2.2. ダマシン Cu 配線における故障メカニズム	37
2.3. 多層ダマシン Cu 配線のエレクトロマイグレーション寿命評価	39
2.3.1. はじめに	39
2.3.2. 実験	40
2.3.3. 結果	43
2.3.4. 考察	52
2.4. 結言	60
第2章の参考文献	62
第3章 ボイドの核形成と成長	66
3.1. はじめに	66
3.2. 実験	67

3.3.	結果と考察	68
3.3.1.	実験結果	68
3.3.2.	サンプルの結晶構造	73
3.3.3.	ドリフト速度に関する分析	75
3.3.4.	Incubation time	75
3.3.5.	ドリフト速度およびしきい電流密度	80
3.4.	寿命におけるボイドの核形成と成長の位置づけ	83
3.5.	Cu/SiN 界面拡散の抑制とその効果	86
3.6.	結言	87
	第3章の参考文献	89
第4章	Cu 配線エレクトロマイグレーションの寸法依存	91
4.1.	はじめに	91
4.2.	実験	93
4.3.	結果と考察	94
4.4.	配線幅依存性の要因と今後の改善への提言	104
4.5.	結言	107
	第4章の参考文献	108
第5章	パルス電流によるボイド核形成・成長挙動	110
5.1.	はじめに	110
5.2.	従来研究と本章の目的	111
5.2.1.	PDC における回復現象	111
5.2.2.	PAC における回復現象	111
5.2.3.	実効電流密度の換算モデル	112
5.2.4.	Cu 配線における従来研究	113
5.2.5.	本章の目的	114
5.3.	実験	114

5.3.1.	Test structure	114
5.3.2.	パルス電流ストレス	114
5.4.	結果	115
5.4.1.	PDC における周波数依存性	115
5.4.2.	1MHz PDC/PAC におけるドリフト速度の平均電流密度依存性	117
5.4.3.	1MHz PDC/PAC における Incubation time の平均電流密度依存性	119
5.4.4.	規格化したドリフト速度の比較	120
5.5.	考察	122
5.6.	結論	124
	第5章の参考文献	125
	第6章 エレクトロマイグレーション寿命分布と故障モード	127
6.1.	はじめに	127
6.2.	従来研究と新規提案 Test structure	128
6.2.1.	Test structure に関する従来研究	128
6.2.2.	統計解析に関する従来研究	128
6.2.3.	故障解析方法に関する従来研究	129
6.2.4.	新規提案サドンデス Test structure	129
6.3.	実験結果	131
6.3.1.	サンプル構造と実験方法	131
6.3.2.	試験時の抵抗変化と判定基準	131
6.3.3.	寿命分布	133
6.3.4.	OBIRCH による故障解析	135
6.3.5.	STEM による断面解析	136
6.4.	考察	138
6.4.1.	従来 Test structure とサドンデス Test structure の比較	138

6.4.2.	ダマシン Cu 配線のエレクトロマイグレーション故障モード	139
6.4.3.	寿命分布のパラメータ推定比較	141
6.4.4.	サドンデス Test structure における課題	146
6.5.	結言	147
第 6 章の参考文献		149
第 7 章 エレクトロマイグレーション高信頼化技術		151
7.1.	はじめに	151
7.2.	先端配線プロセスにおける課題	153
7.2.1.	先端配線プロセス技術	153
7.3.	抵抗率－信頼性評価手法の提案	158
7.3.1.	はじめに	158
7.3.2.	実験および理論	159
7.3.3.	規格化残留抵抗率による配線評価	162
7.3.4.	抵抗率－信頼性のトレードオフ特性比較	165
7.3.5.	各配線技術の拡散経路への影響	168
7.3.6.	7.3.のまとめ	174
7.4.	Cu 合金化によるダマシン Cu 配線の信頼性改善	175
7.4.1.	はじめに	175
7.4.2.	実験方法	175
7.4.3.	合金化によるエレクトロマイグレーション特性の改善	176
7.4.4.	まとめ	187
7.5.	結言	187
第 7 章の参考文献		188
第 8 章 結言		194
8.1.	はじめに	194
8.2.	エレクトロマイグレーション改善プロセス開発	195

8.3.	エレクトロマイグレーション設計技術	196
8.4.	エレクトロマイグレーション信頼性保証	199
8.5.	最後に	200
	第8章の参考文献	203
	関連・参考文献の印刷公表の方法及び時期	205

略語一覧

LSI	: Large scale Integration (大規模集積回路)
ULSI	: Ultra-Large Scale Integration (超大規模集積回路)
OBIRCH	: Optical Beam-Induced Resistance Change
hp	: Half pitch (配線間隔がフルピッチ規格の半分)
CMOS	: Complementary metal-oxide-semiconductor
FEOL	: Front-end of line
SOI	: Silicon on insulator
High- k	: 高誘電率絶縁膜のこと
Low- k	: 低誘電率絶縁膜のこと
BEOL	: Back-end of line
TDDB	: Time dependent dielectric breakdown (経時絶縁膜破壊)
FET	: Field effect transistor (電界効果トランジスタ)
NBTI	: Negative bias temperature instability
ITRS	: International Technology Roadmap for Semiconductor
MPU	: Micro Processing Unit (中央演算処理装置)
ASIC	: Application specific integrated circuit (特定用途向集積回路)
RIE	: Reactive ion etching
PVD	: Physical vapor deposition (物理的気相成長)
CVD	: Chemical vapor deposition (化学的気相成長)
CMP	: Chemical mechanical polishing (化学的機械研磨)
ECP	: Electrochemical Plating (電界めっき)
SIV	: Stress-induced voiding
ILD	: Inter-layer dielectric
SU	: Stress unit
DMM	: Digital multi meter
GP-IB	: General purpose interface bus

STEM	: Scanning transmission electron microscope
IR	: Infrared (赤外光)
FIB	: Focused ion beam
TEG	: Test element group (和製英語)
SEM	: Scanning electron microscope
FSG	: Fluorinated SiO ₂ (フッ素含有 SiO ₂)
EBSD	: Electron back-scatter diffraction
DC	: Direct current (直流電流)
PDC	: Pulsed direct current (直流パルス電流)
PAC	: Pulsed alternating current (交流パルス電流)
RMS	: Root mean square
AC	: Average current
ACR	: Average current recovery
TAT	: Turn around time
OBIC	: Optical beam induced current
DFM	: Design for manufacturing
NRR	: Normalized residual resistivity
PSAB	: Plasma-CVD self aligned barrier
ALD	: Atomic layer deposition
RRR	: Residual resistivity ratio
SIMS	: Secondary Ionization Mass Spectrometer
EDX	: Energy dispersive X-ray spectroscopy

元素記号等一覧

Si	: Silicon (ケイ素、シリコン、原子番号 14 の元素)
SiO ₂	: 二酸化ケイ素

Cu	: Copper (銅、原子番号 29 の元素)
Al	: Aluminum (アルミニウム、原子番号 13 の元素)
Ta	: Tantalum (タンタル、原子番号 73 の元素)
TaN	: 窒化タンタル
SiN	: 窒化ケイ素
SiH ₄	: silane、水素化ケイ素のこと
CuSi _x	: Cu シリサイド
SiCN	: 炭素含有シリコン窒化膜
SiC	: 炭化シリコン
Pd	: Palladium (パラジウム、原子番号 46 の元素)
Co	: Cobalt (コバルト、原子番号 27 の元素)
W	: Tungsten (タングステン、原子番号 74 の元素)
CoWP	: Cobalt-Tungsten-Phosphorus
CuAl	: Copper-aluminum
CoWB	: Cobalt-Tungsten-Boron
Ni	: Nickel (ニッケル、原子番号 28 の元素)
Sn	: Tin (スズ、原子番号 50 の元素)
Ti	: Titanium (チタン、原子番号 22 の元素)
Ag	: Silver (銀、原子番号 47 の元素)
Mn	: Manganese (マンガン、原子番号 25 の元素)
Mg	: Magnesium (マグネシウム、原子番号 12 の元素)
p-NH ₃	: Plasma-ammonia

第 1 章 序論

1.1. はじめに

システム LSI は、携帯電話やパソコンなどのパーソナル製品から、企業用高性能サーバーや局用の大規模ルータなど、モバイル&ブロードバンド時代を導く最先端情報機器に広く用いられている。ユビキタス・コンピューティング (Ubiquitous computing) という概念が示すように、われわれの生活にそれらの最先端情報機器が深く浸透し、恩恵をもたらしている。この情報社会の基盤を支えるものとして、システム LSI にはより高度な機能と、多様化した信頼性が要求されている。

その最も顕著な例が、自動車電装 LSI である。自動車事故による死亡・重症事故の 7 割が運転者の認知遅れに原因することから、画像認識技術を用いて危険を検知し、運転者に警報を発したり、衝突を回避する制動を自動的に行うなどの予防安全システムの装備が進んでいる。一瞬とも呼べる非常に短い処理時間で危険を正確に検知するためには、膨大な画像情報を高速に処理する必要がある。すなわち、大量かつ高速な処理を行うことが可能な、先端プロセスによって製造されたシステム LSI の適用が求められる。一方、その目的を達するためには、最終製品である自動車の製品寿命期間に渡って、搭載された LSI が確実に正常動作しなければならない。そのため、非常に高い機能と高い信頼性が同時に要求されることになる。この二つの要求を満足させるためには、プロセス要素技術開発、インテグレーション、設計技術開発、検証技術開発、分析・評価技術開発、量産技術開発の各フェイズにおいて、高信頼性を実現するための技術開発が必須となっている。

この高い性能要求に対して、システム LSI 製造プロセスの進化は、従来の半導体技術開発の流れを留める事無く、更に加速されている。MPU/ASIC などのロジック集積回路のテクノロジーノード (各社のプレス・リリースや学会発表

で用いられる、微細化世代をあらわす呼称)、いわゆるロジックノードは、3年で前世代の70%のサイズに縮小されている。すなわち、3年後には同じ面積のチップ上に、倍の規模の集積回路を実現することが出来るようになる。

現在、1つのパッケージに2つのプロセッサコアを集積したデュアルコアMPUを実装したPCが一般になりつつある。デュアルコアMPUの2つのプロセッサコアは機能的に独立しているため、それぞれ他のプロセッサコアに影響されることなく動作することができる。そのため、複数のプロセッサコアで処理を分担し、その分だけ情報処理性能を上げることができる。2次キャッシュなどの周辺の機能は2つのコアで共有する場合が多く、1つのプロセッサコアが読み込んだデータを別のプロセッサコアが流用できるなど、性能面でのメリットもある。一方、デュアルコアMPUのデメリットとして、1個の製品にほぼフルセットのプロセッサコアを2個詰め込むという性質上、どうしてもプロセッサのサイズは大きくなり、製造コストは高くつく。これを解決するためにも、チップ製造プロセスの微細化要求は従来以上に高いものとなっている。

ロジックノードの呼称の定義は、最下層配線の最小ピッチの半分、ハーフピッチが用いられる。2007年現在では65nmノードプロセスが量産段階にある。また、45nmノード世代は要素技術開発から量産技術開発に軸足を移しつつあり、2008年中には生産開始される見込みである。また、最新技術としての32nmノードプロセスは、2010年頃の量産開始を予定して要素技術開発が進められている。

この加工寸法の微細化とデバイスの高性能を両立させるために、従来用いてきたものとは異なる、新構造、新材料の導入が進んでいる[1]。従来利用されてきたシリコン Complementary metal-oxide-semiconductor (CMOS) の縮小化ではなく、新しい構造、新しい材料による非古典的 (Non-classical) CMOS デバイスを導入し、加工技術やデバイス性能の限界を打破しようとする試みである。Front-end of line (FEOL) における Silicon on insulator (SOI) 技術、High-*k* 絶縁膜技術、Metal gate 技術などや、Back-end of line (BEOL) における Low-*k* 絶縁膜技術、そして Cu 配線技術などがそれにあたる。これらの材料の導入により、縮

小化に伴う問題点（チャンネル長縮小による短チャンネル効果、ゲート絶縁膜薄膜化に伴うゲートリークの増大、ゲート電極と High-*k* 絶縁膜の界面空乏層、配線間容量の増大、配線遅延の増大）に対する改善が試みられている。

一方、性能向上のための新材料の採用は、従来の材料とは異なる故障メカニズムを誘発する。場合によっては故障率曲線が従来よりも早く摩耗故障期に差し掛かる傾向が表れ始めた。そこで、製造プロセスの完成度の指標として、長期信頼性が以前にも増して着目されている。また、プロセス技術の先端性と信頼性がトレードオフの関係にあり、長期信頼性が先端システム LSI の性能を決定する重要な要素となっている。

摩耗故障期の信頼度を評価・推定する際には、Test structure（テスト構造）を用いた信頼性試験と、試験結果に基づく寿命予測が行われる。特定の現象を適切に加速、再現させるためである。その被評価単位となるセグメントは 1 個のトランジスタや、異層配線間を接続する Via などである。したがって、LSI の微細化が進められるほど、必然的にセグメントも小さくなる。いいかえると、着目する故障メカニズムも、 μm オーダーから nm オーダーの、非常にミクロな現象へと移行する傾向にある。

一方、微細化による LSI の高集積化は、劣化の対象となるセグメント数を爆発的に増加させ続けている。現在のシステム LSI は、数億から数十億個のセグメントによって構成される。これらセグメントの一つ一つが、全て正常に動作して始めて LSI としての機能が達成される。システム LSI の信頼度は、それらの総体的挙動により決まる。

微細化・高集積化の進展は、セグメントと LSI 故障間のサイズや規模の乖離を、更に増大させている。その中で LSI の正確な信頼度予測を行うには、二つの局面からのアプローチと、その統合が必要となる。一つ目は、ミクロな現象論としての故障物理現象の詳細な把握である。セグメント特性の経時変化は、nm オーダーの物理変化によって生じるものである。信頼度推定に使用するストレス依存性モデルやそのパラメータは、この故障物理現象に強く依存するものである。したがって、加速試験結果から実使用条件を外挿する際の推定精度を

確保するには、故障物理現象の詳細な把握が必須である。二つ目は、マクロな統計論としての寿命分布の把握である。システム LSI は数億から数十億個のセグメントによって構成されたシステムであるため、均一にストレス加速することが難しい。そのため、セグメントを模した Test structure を用いて加速試験を行うのが一般である。ところが、数億から数十億のセグメントを加速試験することは、技術的・コスト的に不可能である。したがって、セグメント単位の寿命分布とシステム信頼性理論を用いたシステムレベルの信頼度予測が必要となる。また、その検証を行う技術も重要である。

1.2. 故障物理と製品故障

LSI において摩耗故障期の信頼度を議論する際には、故障物理現象のモデル化と、それを適切に再現し加速試験するための Test structure、評価システム、検出方法、さらに得られたデータを分析するための統計モデルなどが必要となる。この体系を図 1-1 に示す。

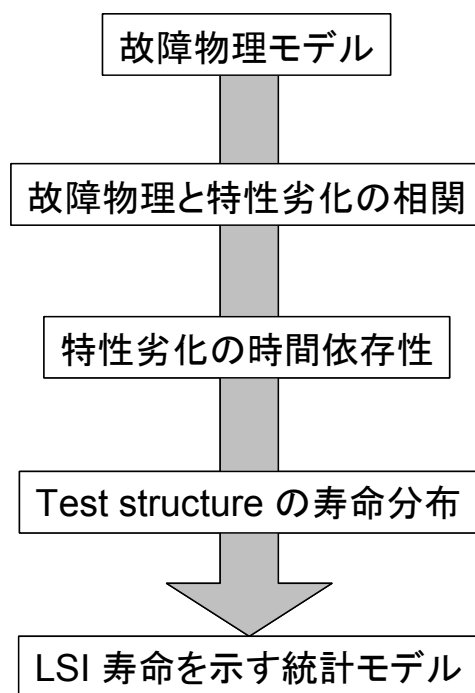


図 1-1 故障物理メカニズムと LSI 寿命を結ぶモデル化フェイズ

図 1-1 の上位にある故障物理モデルは、Si や Cu などの原子サイズの現象をモデル化したものである。その挙動は電子顕微鏡や原子間力顕微鏡などの分析手法で観察しうる。モデルが示す挙動は故障メカニズムを説明するものであって、基本的には素子特性の変化や寿命を直接説明するものではない。ただし、故障物理モデルによって、加速試験パラメータや寿命分布パラメータが決まるものも数多くある。一方、下位にある統計モデルは多数の素子のマクロな挙動を説明するものである。また、素子特性の挙動を集積化された回路の挙動に置き換える際には、統計的考察が必須となる。ここで用いられる寿命分布型やパラメータは、物理メカニズムの特性を示唆するものである。ただし、その推定値のみから元になる物理メカニズムを特定することは出来ない。すなわち、両者は相互補完的な役割を有する。

前述のように、最近のシステム LSI における新材料の導入や微細化は、故障物理メカニズムや故障モードに変化をもたらした（たとえば、[2]）。ゲート絶縁膜の経時破壊（Time dependent dielectric breakdown: TDDB）の Soft breakdown 化はゲート絶縁膜の破壊判定を従来と異なるものとし、Breakdown 時点と LSI 故障時点が一致しない場合が生じている。また、PMOS FET で顕著となる Negative bias temperature instability (NBTI) 現象は、トランジスタが On している状態にあるだけで劣化が進行するという点で驚異的な問題である。ただし、標準的な NBTI の試験は一定電圧で行われており、実際の LSI 動作とは異なる条件である。そのため最近では、パルス・ストレス電圧の挙動について検討が進んでいる。

一方、統計モデルによる予測の重要性も高まってきている。Test structure におけるセグメント（故障メカニズムの主体となる素子単位）数と、LSI レベルのセグメント数の差は広がり続けている。数千万個のトランジスタ、数億個の Via ホールの巨視的な挙動により LSI レベルの寿命の挙動が決まるため、微細化が進むほど故障物理モデルの統計的取り扱いの重要度が増すことになる。最近では、トランジスタレベルのゲート酸化膜の Soft breakdown 現象に基づいて得られる LSI レベルの特性変化の予測妥当性を検証する報告[3]や、動作条件とレイアウト解析から LSI レベルのエレクトロマイグレーション寿命を正確に予想する

ツールに関する報告[4]も見受けられる。ただし報告数は十分とは言えず、今後の研究の発展、特にシステム信頼性理論の導入などにより、より正確な信頼度予測の発達が期待される。

以上の「原因」と「結果」を結びつけるには、図 1-1 に示される数段階の現象の把握、モデル化が必要となる。また、それを正確に、効率よく行うための理論や評価方法（Test structure、被測定特性、測定技術）が必要かつ重要である。本論文では、ダマシ Cu 配線のエレクトロマイグレーション現象について、新しい評価方法を導入・提案し、その信頼性を論じるものである。

次節において、伝統的なエレクトロマイグレーションの物理モデルと、従来から多用されている寿命予測モデルについて概要を示す。これに基づいて、本論文の目的と構成を示す。

1.3. エレクトロマイグレーションの基礎故障物理モデル

LSI の発明から今日まで、配線技術の占める役割は常に大きいものである。

2000 年のノーベル物理学賞は「集積回路の発明」を称えてジャック・キルビーらが受賞した。これは、彼がテキサス・インスツルメンツ社にて発明した、半導体回路を一つのチップ上に形成するというアイデアに対するものである。このアイデアに関する特許群は「キルビー特許」と呼ばれ、半導体集積回路の基本特許の一つである。ところが、現在の LSI の構造は、同時期に発明、特許出願されたもう一つの基本特許、フェアチャイルド社のロバート・ノイスらの「プレーナー特許」に近いものが大勢である。この 2 つの特許の差は、配線構造の違いにある。

キルビーがはじめて集積回路の試作品を作成した際、その有効性を早急に実証するために、個々のコンポーネントを、金線を用いて（手で）接続する方法をとった。この方法は、集積回路の概念を実証することは十分可能であったが、複雑な集積回路を大量生産する技術とは言えなかった。大量のデバイスをチップ上で一度に機能させる、「数の難題」と呼ばれた集積回路の実現のハードルに

対する現実的な解ではなかったためである。一方でノイスらは、基板上にプリントされた金属配線というアイデアを提示した。この方法は、チップ上に複雑な集積回路を実現することが可能な上に、安価で量産性の高い方法であった。

この配線技術に関する記述の差によって、最終的な結論としてプレーナー特許に優先権が与えられた[†]。

現在では、基板にプリントされた金属配線は 10 層を超える多層構造を有するようになっている。加工技術の進化に伴う微細化によって、配線寸法は 100nm 以下まで縮小した。トランジスタ数が 6000 万の LSI において、総配線長は数百メートル、配線層間を結ぶ Via 数に至っては 10 億近くにもなる。この規模の増大によって、LSI の品質・信頼性に対して配線技術が占める寄与もますます大きくなっている。

この LSI の配線について、その勃興期より信頼性上の大きな懸念点として挙げられたのが、エレクトロマイグレーションである。熱容量が大きな Si 基板に近接し、周囲を熱伝導率の高い SiO₂ などで覆われた LSI 配線は、通常用いられる電線や回路基板上の配線と比べて放熱性が格段に優れている。そのため、何桁も大きな電流密度の電流を流すことが可能となり、集積回路動作の高速化に貢献することが出来る。ところが、この非常に高い電流密度が、LSI 配線独特の信頼性問題であるエレクトロマイグレーションによる故障を誘起することになった。

エレクトロマイグレーションは金属または半導体原子が、電子流との衝突による運動量交換を駆動力として移動する現象である。その駆動力、いわゆる電子風力は、原子拡散方程式において一様に、一方向に作用する外力として理論

[†]実際には、判決が提示される頃には半導体集積回路市場は爆発的に成長し、判決が下らないうちに十数社のエレクトロニクス社による協議によって、ライセンスを供与しあうことが決定された。また科学界はキルビーとノイスが集積回路の発明に関する栄誉を分かちつに価値するという考えを承認し、2 人は共に国民科学賞を受賞した。以上は参考文献[5]に詳しい。

的に表現されている。この現象を定性的によく説明するモデルとして、バリステックモデル[6]がある。このモデルは、かなりよく実験結果に一致する。そのため、古典論的にもかかわらず、現在でもエレクトロマイグレーション議論の出発点となっている。

電荷を持つ 1 個の不純物原子が金属格子中に存在しているとき、この不純物原子が受け取る外力 F には、静電気力 F_{es} と電子風力 F_{wd} の二つがある。電子風力は、電子との衝突によって不純物原子が受け取る単位時間当たりの運動量である。電子の平均速度を V_e 、平均衝突時間を τ 、質量を m とすると、電子 1 個あたりの単位時間当たりの運動量損失は mV_e/τ となる。したがって、1 個の不純物原子が単位時間に受け取る運動量、すなわち電子風力は式(1-1)にて与えられる。

$$F_{wd} = n \cdot \frac{mV_e}{\tau N} \quad (1-1)$$

ここで、 n は電子密度、 N は不純物密度である。電流密度 $j = -neV_e$ 、電界 E 、電気抵抗率 $\rho = E/j$ を用いて式(1-1)を書き換えると、

$$F_{wd} = -\frac{m}{eN\tau} \cdot \frac{E}{\rho} = -\kappa \frac{E}{\rho} \quad (1-2)$$

有効電荷 Z^* は次式で定義される。

$$F = F_{es} + F_{wd} = \left(1 - \frac{\kappa}{\rho}\right) Z \cdot eE = Z^* eE \quad (1-3)$$

一様な外力 F のもとでの拡散的ランダム運動においては、Nernst-Einstein の関係式が成り立つ。これより、ドリフト速度は以下のように示される。

$$v_d = \frac{D}{kT} \cdot F = \frac{D}{kT} Z^* e \rho j \quad (1-4)$$

ここで、 D は拡散係数、 k はボルツマン係数、 T は絶対温度である。

実際の配線においては、電子風力に加えて、エレクトロマイグレーション誘起の内部応力勾配が発生することが知られている。この力は電子風力と逆方向に生じ、原子輸送を妨げる力となる。この現象を発見した Blech は、式(1-4)を修正し、以下のモデル式を示した[7]。

$$v_d = \frac{D}{kT} \left(Z^* e \rho j - \Omega \frac{\Delta \sigma}{\Delta x} \right) \quad (1-5)$$

ここで、 Ω はMetalの原子体積、 $\Delta \sigma$ は応力勾配、 Δx は応力勾配の両端の距離で、通常は配線長に一致する。この式から明らかのように、ある条件では原子の移動速度は0、すなわち実効的には移動しないことが伺える。この条件は以下の式(1-6)にて示される。

$$Z^* e \rho j - \Omega \frac{\Delta \sigma}{\Delta x} = 0 \quad (1-6)$$

式(1-6)で変数は j と Δx のみであるため、電流密度と配線長の積は定数となりうる。Blech はこれを実験によって実証し、エレクトロマイグレーション発生のおしきい条件となる電流密度と配線長の積を **Critical product** と名づけた。通常、 Δx を配線長 L に変えて、以下の形で表される。

$$(jL)_{th} = \frac{\Omega \Delta \sigma}{Z^* e \rho} \quad (1-7)$$

着目する配線の配線長と電流密度の積が、式(1-7)よりも小さい条件では、エレクトロマイグレーションによる原子輸送は実効的には発生しないため、他の故障モードを無視しうるならば、寿命は無限大となる。したがって、信頼性保証において非常に重要な特性といえるが、無限大は実験によって観測できないため、寿命試験によって評価できるものではない。

一般に、配線金属種に依らず式(1-5)が成り立つ。すなわち、エレクトロマイグレーションの基本駆動力を示すモデルである。ただし、現在に至っても電子風力による1個の原子輸送の軌跡を観察するには至っていない。観測されうる実験事実は、極めて多数の原子の集団的挙動によるものである。具体的には、多数原子の移動によって発生するボイドの核形成、及びその成長を観測することが可能である。

ところが、実際にはボイドの核形成も、その成長も、直接「故障」をあらわす状態変化ではない。ボイドに起因する抵抗値の変化に伴って、はじめて回路動作異常が発生する。そこで、一般的には抵抗値増加を故障と定義した場合の「寿命」に関する信頼性試験が行われ、それによる寿命予測が実施されている。

1.4. エレクトロマイグレーションの基礎的な寿命予測

通常、エレクトロマイグレーション試験は、前述のように、予め定められた判定基準を超える抵抗値増加を故障と定義し、ストレス加速条件下の Test structure の抵抗変動を常時モニターすることによって行う。ストレス加速は、高温による温度加速と、定電流の印加による電流密度加速が用いられる。これは、式(1-4)に示されるように、原子移動が拡散定数と電子風力の積により表されること、すなわち温度と電流密度をパラメータに持つことに基づいている。

実際の寿命を予測するためには、複数の温度、複数の電流密度の組合せを変えて寿命試験を行い、ストレスに対する寿命の変化をモデル化し、このモデルを用いて実使用条件における寿命を外挿予測する。現在、広く用いられている

寿命予測モデルは Black によって提案された経験式[8]である。

Black の経験式は、加速試験におけるメジアン寿命に基づいて実用的に作成された式であり、半ば経験的に寿命予測に用いられてきた。電流密度と雰囲気温度を与えることにより、簡単に配線寿命を求めることが出来るため、現在の LSI 設計技術の中での事実上の標準となっている。この式は一般に以下のように示される。

$$t_{50} = \frac{A}{j^n} \exp\left(\frac{\phi}{kT}\right) \quad (1-8)$$

t_{50} はメジアン寿命、 A は定数、 j は電流密度、 n は電流密度依存性係数 (Black がこの式を発表した当初 $n=2$ としていた[8]。その後 2 以外の値が観測されるにつれて一般的に n と表記されるようになった)、 ϕ は寿命の活性化エネルギー、 k はボルツマン定数、 T は絶対温度を示す。すなわち式(1-8)はメジアン寿命の電流密度と温度に関する依存性を表現したもので、前者に関してはべき乗則を適用し、後者についてはアレニウス則を適用しており、エレクトロマイグレーション現象を表す物理現象を直接モデル化したものではない。

1.5. 本研究の目的と論文の構成

本論文では、1.2 から 1.4 に述べた背景に基づいて、微細なダマシ Cu 配線のエレクトロマイグレーション信頼性に関し、その故障物理挙動を解明した結果と、それに基づいて開発した寿命予測手法、配線性能の評価手法について、その理論的構成と応用について考察する。

第 2 章「LSI 微細 Cu 配線の信頼性と故障メカニズム」においては、先端 ULSI の微細化の鍵のひとつである、微細なダマシ Cu 配線の信頼性確保の要点と、従来型の寿命試験によるエレクトロマイグレーション信頼性評価について論じる。特に、後者は Cu 配線導入以前のプロセス世代では最も広く採用されている

Al 配線との比較に基づき、信頼性開発の要点を提案する。

第3章「ボイドの核形成と成長」においては、故障物理モデルに基づいて Cu 配線のエレクトロマイグレーションの基礎物理特性を評価・分析した結果を論じる。すなわち、Blech の基本式における拡散係数と駆動力を実験的に評価し、拡散メカニズムの基礎特性について検討した結果を示す。拡散係数の検討においては、微細配線の結晶構造に基づく拡散経路の分解と活性化エネルギーにより、支配的な拡散メカニズムを検討する。また、Blech のエレクトロマイグレーションしきい条件の評価により、電子風力、及び逆流応力などの原子輸送駆動力について詳細に検討する。

第4章の「Cu 配線エレクトロマイグレーションの寸法依存」においては、微細化に伴って劣化するエレクトロマイグレーション寿命を、第3章と同様にボイドの核形成、成長を分離し、故障物理モデルに基づく検証、議論を行う。ここでは、Cu と絶縁膜との界面、Cu とバリアメタルとの界面、結晶粒界、Bulk 内の各拡散経路の寄与が配線幅に応じて変化すること、またその検証方法について議論する。ここで得られた寸法依存性からは、今後の LSI の微細化に対して、エレクトロマイグレーション特性がどのように変化してゆくか、さらに劣化を回避、改善するための技術開発方針としてどのような手段をとるのが妥当かを議論する。

実際の LSI 稼働条件で配線に流れる電流は、一定の直流電流ではなくパルス電流である。そこで、第5章「パルス電流によるボイド核形成・成長挙動」では、パルス電流下でボイド核形成とその後の成長などの基礎物理特性が受ける影響を評価し、実際の稼働条件でのエレクトロマイグレーション現象予測について考察する。通常、LSI の設計時には、一定電流によって行われたエレクトロマイグレーション信頼性試験の結果に基づいて、電流値の制限を設けるのが一般的である。Al 配線の従来研究では、パルス電流ストレスを印加した際に観測される寿命は一定の直流電流によって観測される寿命よりも長くなることが報告されている。本論文では、これまでに報告例のないダマシ Cu 配線に関して、寿命ではなくエレクトロマイグレーションの物理特性としてのボイド核形成と

成長挙動について着目した実験とモデル化を検討する。

第6章「エレクトロマイグレーション寿命分布と故障モード」においては、物理的に分析した故障モードと寿命分布の関係を考察するために開発した新しい Test structure について、その目的、動作原理、優位性を示す。この Test structure は、非破壊分析手法である Optical Beam-Induced Resistance Change (OBIRCH)法[9]を併用することにより、信頼性保証の上で最も重要である非常に低い累積確率領域の故障を、物理的にも統計的にも評価することが可能となる。これをもちいて、エレクトロマイグレーション寿命分布を、物理的な故障モードの分析結果と関連付けて議論する。

第7章「エレクトロマイグレーション高信頼化技術」においては、45nm ノード世代において問題となっている、微細化に伴う特性、信頼性上の課題を述べ、この課題を解決するためのプロセス技術を研究・開発する際に有効となる、新しい配線抵抗率の評価手法を提案する。この評価手法を用いて、代表的なプロセス技術の比較検討を行い、手法の有効性を示す。また、Cu への不純物添加による高信頼化技術に関して、故障物理メカニズムに基づく改善効果の検討を行い、32nm ノード世代以降へつながる高信頼化の方向性と指針を示す。

第8章「結言」においては、本論文の結論をまとめ、今後のシステム LSI の信頼性開発における方向性に関する提言を行う。特に、微細化に伴って更に信頼性上の懸念が増加するエレクトロマイグレーションに対して、その改善のためのプロセス技術、設計技術、信頼性保証技術の三つの視点から、それぞれの技術開発の方向性に対する提言を行う。

第 1 章の参考文献

- [1] ITRS Roadmap: <http://strj-jeita.elisasp.net/strj/>.
- [2] 故障物理研究委員会; 「平成18年度故障物理研究委員会研究成果報告書 ー次世代技術ロードマップと信頼性課題ー」, 財団法人日本電子部品信頼性センター (2007).
- [3] P.W. Mason, A.J. La Duca, C.H. Holder, M.A. Alam, and D.K. Hwang; “A Methodology for Accurate Assessment of Soft-Breakdown Gate Oxide Leakage and The Reliability of VLSI Circuits”, Proc. of 2004 International Reliability Physics Symposium, pp.430-434 (2004).
- [4] M. Gall, C. Oh, H. Haznedar, A. Grinshpon, V. Zolotov, P. Ku, R. Panda, E. Demircan, J. Müller, P. Justison, K. Ramakrishna, S. Thrasher, R. Hernandez, M. Herrick, R. Fox, B. Boeck, and H. Kawasaki; “Chip-Level Electromigration Reliability for Cu Interconnects”, Proc. of 7th Int. Conf. on Stress Induced Phenomena in Metallization, pp.73-84 (2004).
- [5] T.R. リード; 「チップに組み込め!」, 草思社 (1986).
- [6] H.B. Huntington and A.R. Grone; “Current-induced Marker Motion in Gold Wires”, *J. Phys. Chem. Solids*, Vol.20, pp.76-87 (1961).
- [7] I.A. Blech; “Electromigration in thin aluminum films on titanium nitride”, *Journal of Applied Physics*, Vol.47, pp1203-1208 (1976).
- [8] J.R. Black; “Electromigration -A Brief Survey and Some Recent Results-”, *IEEE Trans. Electron Devices*, Vol. ED-16, No.4, pp.338-347 (1969).
- [9] K. Nikawa and S. Inoue; “Detection and characterization of failures and defects in LSI chips by optical beam induced resistance changes (OBIRCH)”, DRIP (Defect Recognition and Image Processing in Semiconductors) VII, Templin, 1997/9/7, Proc. DRIP VII, Inst. Phys. conf. series No. 160, Inst. Physics Publ., Bristol and

Philadelphia, pp. 37-46 (1998).

第2章 LSI 微細 Cu 配線の信頼性と故障メカニズム

2.1. はじめに

IBM による 1997 年の Cu 配線プロセス実用化の発表[1]は、半導体各メーカーに衝撃を与え、一斉に追撃が始まった[2][3]。2000 年には、主要な学会における配線技術開発の主役の座を Cu 配線が占めるようになった。その後の先端ロジックプロセス開発においては、Cu 配線のみが開発対象となり、今日に至っている。

表 2-2 に半導体技術の国際ロードマップ International Technology Roadmap for Semiconductors (ITRS) 2006 年度版 update[4]に記された、年度毎に実現が要求される配線の寸法と層数、配線間容量と許容最大電流密度を示す。許容最大電流密度のみは、社団法人電子情報技術産業協会の半導体技術ロードマップ専門委員会 2006 年度報告に示された、ITRS2006 年度版 update の配線性能要求を元に算出されたものである。示された寸法は、ほぼ 3 年毎に 0.7 倍に縮小されている。要求される電流密度はかつて加速試験条件として用いられていた領域に入っている。この要求値は全て Cu 配線を前提として定められていることから、先端プロセスの実現において、Cu 配線はなくてはならない技術であるといえる。

表 2-1 CMOS テクノロジーロードマップ (ITRS2006 update)

Year	2005	2006	2007	2008	2009	2010	2011	2012	2013
M/A hp	80	70	65	57	50	45	40	36	32
M levels	11	11	11	12	12	12	12	12	13
M1 hp	90	78	68	59	52	45	40	36	32
k_{eff}	3.1-3.4	3.1-3.4	2.7-3.0	2.7-3.0	2.5-2.8	2.5-2.8	2.5-2.8	2.1-2.4	2.1-2.4
k_{bulk}	2.6-3.0	2.6-3.0	2.3-2.7	2.3-2.7	2.1-2.4	2.1-2.4	2.1-2.4	1.8-2.1	1.8-2.1
J _{max-wire}	0.891	1.374	2.080	3.076	3.878	5.146	6.179	6.456	8.078

Year	2014	2015	2016	2017	2018	2019	2020
M/A hp	28	25	22	20	18	16	14
M levels	13	13	13	14	14	14	14
M1 hp	28	25	22	20	18	16	14
k_{eff}	2.1-2.4	1.9-2.2	1.9-2.2	1.9-2.2	1.6-1.9	1.6-1.9	1.6-1.9
k_{bulk}	1.8-2.1	1.6-1.9	1.6-1.9	1.6-1.9	1.4-1.7	1.4-1.7	1.4-1.7
$J_{\text{max-wire}}$	10.576	11.408	14.743	15.410	18.041	22.324	27.350

M/A hp: MPU/ASIC 1/2 Pitch [nm] (Uncontacted Poly)

M levels: Number of metal levels

M1 hp: Metal 1 wiring 1/2 Pitch [nm]

k_{eff} : Interlevel metal insulator –effective dielectric constant (κ)

k_{bulk} : Interlevel metal insulator –Bulk dielectric constant (κ)

$J_{\text{max-wire}}$: Average current density of wire [MA/cm²]

金属材料としての Cu と Al を比較すると、Cu のほうが Al よりも微細化に適した性質を有している。表 2-2 に Cu と Al のバルク材料としての金属学的特性の比較を行った結果を示す。

大きな長所は三点ある。第一に、Cu は Al に比して抵抗率が 3 割ほど低い。微細化に伴う配線断面形状の縮小は、単位長さあたりの抵抗値を増大させるため、抵抗率の低い材料を用いることが望ましい。第二に、Cu の熱伝導率は Al のそれよりも高い。これは、大きな電流を印加した際のジュール発熱の局部集中が起りにくいことを示しており、それによる配線抵抗の増加や、エレクトロマイグレーションの加速を抑えることが出来る。第三に、拡散係数や有効電荷などの物性値の比較から、Cu のほうが Al よりもエレクトロマイグレーション耐性に優れると考えられる。拡散係数で 9 桁、有効電荷数で数分の 1 という物性値は、原子輸送を鑑みた際に非常に有利な特性である。活性化エネルギーについては、Bulk 拡散の値と配線寿命では大きく異なるという報告があり[5]、本論文の焦点の一つとして検証してゆく。

一方で、当初 Cu 配線については、いくつかの短所も指摘されていた。Al イオンと比較して Cu イオンは容易に層間膜中に拡散すること、この金属イオンが Si 基板に到達したとき、Tr.特性に重大な影響を与えることが既に知られていた。また、Cu 薄膜は Al 薄膜のように反応性イオンエッチング (Reactive ion etching : 以下、RIE) 法による加工が出来ないため、それまで Al 配線で培ってきた技術をそのまま転用することは困難と予想されていた。

そこで、上記の短所を克服するものとして提案されたものが、ダマシン法と呼ばれる技術である[1]。現在、開発、実用化されている Cu 配線としては、ほぼ 100%このダマシン法が採用されている。そこで、次節にこのダマシン法を用いた Cu 配線形成技術の概要と、懸念される故障メカニズムについて述べる。

表 2-2 Al と Cu の金属学的特性の相違

	Al	Cu
原子番号	13	29
原子量	26.98	63.54
原子半径 (nm)	0.143	0.128
比重	2.70	8.93
クラーク数	7.56	0.01
電気抵抗率*) ($\mu\Omega$ cm)	2.69	1.70
熱伝導率 (J/cm \cdot sec \cdot K)	2.38	3.85
構造	面心立方 FCC	面心立方 FCC
融点 (K)	933.3	1356.5
活性化エネルギー (バルク拡散: eV)	1.46 (450~650°C)	2.03 (685~1060°C)
拡散係数**) (cm ² /sec)	1.75×10^{-20}	5.59×10^{-29}
有効電荷数**)	-30~-12	-5.5~-4.8

*)常温での数値、**)100°Cでの数値

2.2. ダマシン Cu 配線のプロセス技術と故障メカニズム

2.2.1. ダマシン Cu 配線加工のためのプロセス技術

図 2-1 に Al 配線と Cu 配線の加工プロセスの概略を比較したものを示す。Al 配線は、予め物理的気相成長（Physical vapor deposition：以下、PVD）などにより成膜した金属膜に RIE でパターンニングを施し、配線を形成する。その後、化学的気相成長（Chemical vapor deposition：以下、CVD）法により、形成した配線の保護被膜としての層間絶縁膜を形成する。このとき、配線間空隙部だけでなく、配線上部にも絶縁膜が成膜されるため、形成後の表面は配線部の形状を反映した凹凸が生じることになる。この凹凸は、その後の配線積層化を進めるにあたって、加工の不均一の原因となり、歩留低下や信頼性低下の要因となる。そこで、化学的機械研磨（Chemical mechanical polishing：以下、CMP）を用いて表面の段差がなくなるまで平坦化を進める。なお、エレクトロマイグレーション信頼性の向上を目的として Al 中に 1%以下程度の Cu を添加した AlCu が一般的に用いられるが、本論文ではこれを Al 配線と呼ぶ。

Cu 配線は前述の Al 配線とは全く逆のアプローチで形成される。予め CVD などの方法で層間絶縁膜を形成する。次にこの絶縁膜に溝をエッチングし、PVD によりバリアメタル及びシード Cu 層を成膜する。その後、電解めっき（Electrochemical plating：以下、ECP）法により Cu を成膜し、CMP により余分な配線金属を取り除き、配線を形成する。CVD にて Cu 拡散防止のキャップ窒化膜を成膜して、更に上層を形成してゆく。Metal を加工できないならば、絶縁膜を加工しておいてそこに Metal を埋め込むという、従来とは逆のアプローチであった。中東シリアのダマスカス地方の名産品に用いられている象嵌工芸装飾技術が金属の埋め込み技術であり、これに類似していることからこの手法がダマシン法と名づけられている。ただし、そこで採用されている PVD、CVD、CMP などの要素加工技術は、Al 配線でも用いられていた技術であり、そのために Cu 配線の実用化は比較的容易に進められた。また、唯一異なるのが ECP の採用である。ECP は埋め込み性も高く、スループットもよいことから、その採用には

特に支障はなかった。

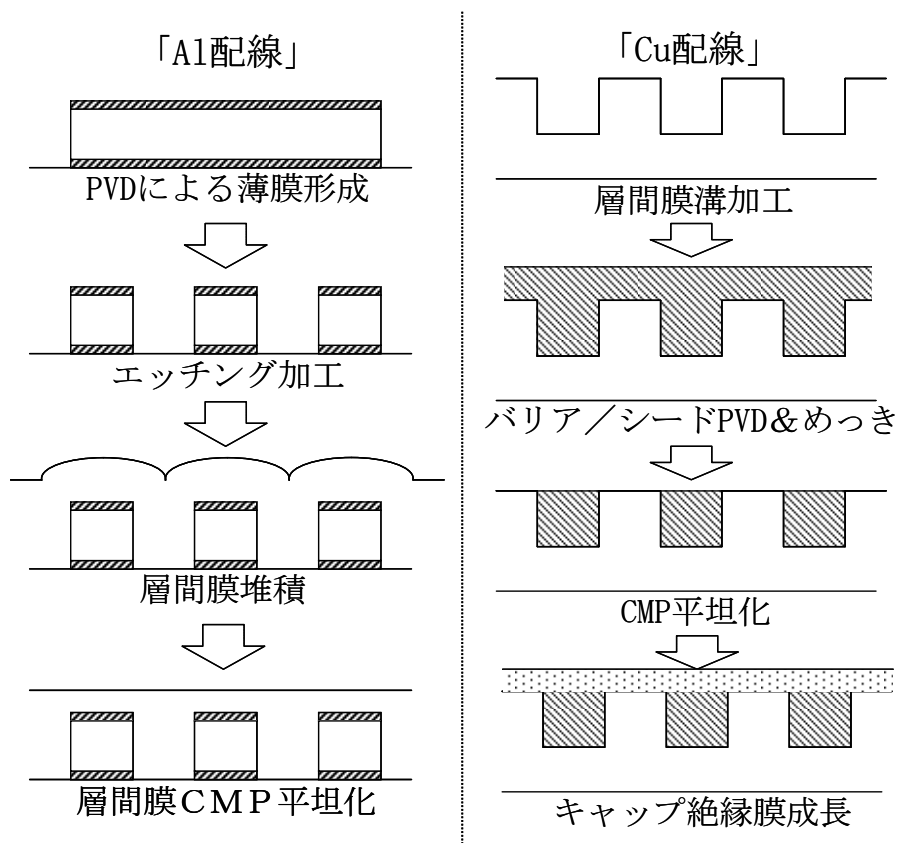


図 2-1 Al配線とCu配線の加工プロセス技術比較

Al配線とCu配線で大きく異なるのは、上下層の層間を接続するためのVia(以下、Via)の形成方法である。この概略を図2-2に示す。Al配線では、上記の被膜層成膜と平坦化の後、Viaホールをエッチングによって形成し、ホール内にPVDでバリアメタルを形成した後、CVDでW(タングステン)などを埋め込み、CMPで余剰なWを除去する手法がとられる。すなわち、ダマシン法と同じプロセスが用いられ、W-plug viaと呼ばれる。なお、ダマシン法と呼ばれるのは、一般にCu配線でありVia工程のみを指してダマシンと呼ばれることはない。

Cu配線においても、初期にはAl配線と同様なW-plug via[2]、もしくはCuを埋め込んだCu-plug via[3]を用いたシングルダマシン構造が報告された。現在で

は、デュアルダマシンと呼ばれる構造が一般的である。これは、配線溝と Via 穴を予め形成しておいて、一度にめっきで埋め込む構造である。高アスペクト比の穴への埋め込み性などの課題があるが、プロセス簡略化によるコスト低減と Via 抵抗の低減が実現できる。

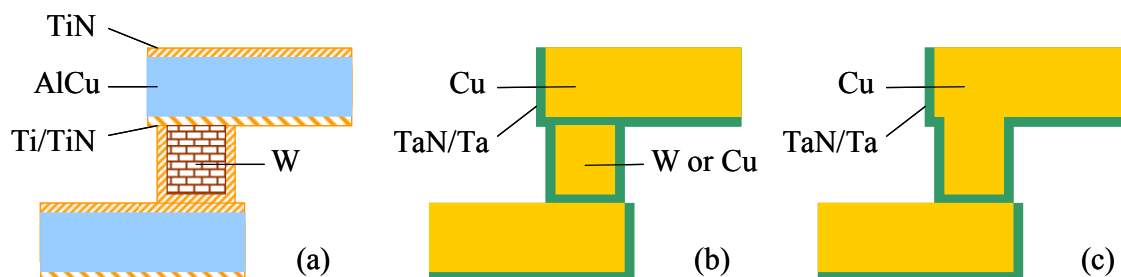


図 2-2 一般的な Al 配線と Cu 配線の Via 断面構造の比較. (a)Al 配線. AlCu 上下に Ti 系のバリアメタルが積層され、W-plug via を用いた構造が一般的. (b)シングルダマシン Cu 配線. (c)デュアルダマシン Cu 配線. 上層配線と Via の境界がないため、バリアメタル 1 層分の抵抗が低減される. また Via 上部の CMP 工程を省略できるため、プロセス簡略化、コスト低減が実現できる.

2.2.2. ダマシン Cu 配線における故障メカニズム

金属としての比較では、Al 配線よりも高い信頼性が予想された Cu 配線であるが、多数の研究者による 10 年にわたる研究を経て、実際には評価・対策されなければならない数々の故障メカニズムがあることがわかった。図 2-3 に代表的な故障メカニズムの概略図を示す。

非常に高い信頼性が予測されたものの、実際には配線寸法の縮小に伴う電流密度の増加や、本論文で示す寸法依存性などによって、エレクトロマイグレーションは考慮しなければならない信頼性問題の筆頭として挙げられる。一般的に、1 プロセス世代毎にエレクトロマイグレーション寿命は半分になると言われている[4]。また、配線性能として要求される許容最大電流密度が急激に増加している[4]。したがって、プロセス世代の開発毎に何らかのエレクトロマイグレーション改善対策が必要となっている。

Cu 配線の実用化初期にはほとんど懸念されていなかったストレス誘起ボイド (Stress-induced voiding : 以下、SIV) は、比較的太い幅の配線を接続する Via 部において頻度高く発生することが判明した[6][7]。SIV は配線金属の内部応力を駆動力とする原子輸送現象で、その拡散経路などはエレクトロマイグレーションと共通するものと考えられる。現在のところ、配線レイアウトの対策でフェイルセーフ的にその故障が抑制されるようになった。

1997 年以前に、Cu 配線の実用化に関する課題として認識されていた問題の一つとして、Cu イオンの配線層間膜への拡散があった。Al と比較して Cu は容易に層間膜中に拡散すること、この金属イオンが Tr.特性や配線間のリーク電流に重大な影響を及ぼすことが懸念されていた。この問題は、ダマシン構造の採用により一旦克服されたと考えられた。ところが、微細化が進むことにより、配線断面積に対するバリアメタルの占有率が高くなることにより、配線抵抗が高くなる問題が顕在化してきた。そのため、バリアメタルを薄く成膜する必要が生じ、電界に駆動された Cu イオンが配線層間膜に漏れ出し、移動する現象が生じた。アノードで発生した Cu イオンは電界に駆動されて移動し、カソードにおいて析出する。析出部のパイルアップによって局所的な電界強度の増加が発生し、最終的には Cu のブリッジが発生して、絶縁性が失われる。いわゆる Time-dependent dielectric breakdown (以下、TDDB) 現象が発生するようになった[8][9][10][11][12]。この現象は配線間隔が狭いほど顕著になる[13]。また、使用する絶縁膜材料に起因して、TDDB 寿命が短くなる傾向にある[9]。現在、配線間隔の縮小につれて配線間容量が増加し、これが無視できない信号遅延を生じることが問題となっている。その対策のために配線層間に用いている絶縁膜を低誘電率化する努力がなされている。いわゆる Low-*k* inter-layer dielectric (以下、Low-*k* ILD) の導入である。Low-*k* ILD の導入は、配線間の電界分布や Cu の移動度を変化させ、TDDB 耐性の劣化を加速している。以上のように、TDDB はエレクトロマイグレーションと共にプロセス世代毎に抑制を考慮したプロセス開発が必要な事象である。

さらに、Low-*k* ILD の導入は、積層された膜同士の密着性を劣化させる傾向

にある。そのため LSI パッケージングの際の機械的ストレスによる層剥離の問題も重要となる。最近では、プロセスの最終的な完成度が、組立性を含む信頼性評価結果をもって示されるようになってきている[14]。

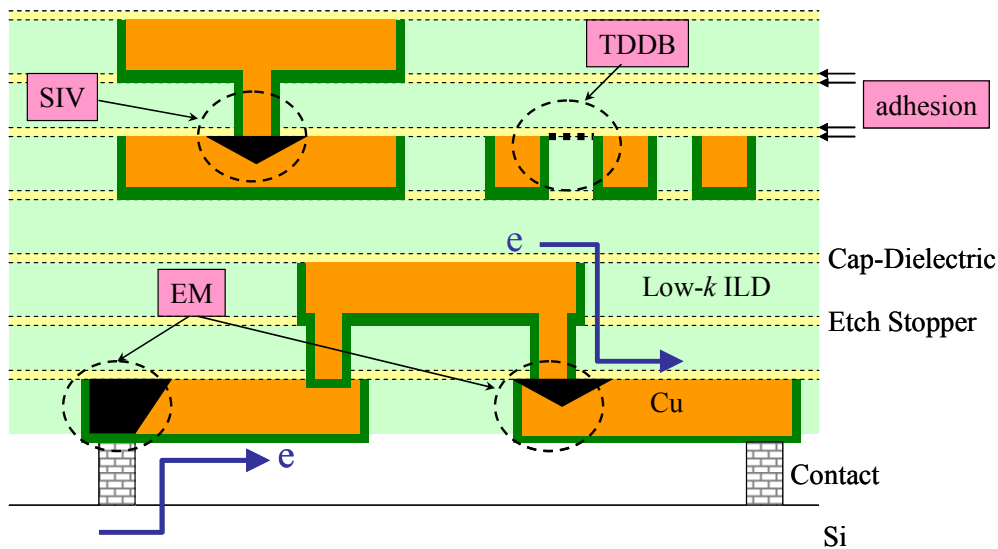


図 2-3 ダマシン Cu 配線の代表的な故障メカニズム。

以上、概観したダマシン Cu 配線の故障メカニズムから、本論文ではエレクトロマイグレーションに焦点を当て、その故障物理モデルから寿命分布、さらに寿命予測に関して議論する。次節では、従来型のエレクトロマイグレーション試験を行ったエレクトロマイグレーション寿命の基礎特性について述べる。

2.3. 多層ダマシン Cu 配線のエレクトロマイグレーション寿命評価

2.3.1. はじめに

ここでは、多層ダマシン Cu 配線のエレクトロマイグレーション寿命に関する検討を行う。寿命予測において重要なパラメータ (Black の経験式 (1-8) における活性化エネルギーと指数 n) については、10 拡散ロットのサンプルを用いて、ロット間変動を含めて検討を行う。また、ダマシンプロセス特有のプロセス変動が与える影響について検討・考察する。

2.3.2. 実験

2.3.2.1. 実験サンプル

図 2-4 に、本章で用いたサンプルの断面構造を示す。堆積した SiO₂ 層間膜に溝を RIE で形成し、PVD によりバリアメタル及びシード Cu 層を成膜する。次に ECP で溝の中に Cu を埋め込み、CMP で余分な配線金属を取り除いて配線を形成する。その後 CVD で Cu 拡散防止のキャップ SiN 膜を成膜、更に上層を形成する。実験サンプルは、ダマシン配線 2 層構造で、W-plug via を用いたシングルダマシン構造である。なお、サンプルを作成したプロセスの詳細は参考文献[2]と同等なものを使用した。

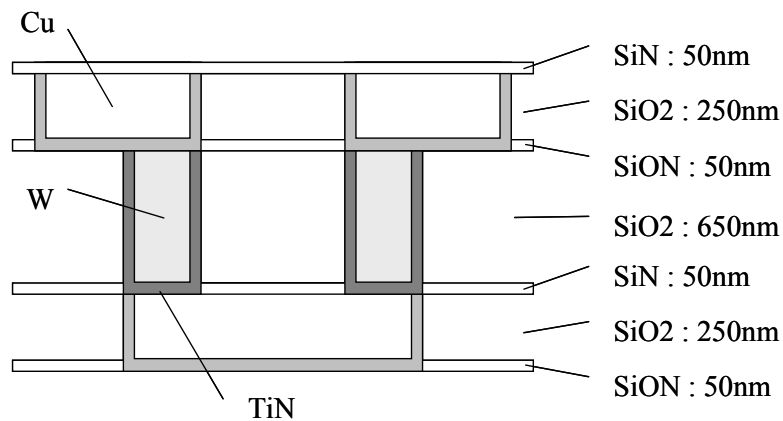


図 2-4 エレクトロマイグレーション寿命評価に用いたサンプルの断面構造.

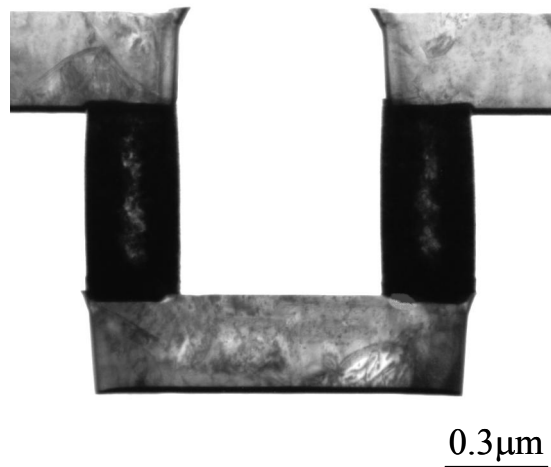


図 2-5 本章で用いたサンプルの断面 STEM 像.

2.3.2.2. Test structure (テスト構造)

実験には Via のない単層配線 Test structure と、Via を介した多層配線 Test structure (2層) の2種類を用いた。共に配線幅は $0.28\mu\text{m}$ 、溝深さ $0.3\mu\text{m}$ である。単層配線 Test structure は配線長 1mm で、直線型のものと同蛇行型のものを用いた。多層配線 Test structure は Via 4個のチェーンで、Via 間ピッチは $100\mu\text{m}$ 、すなわち配線セグメント長が $100\mu\text{m}$ である。これらの概略図を図 2-6 に示す。

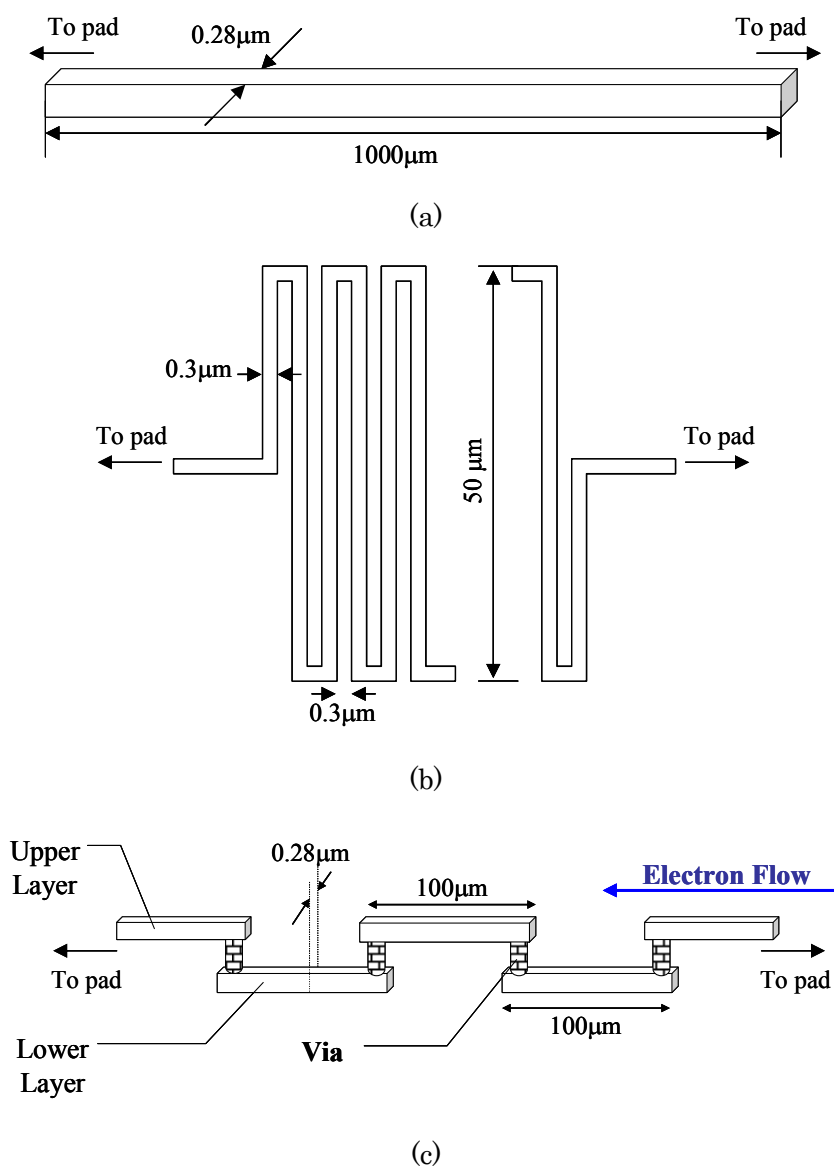


図 2-6 本章で使用する Test structure の概念図。(a)直線型の単層 Test structure。(b)蛇行型の単層 Test structure。(c)Via 付多層配線 Test structure。

2.3.2.3. 試験条件

Test Structure はチップ内に複数配置され、高温に耐えうる小ピンのセラミックパッケージに組み立てて試験を行った。この様子を図 2-7 に示す。

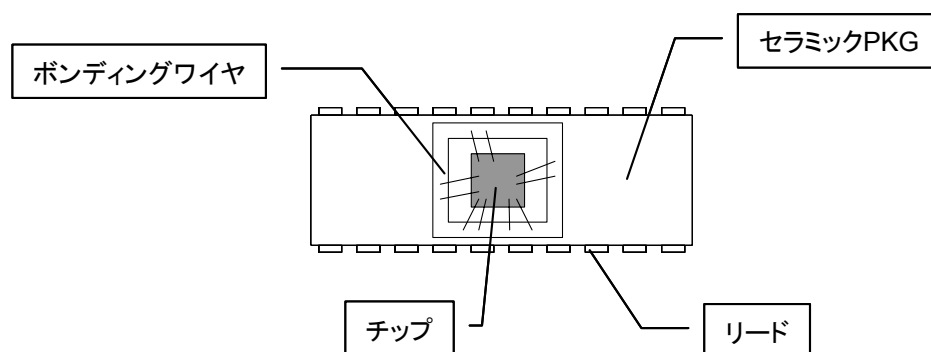


図 2-7 エレクトロマイグレーション試験サンプルの概略図。

図 2-8 に、信頼性試験に使用した評価装置の構成図を示す。バーンインチャムバー (図中の OVEN) 内に保持されたサンプルに、それぞれ独立に Stress unit (SU) を設け、個々のサンプルが独立に試験されるようにした。次に、測定ユニットとなる Digital multi meter (以下、DMM) は、リレー切り替え方式によりそれぞれのサンプルの抵抗値をモニターする。SU、DMM は GP-IB などのインターフェイスにより Computer 制御され、測定抵抗値は定期的に記録される。図 2-8 に示されるように、測定には 4 端子測定法を用いて、ボンディングワイヤやリードフレーム、測定経路などの余分な寄生抵抗をキャンセルした。

試験は 200～350℃の雰囲気温度、 $3 \times 10^5 \sim 4 \times 10^6 \text{ A/cm}^2$ の電流密度を用いた。なお、本論文での電流密度は、全て配線断面積で定義する。通常、高い電流密度ではジュールヒーティングによる配線の自己発熱が寿命に影響を与えるといわれている。そこで、熱抵抗法を用いて配線温度上昇が 3℃以内となる条件を用いた。すなわち、ジュール発熱の影響はほぼ無視しうると考えられる。故障判定基準は、抵抗観測値が初期値から 3%増加した時点とした。

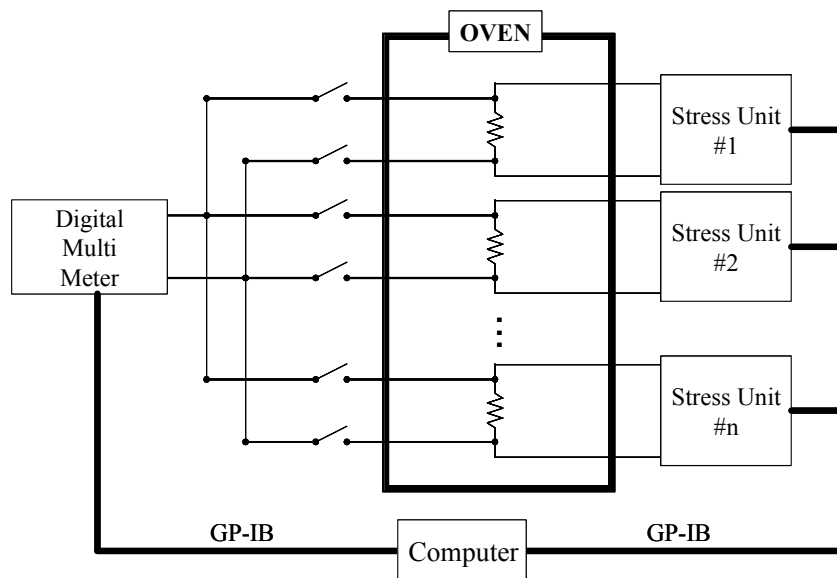


図 2-8 エレクトロマイグレーション試験装置の構成図.

2.3.3. 結果

2.3.3.1. エレクトロマイグレーションによる抵抗の経時変化と原子輸送

エレクトロマイグレーションによって生じる配線抵抗の経時変化を前述の Test structure を用いて比較評価した。

多層配線 Test structure と単層配線 Test structure を、雰囲気温度 $T_a = 300^\circ\text{C}$ 、電流密度 $j = 2.6 \times 10^6 \text{ A/cm}^2$ の条件で試験した。抵抗変化を図 2-9 に示す。多層配線 Test structure では、約 20 Arb. unit 以降に急激な抵抗上昇が起こり、故障判定基準である 3%を超えた。一方、単層配線パターンにおいては、直線型、蛇行型のいずれも 700 Arb. unit を超えた時点においても抵抗増加は観測されなかった。

この結果は、多層配線 Test structure においてエレクトロマイグレーションが発生し、単層配線 Test structure では発生しなかったということを示しているのではない。結論を先に示すと、両者ともにエレクトロマイグレーションによる Cu 移動が起こっている。観測している結果は、この原子輸送によってボイドが大きく成長した場合に観測されるものであり、配線抵抗に影響を与える箇所にボイドが発生してはじめて得られるものである。

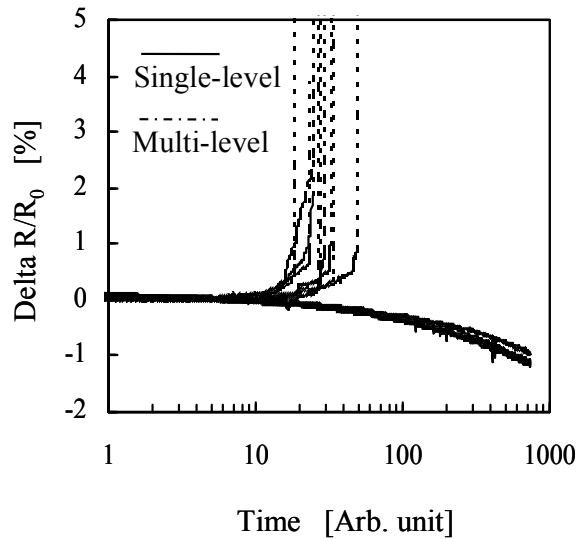


図 2-9 単層配線 Test structure と多層配線 Test structure のエレクトロマイグレーション試験における抵抗変化の比較. 雰囲気温度 $T_a = 300^\circ\text{C}$ 、電流密度 $j = 2.6 \times 10^6 \text{A/cm}^2$ の条件にて試験を実施した.

そこで、単層配線 Test structure について、出炉後にサンプルの保護被膜を除去し、Scanning electron microscopy (SEM)による外観観察を行った。結果を図 2-10 に示す。観察を容易にするため、配線幅が $10\mu\text{m}$ と、比較的大きいサンプルについて図 2-9 と同じ試験を実施し、観察した。

Cu の移動は、ボイドが発生しているか否かのみでなく、ボイドとなった箇所が存在したはずの Cu がどこに蓄積しているかを考慮しなければならない。図 2-10(a)は Test structure のアノード端と Pad との接続部である。急激な電流集中を防ぐため、分岐させてから Pad に接続する部分を撮像したものである。アノード端は電子流の下流にあたるため、移動してきた Cu が蓄積する箇所である。観察の結果、本来パターンがないはずの箇所に、Cu が突き出している (Extrusion) のが見受けられる。これは、試験前のサンプルには見られない。すなわち、輸送されてきた Cu がアノード端付近で蓄積しているものと考えられる。

次に、図 2-10(b)のカソード端と Pad 接続部にはボイドが観測された。配線中に複雑な形をしたボイドが発生しており、Cu の結晶粒界との関係が示唆される。

また、観察結果からは、カソード端に残った Cu でかろうじて配線の導通が保たれていることが伺える。この結果は、このサンプルにおいて試験時の抵抗増加は観測されなかったことと矛盾しない。

さらに図 2-10(c)のに示されるように、配線中央付近でも小さなボイドが見受けられる。これらは、いずれも非常に小さいため、配線抵抗の増加に寄与するものとは考えられない。

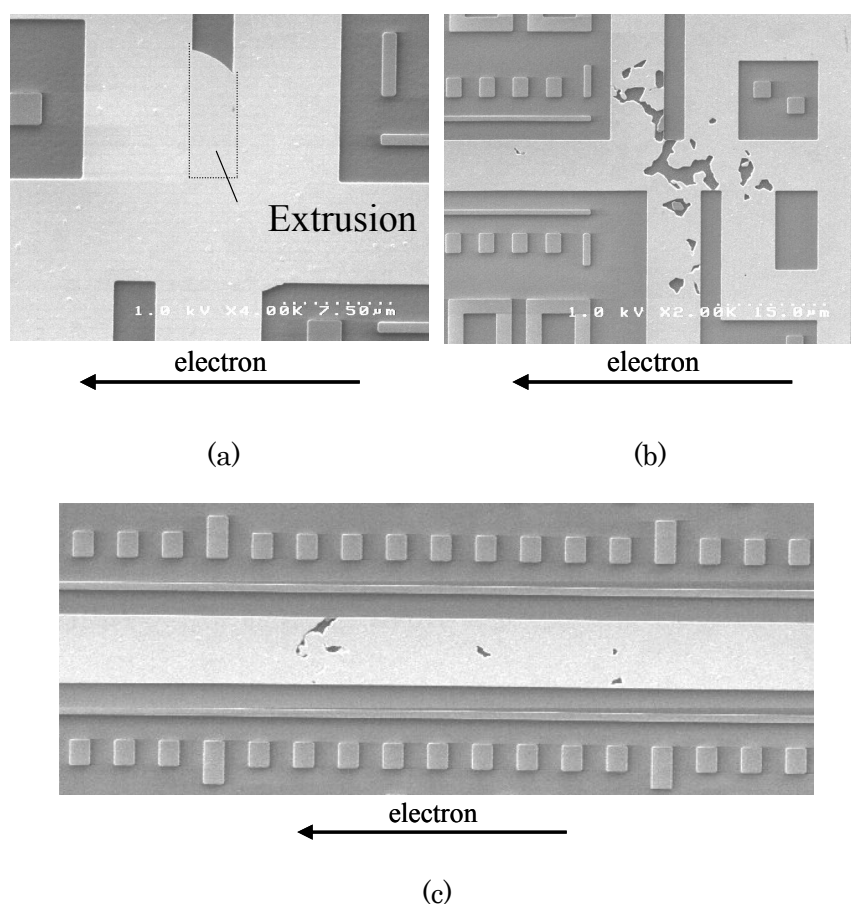


図 2-10 単層配線 Test structure の試験後概観 SEM 像。ドライエッチング法でパッシベーションを除去後に観察した。(a) 組み立て用 Pad との接続部 (アノード端)。(b) 組み立て用 Pad との接続部 (カソード端)。(c) 配線長中央付近。

以上の結果より、単層配線 Test structure においても、エレクトロマイグレーション試験中に Cu がカソードからアノードへ向かって移動することが判明した。この移動によってボイドが発生、成長し、抵抗増加を起こすまでの時間が、単

層配線 Test structure よりも、同一配線寸法の多層配線 Test structure のほうが早いことが実験結果からわかる。言い換えると、寿命における Via の寄与が大きいことが示されている。図 2-2 に示されるように、Al 配線においても、Cu 配線においても、Via 部には配線主金属と異なる高融点金属がバリアメタルや Via 材料として用いられている。このバリアメタルは Al や Cu を透過させないため、Via 近傍は原子流束の勾配が最も大きな部分の一つである。そのため、Via の介在によって配線寿命が極端に低下してしまうものと考えられる。この現象は、Al 配線で既に報告されている結果[15][16]と矛盾しない。本論文では、この Via によって生じる原子流束発散に関する寿命について焦点をあてて、議論を進めるものとする。以下、「寿命」とは Via を介した多層配線 Test structure にて観測される故障モードによる寿命を指す。

2.3.3.2. エレクトロマイグレーション寿命のストレス依存性

図 2-9 に示された多層配線 Test structure の寿命について、ストレスを変えて実験を行い、Black の経験式におけるパラメータを検証した。前章でも示したように、Black の経験式は次に示されるものである。

$$t_{50} = \frac{A}{j^n} \exp\left(\frac{\phi}{kT}\right) \quad (2-1)$$

まず、寿命の活性化エネルギーについて、10 製造ロットのサンプルを、雰囲気温度 200~350°C の範囲で試験して調査した。寿命分布として対数正規分布を仮定し、 t_{50} (メジアン寿命) をアレニウスプロットしたものを図 2-11 に示す。ただし、試験の電流密度が異なるため、傾き、すなわち活性化エネルギーのみ議論する。ロット毎に求めた活性化エネルギーの推定値は 0.86~1.06eV で分布し、全てのデータから求めた推定値は 0.94eV (95%信頼区間 : 0.83~1.05eV) となった。これは、[5]において Cu と SiN またはバリアメタル金属等の界面拡散の活性化エネルギーとして報告されている値 (0.8~1.2eV) に近い。

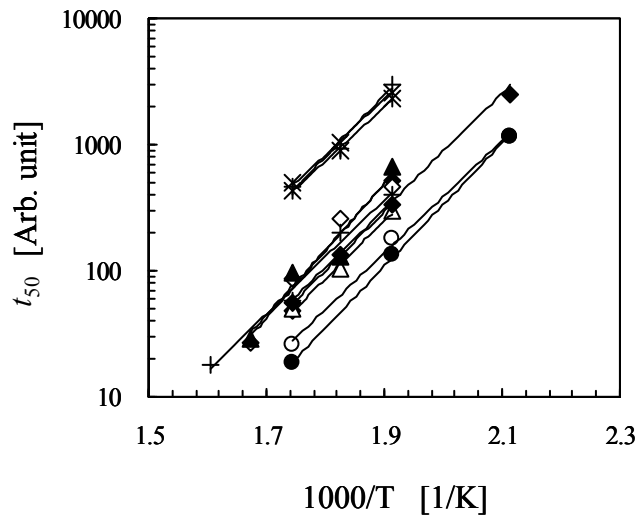


図 2-11 エレクトロマイグレーション寿命のアレニウスプロット (10 ロット).

次に、300°Cの雰囲気温度において、 $3 \times 10^5 \sim 4 \times 10^6 \text{A/cm}^2$ の範囲で電流密度依存性を調査した。10 製造ロット分の試験結果の電流密度依存性を図 2-12 に示す。ロット毎に求めたべき乗係数 n の推定値は 1.48~2.15 の間で分布している。また、全てのデータから求めた n の推定値は 2.03 (95%信頼区間：1.83~2.23) である。

従来の報告例[17]は、ダマシン Cu 配線 (上層) と W 配線 (下層) を W plug Via で接続した 2 層シングルダマシンサンプルにおいて、370°Cの雰囲気温度、約 $3 \times 10^5 \sim 1.4 \times 10^7 \text{A/cm}^2$ の電流密度範囲の試験を行い、 $2.5 \times 10^6 \text{A/cm}^2$ 以下で $n=1.1$ 、 $2.5 \times 10^6 \text{A/cm}^2$ 以上では $n=1.8$ が得られたとしている。前者は純金属中でのボイド成長によるものであり、後者は局所的なジュールヒーティングの影響で高電流密度側の試験が加速され、見かけ上大きな傾きが得られていると解釈されている。

既に述べたように、我々の実験における最大電流密度 $4 \times 10^6 \text{A/cm}^2$ の電流密度で、熱抵抗法により求められるジュール発熱の推定値は 3°C程度であり、ジュールヒーティングが n の推定値に及ぼす影響は考えにくい。そこで、発生しているボイド形態から検討するために、物理解析を行った結果を次に示す。

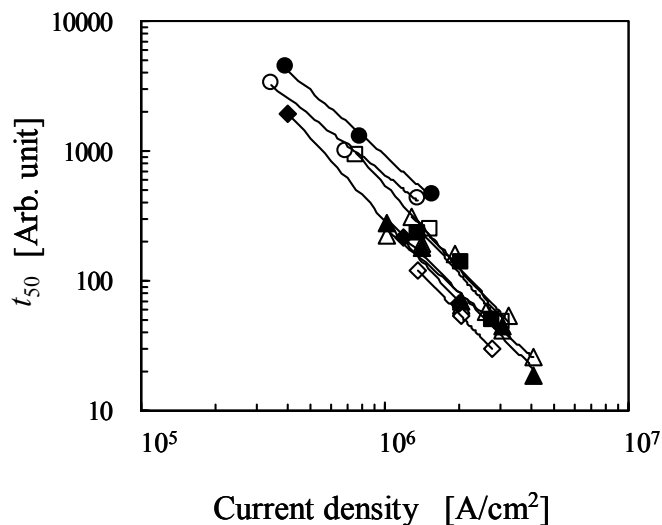


図 2-12 エレクトロマイグレーション寿命の電流密度依存性 (10 ロット).

2.3.3.3. エレクトロマイグレーション試験後の故障解析

これまでの結果より、エレクトロマイグレーションによるボイドは、Via 部で発生していると考えられる。そこで、IR-OBIRCH 法と STEM (Scanning Transmission Electron Microscope) を用いた故障箇所の分析を行った。

まず、エレクトロマイグレーション故障箇所の特定と統計的考察のために、IR-OBIRCH による故障箇所の特定を行った。IR-OBIRCH は、二川らによってその基本原理が発明・開発されたもので[18]、電流経路と欠陥位置の可視化を非破壊で行うことができる。図 2-13 にその例を示す。使用した Test structure の端子間に電流を流した状態で、レーザービームをチップ上に走査しながら、端子間の抵抗をモニターする。レーザービームが 2 端子間を流れる電流の経路上に照射されたときのみ、抵抗変化が検知される。通常は、Test structure の配線及び Via にレーザービームが照射されたときに、抵抗変化が検知されることになる。本章では、熱起電力電流効果による抵抗異常部位の特定を行った。配線や Via にレーザービームが照射されたとき、ゼーベック効果によって発生する熱起電力によって、レーザー照射部の伝導経路両側に向きが逆の微小電流が流れる。正常部ではこの微小電流は向きが逆で、かつ等しい電流値であるため、互いに

打ち消しあって外部からは観測されない。ところが、レーザー照射部に欠陥がある場合には、その抵抗によって不均衡が発生して観測が可能となる。図 2-14 に観測例を示す。電流変化を検出する検出器からみると、欠陥部位の両側で変化の向きが逆になるため、白黒ペアのコントラストが観測される。正常な Via 部でも、Cu と W の抵抗差によって若干のペア・コントラストが確認されるが、ボイドの発生箇所と考えられる部分には通常よりも明確なペア・コントラストが発生する。

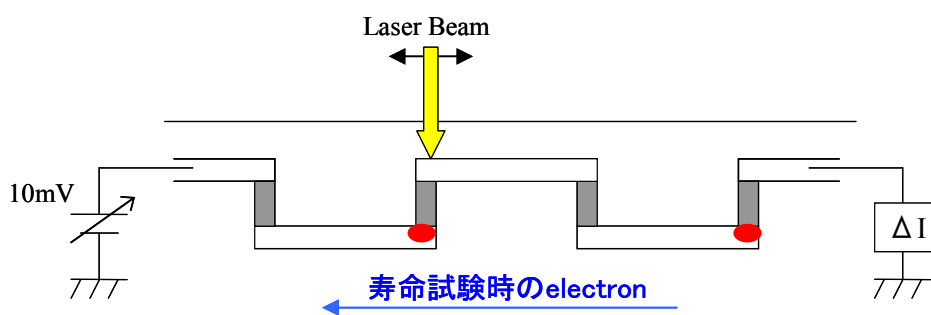


図 2-13 IR-OBIRCH 法の原理とボイド箇所特定概念図.

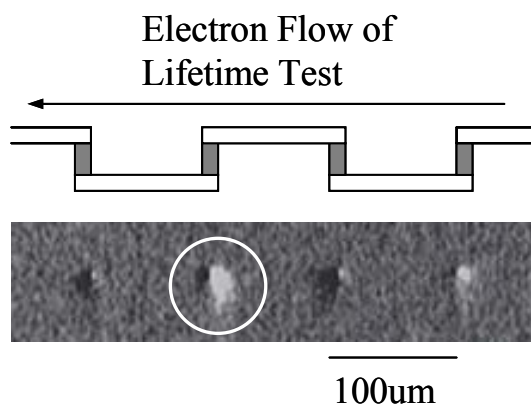


図 2-14 熱起電力効果による IR-OBIRCH 像

ペア・コントラストとボイドの関係を確認するため、図 2-14 のサンプルの断面を、STEM を用いて観察した。まず、Focused ion beam (以下、FIB) を用いて、Via 近傍を約 $0.4\mu\text{m}$ 厚程度に加工し、 200kV の加速電圧で透過像観察した。図 2-15 に Test structure の観察部位と断面写真の例を示す。

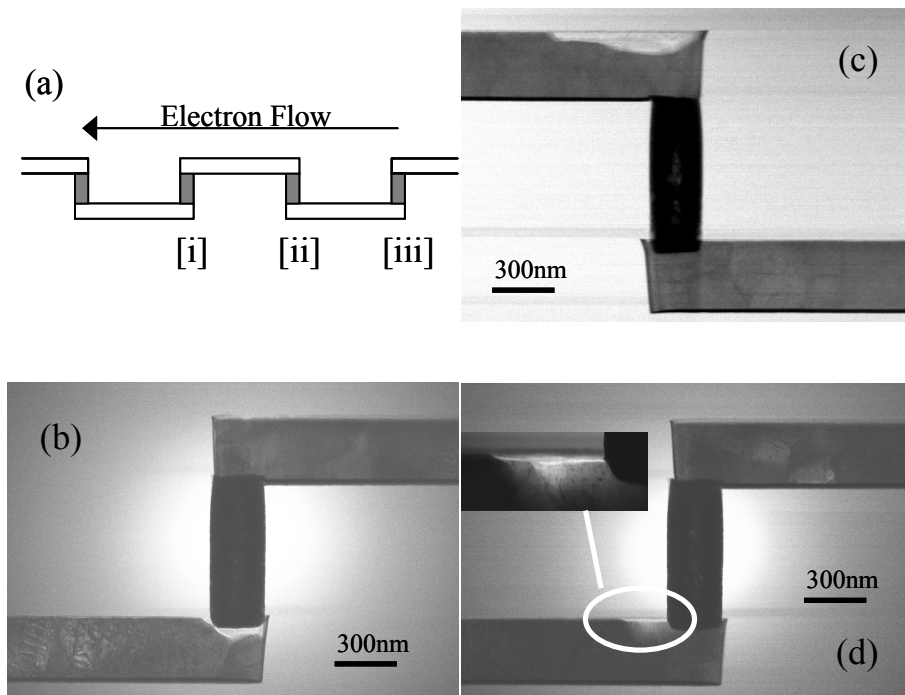


図 2-15 OBIRCH 観察後の断面 STEM 分析結果. (a) 観察 Via 部位の概略. Via [i]にてペア・コントラスト異常を確認. (b) Via [i] 断面観察結果. (c) Via[ii] 断面観察結果. (d) Via [iii]断面観察結果.

図 2-15(b)の箇所は、Via 底のバリアメタルと下層 Cu 上面（以下、Via/Cu 界面）でボイドが発生している例である。電子流が「上層配線→Via→下層配線」となる部分である。以下、この電子流を Down-stream モードと呼ぶ。キャップ SiN 膜と Cu 上面（以下、Cu/SiN 界面）に沿って成長しているのが観察される場合もある。Via 真下の Cu は移動してほぼなくなっており、その結果電氣的接続が損なわれ、抵抗が増加したと考えられる。また、OBIRCH で観測されたペア・コントラスト異常も、ほぼ断線に等しいボイドに起因するものと考えられる。

図 2-15(c)は、電子流が「下層配線→Via→上層配線」となる箇所の断面観察例である。以下、この電子流を Up-stream モードと呼ぶ。Cu/SiN 界面でボイドが発生し、配線長方向に界面に沿って成長している。上層配線の溝底と Via の接触部付近には全くボイドは発生していない。このことから、溝底のバリアメタルと Cu との密着性は優れているが、一方で Cu/SiN 界面は比較的密着性に劣り、

ボイド核形成箇所やCu移動の支配的な拡散パスであるということが示唆される。

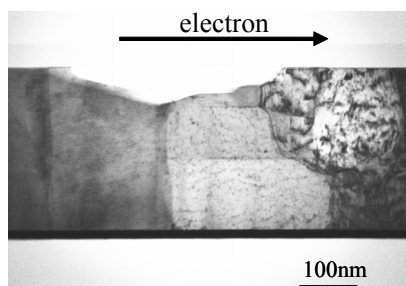


図 2-16 配線中の Cu/SiN 界面ボイド例.

図 2-15(d)は、(b)と同一サンプル中において、Via 真下ではボイドは発生していない。(d)の例では、Via の脇の Cu/SiN 界面でボイドが発生している。別のサンプルの例も含めると、結晶粒界の部分で発生していることが多い(図 2-16)。これは、前述の Cu/SiN 界面においてボイドが発生する際の起点として、結晶粒界が寄与することを示唆している。

図 2-15 (c)、(d)のボイドは非常に浅いため、抵抗変動に対する寄与は、ほぼ無視し得るものであると考えられる。また、図 2-16 のような配線中に生じたボイドが溝方向に成長しきって抵抗上昇が起こっている例は観察されなかった。

そこで、発生頻度の確認のため、56 サンプルの OBIRCH 観察からペア・コントラスト異常の分布を観察した結果を図 2-17 に示す。Down-stream モードとなる部位にペア・コントラスト異常が明確に集中している。

以上より、本実験のダマシ Cu 配線の寿命を支配的に決定しているのは図 2-15 (b)のような Down-stream モードで発生したボイドと考えられる。

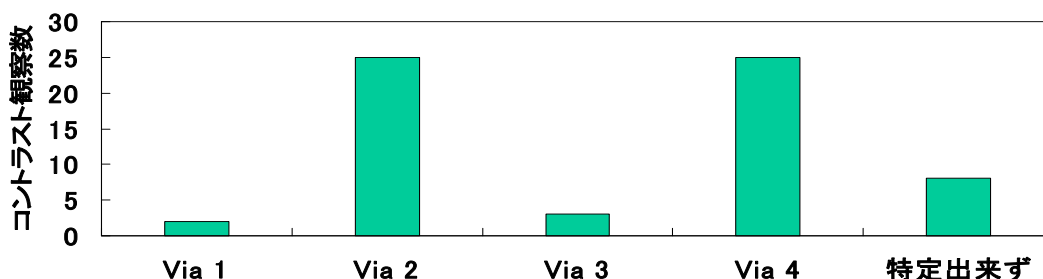


図 2-17 ペア・コントラスト異常箇所の分布. 56 サンプルの観察結果. Via 1 と 3 は電子流が Up-stream の部位、Via 2 と 4 は電子流が Down-stream の部位.

2.3.4. 考察

2.3.4.1. ボイドモードとベキ指数の関係

多層ダマシ Cu 配線におけるエレクトロマイグレーションの故障モードは、Cu/SiN 界面を拡散経路とし、Down-stream モードでのボイド核形成と成長による抵抗上昇が支配的であることを確認した。デュアルダマシ構造においては、本モードに加えて下層から上層に電子が流れる Via 中でのボイド発生が顕在化する場合もあるが、この点については第 6 章にて考察する。

一方、寿命予測に必要なパラメータである、ベキ指数 n が従来報告[17]と異なった。従来報告の $n \approx 1$ という結果に対して、本論文では $n \approx 2$ という結果であった。これは、電子流方向と、抵抗異常に至るに必要なボイドの大きさによって決まるものと考えられる。

Korhonen らの提唱した、エレクトロマイグレーションに誘起される配線内部応力の経時変化に関する物理理論的モデル[19]によれば、ボイド核形成までに要する時間と、核形成したボイドがその後ある大きさまで成長するまでの時間は、異なる電流密度依存性を有するということが示されている。Park らは、一次元の応力変動シミュレーションを用いて、配線内部応力変動を詳細に調査し同じ結論を得ている[20]。これらの研究によれば、ストレス印加からボイド核形成までに要する時間は電流密度の二乗に反比例し、その後ある大きさまで成長するに要する時間は電流密度に反比例するとされている。この視点から、従来報告と本報告の差を比較する。

従来報告[17]に報告されているサンプルは、下層配線及び Via が W による 2 層構造のものである。W は Al や Cu と比較してはるかに高いエレクトロマイグレーション耐性を有するため、実験条件で W の移動は考える必要がない。そのため、上層配線の Cu の移動によって発生、成長するボイドによる抵抗増加が故障の要因と考えてよい。すなわち、Up-stream モードのみが評価対象となっている構造である。本章の実験は Up/Down-stream の両者が対象である。

そこで、従来報告[17]と同様の構造を作成して実験を行った。図 2-18 に構造

を示す。下層配線及び Via を W により作成した。エレクトロマイグレーション試験後の故障部の断面を STEM にて観察した結果を図 2-19 に示す。W plug via の上部の Cu が全てアノード方向に移動し、Via 上に完全にボイドが成長しきっている。全ての Cu が移動し、バリアメタルのみで導通した結果、ジュール熱による変形が生じていることもわかる。

上記の観察の結果、図 2-18 に示す構造における Up-stream モードのエレクトロマイグレーション寿命は、発生したボイドが大きく成長するまでの時間を要することが分かった。前述のように、Korhonen らの研究によれば、発生後のボイドがある一定の大きさまで成長するに要する時間は電流密度に反比例する [19]ため、べき指数 n の推定値として 1 に近い値が得られたものと考えられる。図 2-18 の構造のサンプルを用いて、寿命の電流密度依存性を調査した結果を図 2-20 に示す。Cu 配線のバリアメタルが Ta の場合と、TaN の場合の両者を示した。べき指数は Ta バリアで 1.04、TaN バリアで 1.16 と、ほぼ 1 に近い値が得られた。また、この結果は従来報告[17]と矛盾しない。

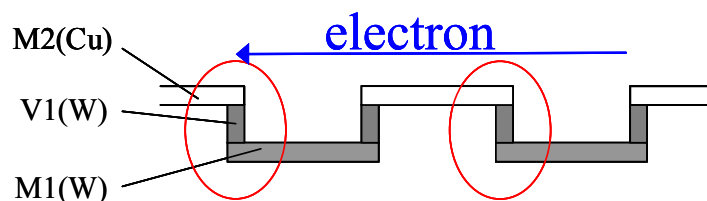


図 2-18 Up-stream モードのみを評価する多層配線 Test structure.

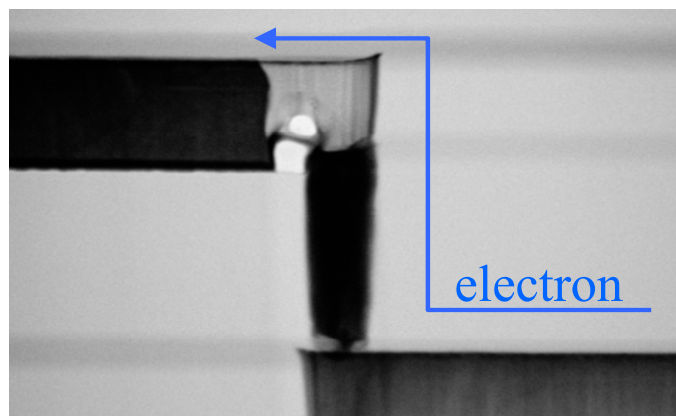


図 2-19 Up-stream モードの故障解析結果.

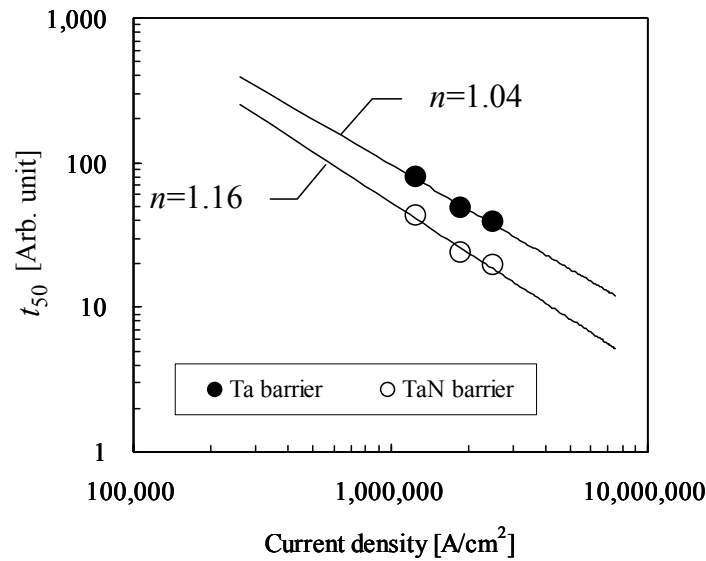


図 2-20 Up-stream モード・エレクトロマイグレーション寿命の電流密度依存性. 試験温度 350°Cの結果.

つぎに、本章の結果における電流密度依存性について考察する。図 2-15、および図 2-19 の結果より、本章の結果である Down-stream モードの故障に至るボイドサイズは、Up-stream モードの故障に至るボイドサイズよりもはるかに小さいことがわかる。温度や電流密度などの試験条件が同じであれば、ボイドの成長速度は同じと考えられるため、Down-stream モードの寿命は、Up-stream モードの寿命よりも小さくなる。そのため、ボイドが成長するに要する時間よりも、ボイドが核形成するまでの時間が寿命に対して支配的と考えられる。

そこで、寿命に至る直前のサンプルを用いて、成長途中のボイドの観察を行った。母集団の寿命試験の結果得られた 20%累積故障寿命 (T_{20}) の予測時点までストレス印加したサンプルを用いて、Down-stream モードとなる Via の断面を STEM 観察した。図 2-21 に結果を示す。なお、ストレス印加停止時点まで、抵抗変動は発生しなかった。観察された結果から、ストレス印加開始から相当な時間まで、ほとんどボイドが成長していないことが分かる。すなわち、寿命に対してボイド核形成に至るまでの時間が無視できないことが示唆される。前述のように、Korhonen らの研究によればボイド核形成までの時間は電流密度の二

乗に反比例するため、べき指数 n の推定値として 2 に近い値が得られたものと考えられる。

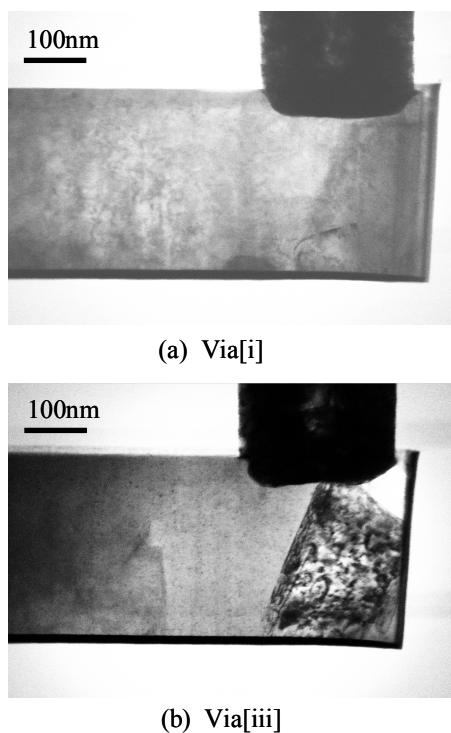


図 2-21 T_{20} 時点での Down-stream モード部位の断面 STEM 観察結果.

以上、寿命は抵抗値の変動によって定義されるものであるため、抵抗変化に対して支配的なボイドの発生、成長のモードに大きく依存してストレス依存性を示すパラメータが大きく異なることが判明した。エレクトロマイグレーション試験は、LSI の実使用条件からはるかに加速した条件で行われる。そのため、ストレス依存性パラメータの誤差は寿命予測結果に大きな影響を与えることになる。正確な寿命予測のためには、ボイドの核形成、成長のメカニズム、及びボイドモードの把握が必須となる。第 3 章において、この物理メカニズムについて論じる。

2.3.4.2. 同一寸法の Al 配線との寿命比較

多層ダマシ Cu 配線の優位性を論ずるために、同じレイアウトの Al 配線と

の寿命比較を行った。図 2-6(c)のレイアウトの Al 配線を作成して、エレクトロマイグレーション寿命を比較した。Al 配線は一般的な RIE によるパターンニングで作成し、Ti/TiN/Al-0.5%Cu/Ti/TiN のバリアメタル積層構造をとっている。AlCu 層の膜厚を 0.3 μ m とし、Cu 配線と同じ断面積とした。

エレクトロマイグレーション試験の結果を図 2-22 に比較する。同じ電流密度を用いて、Al 配線は 175~225 $^{\circ}$ C の範囲で、Cu 配線は 250~300 $^{\circ}$ C の範囲の実験を行った。Al 配線は 1.0eV、Cu 配線は 0.9eV の活性化エネルギーが得られた。また、実使用条件近傍 (110 $^{\circ}$ C) で、寿命の差は約 40 倍となる。

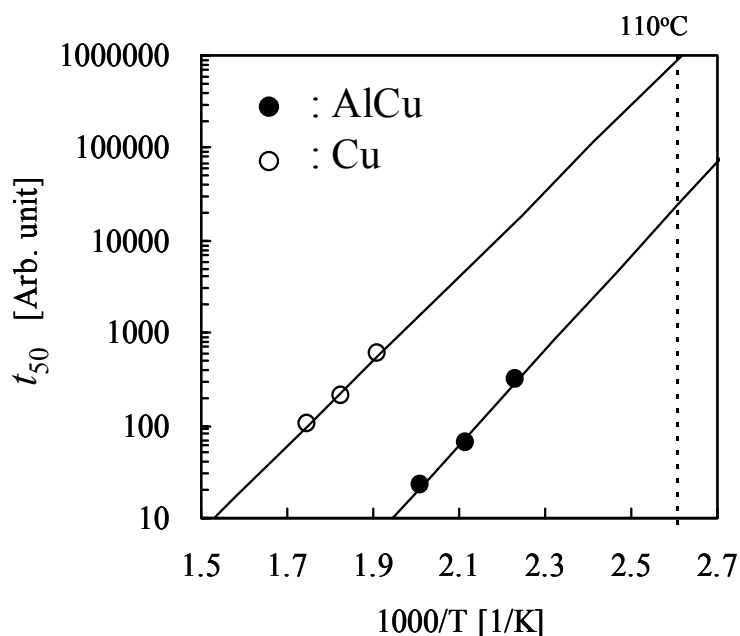


図 2-22 同一寸法の Al 配線と Cu 配線のエレクトロマイグレーション寿命の比較。

2.3.4.3. プロセス変動の影響(1) 目ズレの影響

Cu 配線は、その形成プロセスが従来の Al 配線と異なるため、抵抗変動や拡散経路も異なることが確認された。すなわち、量産における信頼性の安定を確保するには、従来と異なるアプローチのプロセス管理が必要になる。そこで、故障メカニズムの検討結果に基づいて、プロセス変動が寿命に与える影響を検討した。

微細化が進んだ配線においては、リソグラフィのマスクあわせずれ（以下、目ズレ）による Via の接触面積減少が、無視できない。目ズレがエレクトロマイグレーション寿命に与える影響を、Al 配線との比較により検討した。図 2-23 は目ズレ評価に用いた TEG の概略図である。多層配線 Test structure において、Via 及び上層配線を、下層配線に対して故意に目ズレさせたものである。同じレイアウトで、同じ膜厚の Al 配線と比較試験を行った。電子流は、図に示すように Down-stream モードを評価する方向に印加した。

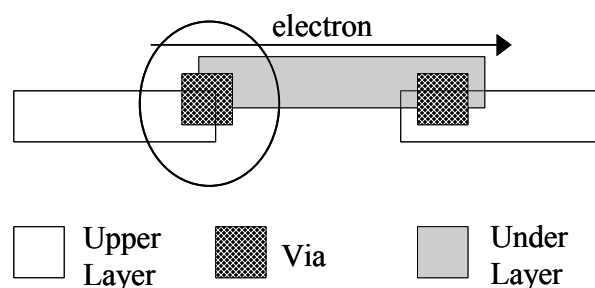


図 2-23 目ズレ評価のための Test structure 外略図。

目ズレなし、工程管理限界、工程管理限界の 1.5 倍の、計 3 水準を作りこみ、同一の電流値にて寿命試験した。ここでの工程管理限界は、リソグラフィの実力より求められるものである。Al 配線と Cu 配線、各々の寿命の対数正規確率プロットを、図 2-24 に示す。図 2-24(a)の Al 配線では、工程管理限界で寿命の低下はほとんど見られず、工程管理限界の 1.5 倍でも寿命は約半分に低下するにとどまっている。ところが、図 2-24(b)の Cu 配線は、工程管理限界で 4 分の 3、工程管理限界の 1.5 倍では約 10 分の 1 まで寿命が急激に低下することがわかった。

Al 配線では、配線の上面のバリアメタルにより、多少のボイドが発生しても導通が保たれて抵抗増加が小さいが、Cu 配線ではボイドが Via/Cu 界面全体に広がった時点でほぼ OPEN となるため、接触面積の増減に対して敏感に寿命が変化すると考えられる。

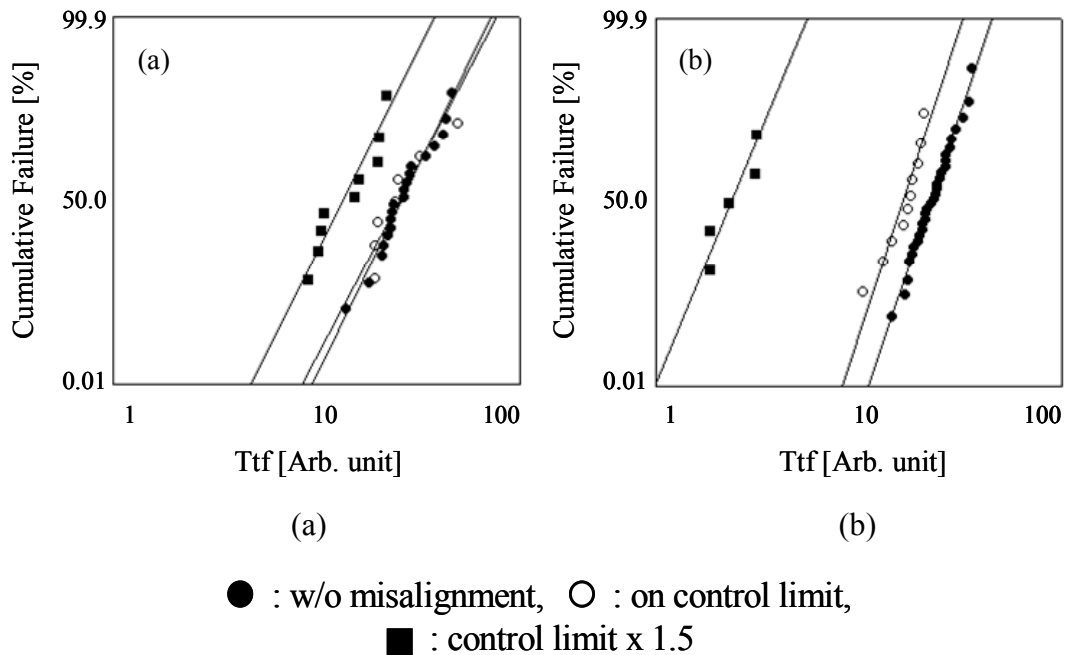


図 2-24 目ズレによるエレクトロマイグレーション寿命への影響比較. (a) Al 配線. (b) Cu 配線.

2.3.4.4. プロセス変動の影響(2) バリアメタル膜厚変動の影響

アスペクト比の高い微細 Cu 配線においては、溝側壁及び底に堆積されるバリアメタル厚ばらつきによる、Cu 実効面積変動が無視できない量になる。バリアメタル成膜量の変動した際の、エレクトロマイグレーションに与える影響を調査した。

図 2-25 はバリアメタル厚を±10nm 変動させ、エレクトロマイグレーション寿命の温度依存性を調査したものである。実験範囲において、バリアメタルが薄めに成膜された際には寿命は変わらない、厚めに成膜された場合には寿命が劣化した。ただし、活性化エネルギーはいずれも $0.91 \pm 0.01 \text{eV}$ の範囲にあり、拡散のメカニズム及び拡散経路は同一と考えられる。この場合、寿命の変動は電流密度の変化のみに起因するものではなく、界面面積の割合にも依存していると考えられる。今後の微細化にあたっては、エレクトロマイグレーションと、絶縁膜中への Cu 拡散防止のトレードオフを考慮に入れて、膜厚及び管理範囲を決定する必要がある。

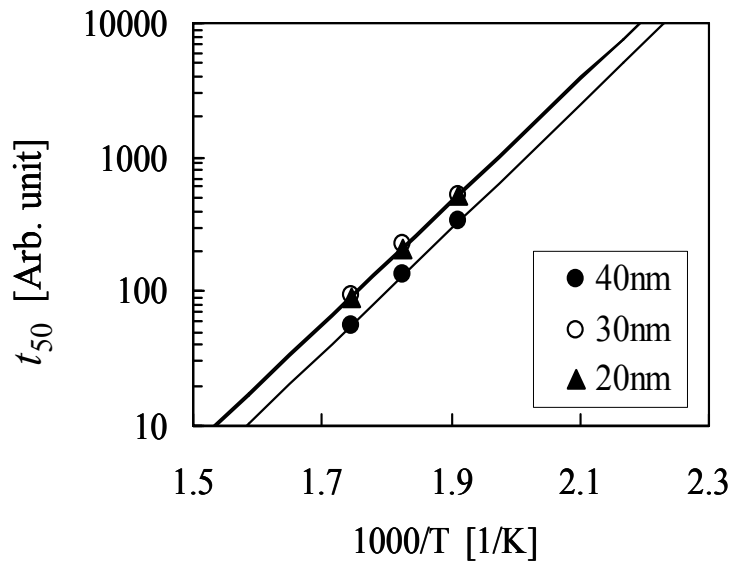


図 2-25 バリアメタル膜厚の電ロマイグレーション寿命への影響.

2.3.4.5. プロセス変動の影響(3) Cu/SiN 界面の影響

CMPによりCu配線を形成した後、キャップSiN膜を成膜する手法としては、CVDを用いるのが一般である。CVDプリカーサとしてSiH₄を用いた場合、SiH₄ gas 雰囲気さらされたCu上面がシリサイド化し、CuSi_xが生成される。CuSi_xで覆われたCu配線は、電ロマイグレーション寿命が向上することが報告されている[21]。

CuSi_xを積極的に生成した場合、Cu/SiN界面状態の変化により、界面拡散が変化する。Via/Cu界面でボイドが発生する場合、ボイド分のCuはCu/SiN界面に沿って配線長方向に拡散する必要があるため、CuSi_xによる界面拡散の変化により、Via/Cu界面のボイドの成長も影響され、電ロマイグレーション寿命にも影響がある。CuSi_xの生成は配線抵抗を増加させるため[22]、エッチング、めっき、CMP、CuSi_x反応の4つのパラメータを管理して、配線のシート抵抗安定性も確保する必要がある。

CuSi_xを積極的に生成した場合の、電ロマイグレーション寿命の温度依存性を図 2-26 に示す。通常の条件でのサンプルでは0.90eV、CuSi_xを積極的に生成したサンプルでは1.13eVの活性化エネルギーが得られた。前者は図 2-11

で得られた結果の範囲にあるが、後者はこの範囲を越えている。これは、拡散経路である Cu/SiN 界面に CuSi_x が生じることにより、界面拡散のメカニズムに変化が生じたためと考えられる。

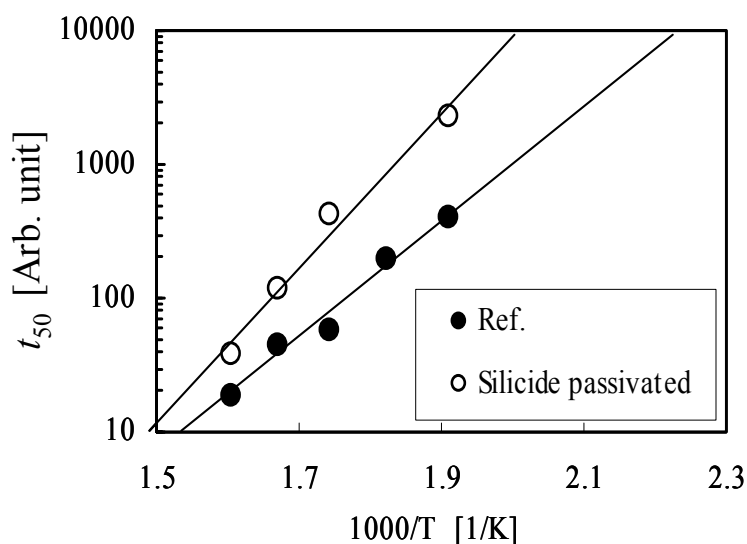


図 2-26 CuSi_x 生成によるエレクトロマイグレーション寿命への影響.

すなわち、 CuSi_x の生成量による活性化エネルギーの変化により、実使用条件での寿命が大きく変わる。界面拡散に関わるプロセスの制御が非常に重要である。

2.4. 結言

多層ダマシ Cu 配線のエレクトロマイグレーションは、Via/Cu 界面のボイド成長による抵抗増加が支配的な故障メカニズムである。このときの主拡散経路は、Cu/キャップ絶縁膜界面と考えられる。ただし、ストレス依存性のパラメータは発生するボイドのモード、故障に至るに必要なボイドのサイズなどに依存して変わる。ボイドの核形成とその後の成長のどちらが寿命に対して支配的かによって、電流密度依存パラメータが変化するものと考えられる。これらの結果は、従来研究に矛盾しないものであるが、直接物理特性を確認した結果では

ない。次章では、ボイドの発生までと、その後の成長に着目し、これらを分離した実験とそれに基づく考察を行う。

また、界面拡散に関するプロセス変動が、エレクトロマイグレーション寿命に与える影響を示した。より微細化が進行しているプロセスにおいては、わずかな変動でもエレクトロマイグレーションに影響があった。この発見は、その後のプロセス技術開発に対して重要な指針を与え、いくつもの関連研究の元となった。これについては、第7章にて議論を展開する。

第2章の参考文献

- [1] D. Edelstein, J. Heidenreich, R. Goldblatt, W. Cote, C. Uzoh, N. Lustig, P. Roper, T. McDevitt, W. Motsiff, A. Simon, J. Dukovic, R. Wachnik, H. Rathore, R. Schulz, L. Su, S. Luse and J. Slattery; "Full Copper Wiring in a Sub-0.25 μ m CMOS ULSI Technology", Proc. of 1997 International Electron Device Meeting, pp.773-776 (1997).
- [2] M. Iguchi, T.Takewaki, Y.Matsubara, Y.Kunimune, N.Ito, Y.Tsuchiya, T.Matsui, K.Fujii, K.Motoyama, K.Sugai, A.kubo, M.Suzuki, H.Tachibana, A.Nishizawa, K.Nakabeppu, S.Yamasaki, S.Yokogawa, Y.Yamamoto, T.Kunugi, S.Nakata, M.Kagamihara, A.Shida, S.Nakamoto and H.Gomi; "Full-0.56 μ m Pitch Copper Interconnects for a High Performance 0.15- μ m CMOS Logic Device", Proc. of 1999 International Electron Device Meeting, pp.615-618 (1999).
- [3] N. Oda, S. Ito, T. Takewaki, H. Kunishima, N. Hironaga, I. Honma, H. Namba, S. Yokogawa, T. Goto, T. Usami, K. Ohto, A. Kubo, H. Aoki, M. Suzuki, Y. Yamamoto, S. Watanabe, T. Takeda, K. Yamada, M. Kosaka, and T. Horiuchi; "A RobuSTEMbedded Ladder-oxide/Cu Multilevel Interconnect Technology for 0.13 μ m CMOS Generation", Proc. of 2002 Symposium on VLSI Technology, pp.34-35 (2002).
- [4] ITRS Roadmap: <http://strj-jeita.elisasp.net/strj/>.
- [5] J.R. Lloyd, J. Clemens, and R. Snede; "Copper Metallization Reliability", *Microelectronics Reliability*, Vol.39, pp.1595-1602 (1999).
- [6] E.T. Ogawa, J.W. McPherson, J.A. Rosal, K.J. Dickerson, T.-C. Chiu, L.Y. Tsung, M.K. Jain, T.D. Bonifield, J.C. Ondrusek, and W.R. McKee; "Stress-induced Voiding under vias connected to Wide Cu Metal Leads", Proc. of 2002 International Reliability Physics Symposium, pp.312-321 (2002).

- [7] M. Kawano, T. Fukase, Y. Yamamoto, T. Ito, S. Yokogawa, H. Tsuda, Y. Kunimune, T. Saitoh, K. Ueno, and M. Sekine; “Stress Relaxation in Dual-damascene Cu Interconnects to Suppress Stress-induced Voiding”, Proc. of 2003 International Interconnect Technology Conference, pp.210-212 (2003).
- [8] J. Noguchi, N. Ohashi, T. Jimbo, H. Yamaguchi, K. Takeda, and K. Hinode; “Effect of NH₃-Plasma Treatment and CMP Modification on TDDDB Improvement in Cu Metallization”, *IEEE Trans. on Electron Devices*, Vol.48, pp.1340-1345 (2001).
- [9] E.T. Ogawa, J. Kim, G.S. Haase, H.C. Mogul, and J.W. McPherson; “Leakage Breakdown, and TDDDB Characteristics of Porous Low-k Silica-based Interconnect Dielectrics”, Proc. of 2003 International Reliability Physics Symposium, pp.166-172 (2003).
- [10] J. Noguchi, M. Kubo, R. Tsuneda, K. Takeda, N. Miura, and K. Makabe; “Influence of Cu-Ion Migration and Fine-Line Effect on Time-Dependent Dielectric Breakdown Lifetime of Cu Interconnects”, *Japanese Journal of Applied Physics*, Vol.44, pp.94-101 (2005).
- [11] J. Noguchi; “Dominant Factors in TDDDB Degradation of Cu Interconnects”, *IEEE Trans. on Electron Devices*, Vol.52, pp.1743-1750 (2005).
- [12] F. Chen, O. Bravo, K. Chanda, P. McLaughlin, T. Sullivan, J. Gill, J. Lloyd, R. Kontra, and J. Aitken; “A Comprehensive Study of Low-*k* SiCOH TDDDB Phenomena and Its Reliability Lifetime Model Development”, Proc. of 2006 International Reliability Physics Symposium, pp.46-53 (2006).
- [13] F. Chen, P. McLaughlin, J. Gambino, E. Wu, J. Demarest, D. Meatyard, and M. Shinosky; “The Effect of Metal Area and Line Spacing on TDDDB Characteristics of 45nm Low-*k* SiCOH Dielectrics”, Proc. of 2007 International Reliability Physics Symposium, pp.382-389 (2007).
- [14] S. Sankaran, S. Arai, R. Augur, M. Beck, G. Biery, T. Bolom, G. Bonilla, O. Bravo, K. Chanda, M. Chae, F. Chen, L. Clevenger, S. Cohen, A. Cowley, P. Davis, J.

Demarest, J. Doyle, C. Dimitrakopoulos, L. Economikos, D. Edelstein, M. Farooq, R. Filippi, J. Fitzsimmons, N. Fuller, S. M. Gates, S. E. Greco, A. Grill, S. Grunow, R. Hannon, K. Ida, D. Jung, E. Kaltalioglu, M. Kelling, T. Ko, K. Kumar, C. Labelle, H. Landis, M.W. Lane, W. Landers, M. Lee, W. Li, E. Liniger, X. Liu, J. R. Lloyd, W. Liu, N. Lustig, K. Malone, S. Marokkey, G. Matusiewicz, P. S. McLaughlin, P. V. McLaughlin, S. Mehta, I. Melville, K. Miyata, B. Moon1, S. Nitta, D. Nguyen, L. Nicholson, D. Nielsen, P. Ong, K. Patel, V. Pate, W. Park, J. Pellerin, S. Ponoth, K. Petrarca, D. Rath, D. Restaino, S. Rhee, E.T. Ryan, H. Shoba, A. Simon, E. Simonyi, T.M. Shaw, T. Spooner, T. Standaert, J. Sucharitaves, C. Tian, H. Wendt, J. Werking, J.Widodo, L. Wiggins, R. Wisnieff and T. Ivers.; “A 45nm CMOS node Cu/Low-k/Ultra Low-k PECVD SiCOH (k=2.4) BEOL Technology”, Proc. of 2006 International Electron Device Meeting, pp. 355-358 (2006).

[15] C.-K. Hu, M. B. Small and P. S. Ho; “Electromigration in Al (Cu) two-level structures: effect of Cu and kinetics of damage formation”, *Journal of Applied Physics*, Vol.74, pp.969-978 (1993).

[16] H. Kawasaki, M. Gall, D. Jawarani, R. Hernandez, and C. Capasso; “Electromigration Failure Model: Its Application to W Plug and Al-filled vias”, *Thin Solid Films*, Vol.320, pp.45-51 (1998).

[17] C.-K. Hu, R. Rosenberg, H.S. Rathore, D.B. Nguyen, and B. Agarwala; “Scaling Effect on Electromigration in On-Chip Cu Wiring”, Proc. of 1999 International Interconnect Technology Conference, pp.267-269 (1999).

[18] K. Nikawa and S. Tozaki; “Novel OBIC Observation Method for Detecting Defects in Al Stripes Under Current Stressing”, Proc. International Symposium of Testing and Failure Analysis, ASM Int., pp.303-310 (1993).

[19] M.A. Korhonen, P. Borgesen, K.N. Tu, and C.-Y. Li; “Stress evolution due to electromigration in confined metal lines”, *Journal of Applied Physics*, Vol. 73 , pp.3790-3799 (1993).

- [20] Y.-J. Park, V.K. Andleigh, and C.V. Thompson; "Simulations of stress evolution and current density scaling of electromigration-induced failure times in pure and alloyed interconnects", *Journal of Applied Physics*, Vol. 85, pp.3546-3555 (1999).
- [21] T. Takewaki, T. Ohmi, and T. Nitta; "A Novel Self-Aligned Surface-Silicide Passivation Technology for Reliability Enhancement in Copper Interconnects", Proc. of the 1995 Symposium on VLSI Technology, Digest of Technical Papers, pp.31-32 (1995).
- [22] J. Noguchi, N. Ohashi, J. Yasuda, T. Jimbo, H. Yagaguchi, N. Owada, K. Takeda, and K. Hinode; "TDDB Improvement in Cu Metallization under Bias Stress", Proc. of 2000 International Reliability Physics Symposium, pp.339-343 (2000).

第3章 ボイドの核形成と成長

3.1. はじめに

前章において、多層ダマシ Cu 配線は従来の Al 配線に比べて 1 桁以上寿命が長いこと、その主たる拡散経路は CMP による Cu 上面と SiN 等のキャップ絶縁膜との界面であることなどが明らかになった。

一般的なエレクトロマイグレーション信頼性試験においては、Via チェーンによる Test structure を用いて定電流ストレス試験を行い、数%から 20%程度の抵抗増加によって判定される「寿命」を評価している。実際には、寿命はストレス印加開始からボイドが核形成するまでの Incubation time（潜伏時間）と、抵抗増加にいたるに必要なボイド成長期間の和となる。それぞれの時間は、電流密度、温度などのストレスに対しておのおの異なる依存性を持つため、それぞれ分離して評価する必要があることが、Al 配線に関する従来研究において示されている[1][2]。

ボイド成長を評価する方法としては、ボイド形状変化を直接顕微鏡で観察する方法（たとえば、[3]）と、抵抗変化を代用特性として観察する方法の 2 つがある。前者の直接観察においては、Scanning electron microscopy (SEM)を用いて観察を行う必要がある。観察対象となる配線が非常に細いため、通常の光学顕微鏡では観測が不可能であるためである。ところが、電子顕微鏡では主に試料表面の凹凸しか観測されないため、配線の周囲を覆っている層間絶縁膜を除去する必要がある。この場合には、Cu の移動経路のひとつと考えられる Cu/キャップ絶縁膜界面が存在しなくなってしまう。同時に、Cu の自由表面は非常に早い移動経路となる。そのため、表面拡散の特性が主に観察される結果となる。いいかえると、実際の配線の信頼性を見極めるために重要となる、Cu/キャップ絶縁膜界面拡散の特性や、プロセス改善の効果の確認に適しているとはいえない。一方、後者の抵抗変化を観察する方法であれば、配線構造は実際のもの

と同じであり、プロセス条件や材料に依存する特性を見極めることが可能となる。ただし、抵抗変化から Incubation time やドリフト速度を推定することは、一般的な Test structure では困難である。

抵抗変化よりボイド成長を評価するための Test structure としては、Blech らの構造[4]と Kawasaki らの構造[5]がある。両者ともドリフト速度を測定することにより Incubation time とボイド成長期間を分離することが可能である。前者を用いた Cu 配線の検討としては[6][7]などがあるが、ダマシンプロセスとは異なる配線の形成方法を用いており、被膜保護パッシベーションもなされていない。すなわち、現在一般的に用いられているダマシン Cu 配線とは異なる構造であり、最も重要な Cu/SiN 界面の特性を反映した結果が得られてない。

そこで本章では、Kawasaki らの提案する Test structure を用いて、微細ダマシン Cu 配線のエレクトロマイグレーション挙動を評価、検討する。Incubation time とボイド成長期間を分離してストレス依存性を調査し、拡散メカニズムの考察を行う。

3.2. 実験

Kawasaki らによって提案された Test structure を、130nm テクノロジーノードのダマシン Cu 配線プロセスを用いて作成した。図 3-1 に、使用した Test structure の断面概念図を示す。2層のダマシン Cu 配線と N+拡散層により構成され、被試験部はシングルダマシンプロセスによる Metal 1 (M1 : 配線幅 $W=0.16\ \mu\text{m}$ 、配線高さ $H=0.34\ \mu\text{m}$ 、配線長 $L=50 \cdot 100 \cdot 200\ \mu\text{m}$)である。M1 のアノード端はデュアルダマシンプロセスによる Via 1 (V1) / Metal 2 (M2)により終端している。M2部ではエレクトロマイグレーションによるボイドが発生しないように、十分に配線幅を太くし、更に十分な原子供給源、すなわちリザーバー[8]を設けた。配線層間には Fluorinated SiO₂ (FSG)膜を用い、SiN 膜をキャップ絶縁膜に用いている。以上の構造は LSI プロセスとして通常使用されるものである。

試験は 255~350 °C の条件下で、0.95~11.5 MA/cm² の電流密度 (M1 部) にて

実施した。7.7 MA/cm² 以下の電流密度では、ジュール発熱による温度上昇は 3 °C 以下である。11.5 MA/cm² の場合は、M1 部の温度がジュールヒーティングを含めて 255 °C となるように雰囲気温度を調整して実験を行った。実験に使用したシステムは前章で示したものと同一のものを用いた。

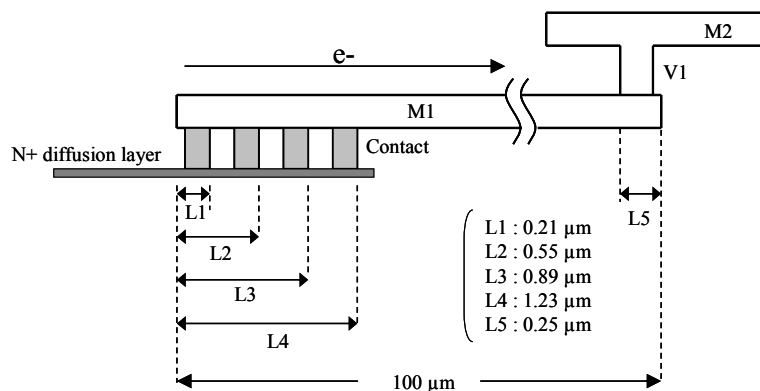


図 3-1 実験に使用した Kawasaki-Hu test structure の断面概念図.

3.3. 結果と考察

3.3.1. 実験結果

図 3-2 に、雰囲気温度 300°C、電流密度 1.9MA/cm² で行った試験における抵抗変化の例を示す。ストレス印加につれて、4 段階のステップ状の抵抗変化が観測された。

観測されたステップ状の抵抗変化は、成長したボイドが達した距離と関係があると考えられる。はじめに、カソード端からボイドが成長して、ボイド成長距離が L1 に達すると、一番左側のコンタクトが電導経路として寄与しなくなるため、ステップ状の抵抗変化が発生する。続いて L2、L3、L4 までボイド成長距離が到達すると、その都度ステップ状の抵抗変化が観察される。ボイド成長距離が L4 に達すると、電気的な接続に寄与するのはバリアメタルのみになる。そのため、4 つ目の抵抗変化は、その他と比べて非常に大きな変化となり、ほぼ断

線に等しい抵抗変化が観測されていると考えられる。

以上の推測が正しければ、抵抗測定により、ボイド成長距離—時間の組をデータとして得ることが可能となる。

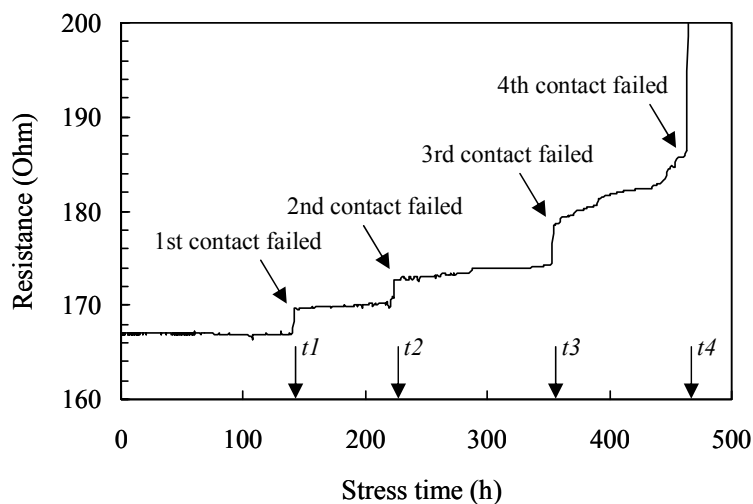


図 3-2 Kawasaki-Hu test structure によるエレクトロマイグレーション試験中の抵抗変化の代表例. 試験条件は 300°C、1.9MA/cm².

ステップ状の抵抗変化と実際のボイド成長距離との関係を調査するため、4つのサンプルを用いて、各抵抗ステップ後の断面観察を行った。結果を図 3-3 に示す。図 3-2 と同一ストレスを印加して抵抗変化を観測した。1 個のサンプルは最初のステップ状抵抗変化の直後に、1 個は 2 番目のステップ状抵抗変化の直後に、1 個は 3 番目のステップ状変化から数十時間経過後に、最後の 1 個は 4 番目の抵抗変化、すなわち断線に匹敵する大きな抵抗変化の直後にストレス印加を停止し、試験装置から取り出した。その後、ボイド形状観察のために FIB による薄片化加工と STEM での観測を行った。出来る限り配線幅方向のボイド形状に関する情報を得られるように、配線幅 0.16 μm に対して、0.1 μm 程度の厚さで加工を止めた。STEM は日立製の HD-2000 を使い、200 keV の加速電圧で透過電子像を観測した。

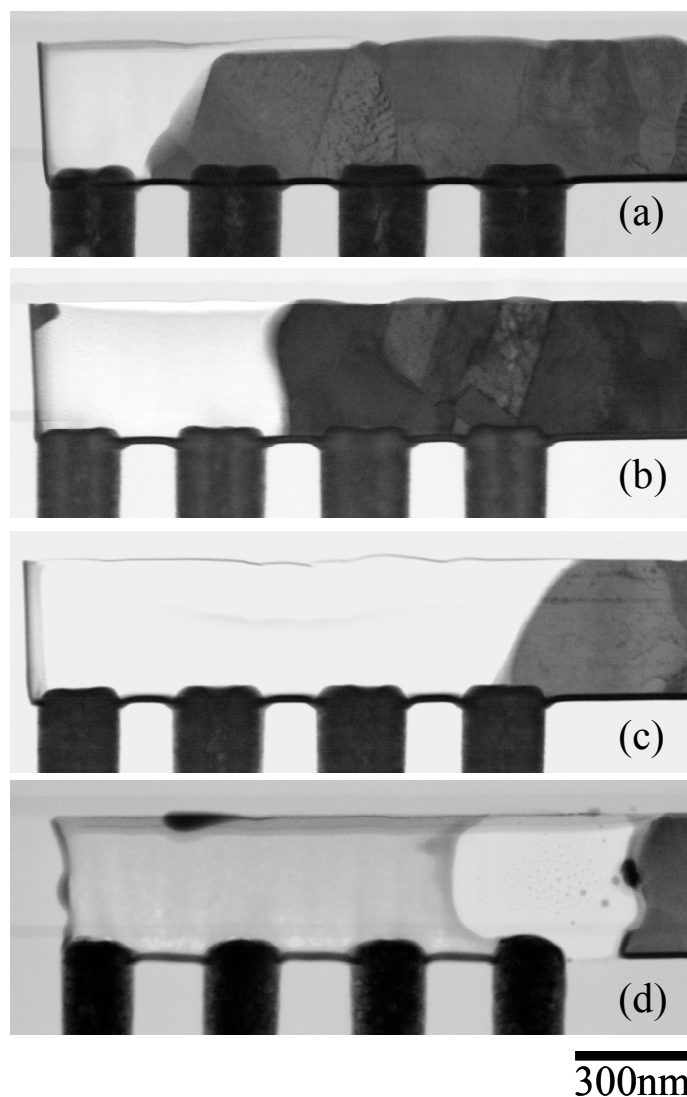


図 3-3 抵抗値のステップ変化に対応する断面 STEM 像. (a) t_1 直後、(b) t_2 直後、(c) t_4 直前、(d) t_4 直後.

図 3-3(a)、(b)は、それぞれ 1 番目、2 番目の抵抗ステップ変化の直後に観察を行ったものである。(a)は 1 番目、(b)は 2 番目のコンタクト上までボイドが成長していることがわかる。(a)では 1 番目のコンタクトが、(b)では 1 番目と 2 番目のコンタクトが電流経路としてほぼ寄与してないことが伺える。配線底のバリアメタルは形状を維持しているが、非常に薄いことと抵抗率が高いことから、電流経路としての寄与は無視できるほど低いと考えられる。(c)は 3 番目の抵抗ステップ変化を経てある程度時間が経過した時点、すなわち 4 番目の抵抗ステ

ップの直前の観察である。ボイドが 4 番目のコンタクトの途中まで成長しているのが分かる。(d)は 4 番目の抵抗変化時点での観察である。4 番目の抵抗変化は、断線に等しい大きな抵抗変化となる。STEM 観察の結果では 4 番目のコンタクトまでボイドが完全に成長し、残ったバリアメタルのみで導通した瞬間にジュールヒーティングによる焼損が発生しているものと考えられる。このように、Kawasaki-Hu test structure では抵抗値をボイドの成長距離のモニタ特性として用いることが可能となる。

実験によって観測されるボイド成長距離の時間依存プロットにより、Incubation time とドリフト速度が求められる。時間に対するボイド成長距離に対して直線を当てはめた際の、傾きがボイドの成長速度、すなわち Cu の移動速度となる。これをドリフト速度と定義する。また、時間軸（横軸）の切片は、この時点までボイドの成長がないものとみなされる時点を示す。実際には、観測が電氣的測定によるものであることから、核形成した後に成長しはじめたボイドが、抵抗変化に寄与する大きさに達するまでに要する期間となる。これを Incubation time と定義する。

図 3-4 は、4つのステップ時点に対するボイド長をプロットした例である。あてはめた直線の傾きはドリフト速度、時間軸切片は Incubation time に相当する。

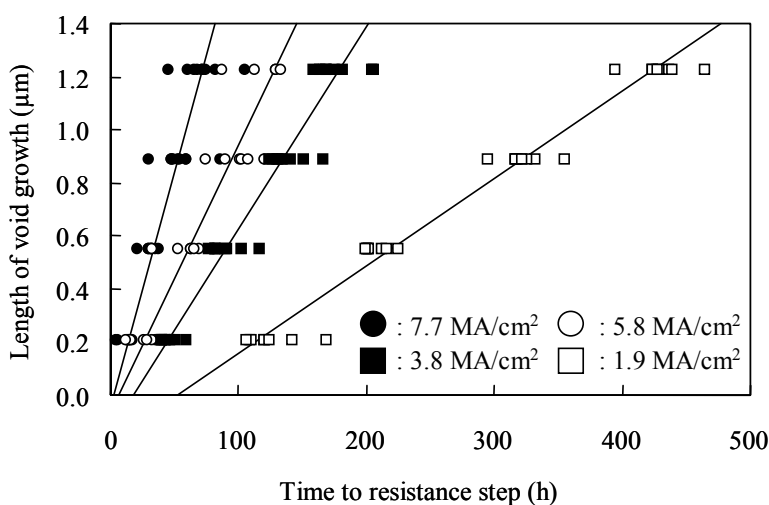


図 3-4 Kawasaki-Hu test structure によるダマシ Cu 配線の試験結果例.

図より、電流密度が高くなるにつれてドリフト速度が大きくなることが分かる。同時に Incubation time は小さくなる。表 3-1 に、配線長 100 μm のサンプルを用いた際の、各試験条件におけるドリフト速度と Incubation time の推定値を示す。各水準 5 個から 10 個のサンプルを用いて実験を行った。すなわち、20 から 40 のステップ状抵抗変化の時間データが得られた。ドリフト速度と Incubation time の推定は、上記データ組を用いて、簡易的に最小二乗法によって実施した。ボイド成長距離は Test structure のレイアウトから求められる定数であり、抵抗変化時点が観測値であるため、前者を説明変数、後者を従属変数とした。実際には、データはサンプル内で相関を有するため、それらを考慮したパラメータ推定が必要となる。ここではドリフト速度と Incubation time の平均的挙動から物理特性の変化を検討することを目的とし、無相関として分析を行った。サンプル内、サンプル間の相関を考慮した場合の特性推定は今後の課題である。

表 3-1 実験より推定されるドリフト速度と Incubation time

Temp. [°C]	Current Density [MA/cm ²]	Drift velocity [nm/hour]	Incubation time [hour]
255	3.8	1.6	77.6
	7.7	3.4	40.7
	11.5	5.4	5.9
275	3.8	3.5	51.2
300	1.9	3.3	52.6
	3.8	7.6	17.6
	5.8	10.1	6.4
	7.7	17.9	3.0
325	3.8	16.2	9.1
350	0.95	4.0	31.0
	1.9	10.3	5.6
	3.8	28.9	2.4

得られた推定値に基づいて、次節よりエレクトロマイグレーションによる原子輸送現象の詳細な特性分析を行う。

3.3.2. サンプルの結晶構造

エレクトロマイグレーションは電子風力を駆動力にした金属原子の輸送現象であるため、対象となる金属がいかなる結晶構造をしているかに強く依存する。そこで、Electron Back-Scatter Diffraction (EBSD)と STEM を用いて、被評価配線の結晶構造を調査した。

図 3-5 に、EBSD を用いた被試験対象 M1 の Cu 結晶構造の調査結果を示す。ここでは、隣接する 2 測定点以上における結晶方位のずれが 2 度以内の領域を同一結晶粒と定義した。2 度を超えた角度で方位が異なる 2 測定点を結ぶ線分の二等分線を粒界として示している。なお、粒界のうち Σ 3 双晶粒界をグレーで、それ以外を黒線で示した。 $\langle 111 \rangle$ 、 $\langle 511 \rangle$ 方向が基板の法線から 10 度以内になる測定点を、方位毎に濃淡の異なる灰色で示してある。

図 3-5 より、本章のサンプルは、 $\langle 111 \rangle$ 、 $\langle 511 \rangle$ 方向の結晶が 90%以上を占める擬バンブー構造であることがわかる。これは、配線を形成する Cu 結晶の結晶方位がほぼ同一の方向を向いた、いわゆる「高い配向性」の状態にあることを示している。

また、粒界構造に Cu 配線特有の特徴が見られる。配線幅方向に対する粒界は特に結晶学的な特徴を持たない、いわゆるランダム粒界である。一方で配線長方向の粒界はほとんどが双晶粒界であることがわかる。双晶粒界は ECP による Cu 成膜後のアニール処理にて生じる焼きなまし双晶 (Annealing twin) であるため、双晶の界面が双晶面となっている。このとき、双晶界面の両側の原子配列は、その面に対して鏡映の関係になっている。つまり、結晶の原子配列は界面においても持続しており、その界面エネルギーは小さい[9]。言い換えると、双晶はボイド核形成の特異点 (Void nucleation site) としても、Cu 移動の拡散経路としても、その寄与はランダム粒界よりも相対的に小さいものと考えられる。

図 3-6 に示す TEM による観察からは、断面方向にも擬バンブー構造であることが確認された。擬バンブー構造では配線長方向に結晶粒界の連続性がないため、ボイド成長のための原子移動経路としての結晶粒界の寄与は低いものと考えられる。

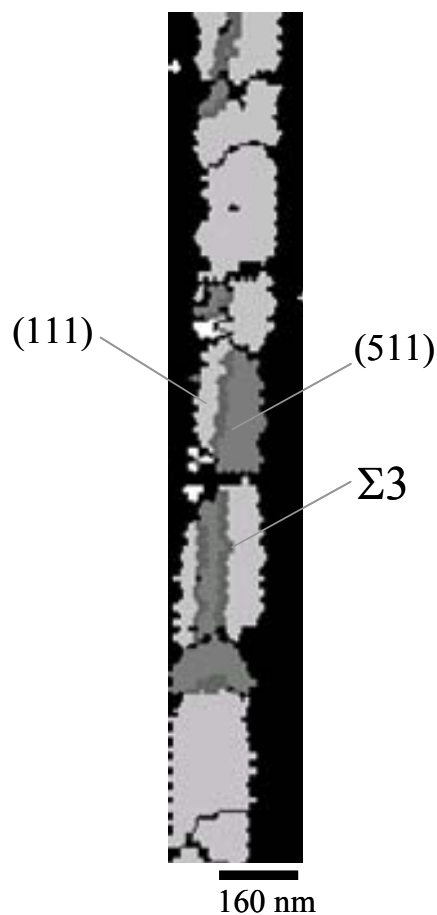


図 3-5 EBSD 法による被試験配線の結晶配向性分析結果.

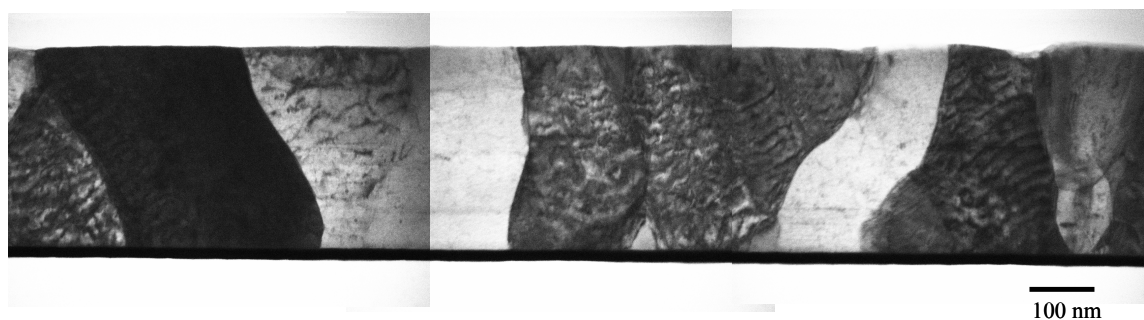


図 3-6 STEM による被試験配線の結晶構造分析結果. 断面からの観察.

3.3.3. ドリフト速度に関する分析

バルク、界面、粒界など、複数存在する拡散パスが互いに独立に Cu 移動に寄与すると仮定すると、電子流方向に対して垂直なダマシン Cu 配線断面について、拡散係数 D_{eff} は以下のように分解される[10]。

$$D_{\text{eff}} = n_b D_b + \left(\frac{\delta_{\text{gb}}}{d} \right) \left(1 - \frac{d}{w} \right) D_{\text{gb}} + \delta_i \left(\frac{2}{w} + \frac{1}{h} \right) D_i + \frac{\delta_s}{h} D_s \quad (3-1)$$

このとき、添え字の b、gb、i、s は、それぞれバルク、粒界、バリアメタル/Cu 界面、Cu/キャップ膜界面を示す添え字である。 δ_{gb} は結晶粒界の有効厚、 d はグレインサイズ、 w は配線幅、 δ_i はバリアメタル/Cu 界面の有効厚、 h は配線高さ、 δ_s は Cu/SiN キャップ膜界面の有効厚を示す。このとき、 n_b 、 $(\delta_{\text{gb}}/d)(1-d/w)$ 、 $\delta_i(2/w+1/h)$ 、 δ_s/h は、b、gb、i、s の、それぞれの経路における原子輸送比を示す。各拡散係数は $D = D_0 \exp(-\phi/kT)$ 、 D_0 は特定経路の拡散係数の前指数項、 ϕ は特定経路の拡散の活性化エネルギーによって示される。

バルク拡散の活性化エネルギーは 2.04eV [11]であり、その寄与は 350°C 以下ではほぼ無視しうる。また、前節の結晶構造分析の結果からは、結晶粒界の寄与もさほど大きくないものと考えられる。したがって、バリアメタル/Cu 界面もしくは Cu/SiN キャップ膜界面の拡散パスとしての寄与が高いものと予測される。

3.3.4. Incubation time

実験から得られた Incubation time の各ストレス依存性より、実使用条件の予測を行うためのパラメータ推定を行う。モデル式としては、Black の経験式と同じ関数形を仮定したストレス依存モデルを用いた。

図 3-7 は表 3-1 の Incubation time の電流密度依存性を示したものである。電流密度依存係数 ' n ' は 1.99 ± 0.51 (95%信頼区間) となり、ほぼ 2 とみなせる。エレクトロマイグレーション誘起の内部応力分布の変化において、配線端部で

引っ張り応力、もしくは圧縮応力が臨界応力を越えた時点でボイドもしくはヒロックが核形成するという Korhonen らのモデルによれば、臨界応力到達時間は電流密度の二乗に反比例することが解析的に[1]、もしくは数値シミュレーションにて示されており[2]、本検討の結果はこれによく一致する。

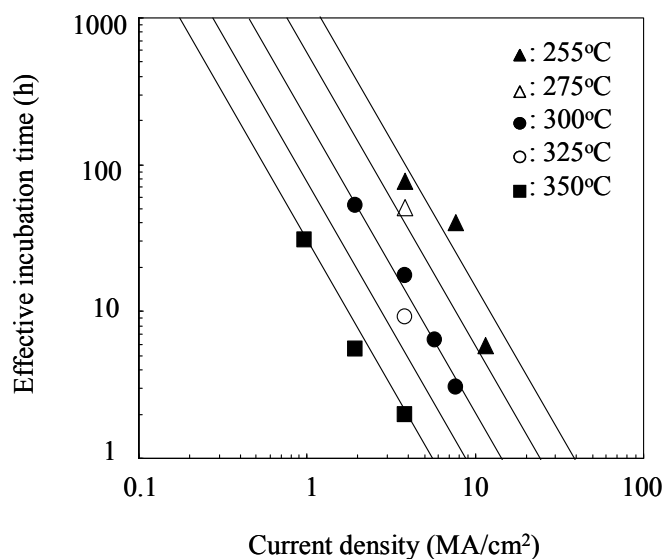


図 3-7 Effective incubation time の電流密度依存性.

Korhonen らの配線応力の非定常状態のモデルは、以下の式で示される[1]。

$$\frac{\partial \sigma}{\partial t} = \frac{\partial}{\partial x} \left[\frac{DB\Omega}{kT} \left(\frac{\partial \sigma}{\partial x} + \frac{Z^* e \rho j}{\Omega} \right) \right] \quad (3-2)$$

ここで、 σ は引張応力、 x は配線カソード端からの距離、 D は拡散係数、 B は体積弾性係数、 Ω はMetalの原子体積、 k はボルツマン係数、 T は絶対温度、 Z^* は有効電荷数、 e は電子素量、 ρ は比抵抗、 j は電流密度である。式(3-2)を準無限長の仮定の下で σ について変換し、カソード端の応力の時間変化について解くと、以下の式が示される[1]。

$$\sigma(x=0) = \frac{2Z^* e \rho j}{\Omega} \sqrt{\frac{DB\Omega t}{\pi kT}} \quad (3-3)$$

式(3-3)において、ボイドの核形成する臨界応力を σ_{th} とし、核形成までの時間、すなわち **Incubation time** を t_{inc} とすると、以下の式が求められる[1]。

$$t_{inc} = \frac{\pi kT}{DB\Omega} \left(\frac{\sigma_{th} \Omega}{2Z^* e \rho j} \right)^2 \quad (3-4)$$

式(3-4)より、**Incubation time** の電流密度依存指数が2になることが示される。前章での寿命試験における抵抗増加前の断面解析の結果から、ストレス印加後相当な時間までボイドが全く発生していない時間が存在することが分かっており、**Incubation time** は寿命に対して無視できない寄与をしていると考えられる。

次に、図 3-8 に示される **Incubation time** のみかけの活性化エネルギーは、1.14 ± 0.27eV (95%信頼区間) であった。この数値は前章で示した寿命の活性化エネルギーのロット間差範囲にはない。また、式(3-4)に示される **Incubation time** モデルにおいて、ボイドの核形成に至るまでの応力の時間変化に作用する拡散係数の活性化エネルギーを、以下の式変形によって規格化された **Incubation time** によって求めることができる。

$$\frac{t_{inc} j^2}{T} = \frac{\pi k \Omega}{B} \left(\frac{\sigma_{th}}{2Z^* e \rho} \right)^2 \cdot D_0^{-1} \cdot \exp\left(\frac{\phi_{inc}}{kT}\right) \quad (3-5)$$

ここで、 ϕ_{inc} は応力の時間変化に作用する拡散の活性化エネルギーである。式(3-5)に基づいて得られる規格化された **Incubation time** の活性化エネルギーが後述するドリフト速度の活性化エネルギーとは異なる場合、それぞれ異なる Cu の拡散現象が作用しているものと考えられる。

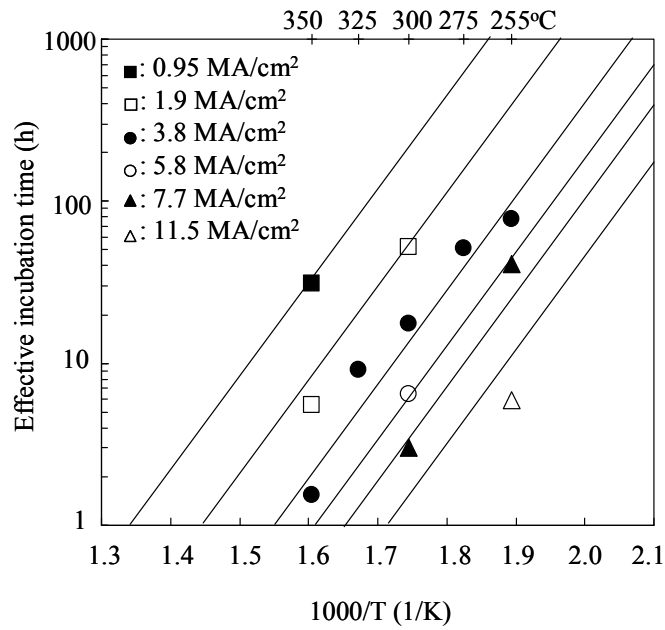


図 3-8 Effective incubation time のアレニウスプロット.

式(3-5)に基づくアレニウスプロットを図 3-9 に示す。図より求められる活性化エネルギーは $1.20 \pm 0.19 \text{ eV}$ (95%信頼区間) となった。

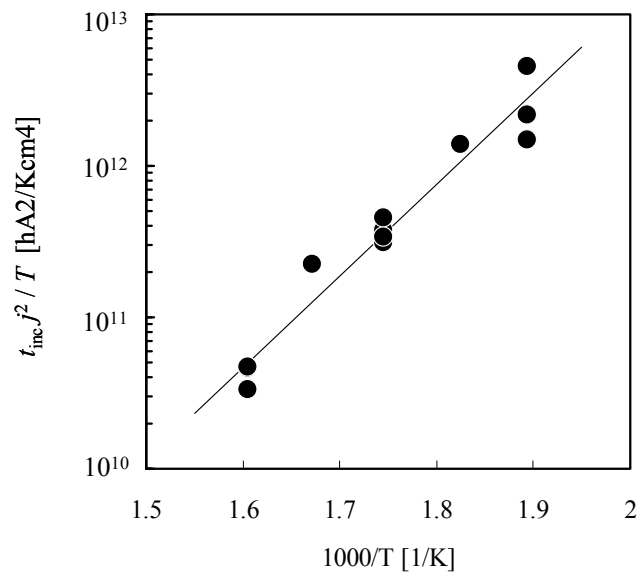


図 3-9 規格化された incubation time のアレニウスプロット.

以上のように、実験より得られた数値は Cu の粒界拡散の活性化エネルギー (1.2eV [12]) や、バリアメタル(Ta)/Cu 界面拡散の活性化エネルギー (1.4eV [13]) に近いものであり、ボイドの核形成に粒界やバリアメタル/Cu 界面が寄与していることを示唆しているものと思われる。Liniger らは、被膜保護パッシベーションのないダマシ Cu 配線を SEM 筐体内に保持し、ストレスを印加しながらボイドの形成、成長を観測している[3]。彼らの観察によれば、ボイドは始めに配線カソード端の結晶粒界や、バリアメタル/Cu 界面において核形成するとされている。本研究においても、前章の図 2-16 のように粒界とキャップ絶縁膜の接触箇所、いわゆる粒界三重点に表面のみの浅いボイドが観測されている。これらの結果から、ボイドの核形成に対して粒界が無視できない寄与している可能性が高いものと考えられる。結晶粒界は結晶の連続性が低く応力集中が発生しやすいこと、空孔の拡散経路として寄与することから、粒界三重点がボイド核形成の特定位置になると考えても、特に矛盾はない。

以上のパラメータの差異により、一般的なエレクトロマイグレーション試験で用いられる「寿命」から寿命予測を行った場合と、大きく結果が異なるものと考えられる。たとえば、第 1 ステップ時点を寿命と定義して求めた電流密度依存係数 ' n ' は 1.48、活性化エネルギーは 0.82eV になるため、実使用条件の予測結果は、両者で大きく異なることになる。

図 3-10 は、300°C の条件下で、配線長 50・100・200 μm のサンプルを試験した際の Incubation time の電流密度依存性を示す。電流密度依存係数は、図 3-8 と同様にほぼ 2 となる。さらに配線長による Incubation time の差はほぼ無い。ボイドの核形成は、配線カソード端の引張応力が臨界応力を超えるというモデルの立場では、準無限長が仮定できる際の Incubation time は配線長依存がないと考えるのが自然である。これは、次節で検討するエレクトロマイグレーションによるボイド成長のしきい条件を超えた範囲の現象であるか否か、に依存しているものと思われる。

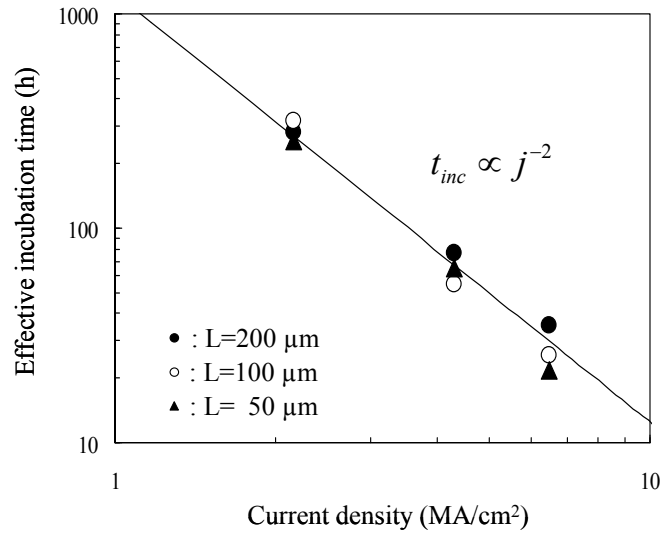


図 3-10 Effective incubation time の配線長依存性.

3.3.5. ドリフト速度およびしきい電流密度

第 1 章で述べたように、ドリフト速度は以下のモデルにて示される。

$$v_d = \frac{D_{\text{eff}}}{kT} \left(Z_{\text{eff}}^* e \rho j - \Omega \frac{\Delta \sigma}{\Delta x} \right) \quad (3-6)$$

ここで、 v_d はドリフト速度、 D_{eff} は実効拡散係数、 k はボルツマン定数、 T は絶対温度、 Z_{eff}^* は有効電荷数、 e は電子素量、 ρ は比抵抗、 Ω は Metal の原子体積、 $\Delta \sigma$ は配線端の応力差、 Δx は応力差の生じる距離で、実効的には配線長 L で置き換えられる。式(3-6)の右辺括弧内第一項は、電子風力によるイオンの移動を示し、第二項はエレクトロマイグレーション誘起の応力勾配による逆流[14]を示す。なお、第二項の逆流効果はバックフロー効果と呼ばれている。

式(3-6)において電子風力による移動と、バックフロー効果による移動が均衡する場合、すなわち $v_d=0$ が成り立つ場合、エレクトロマイグレーションによる Cu の移動は発生しないしきい条件、いわゆる Critical product が示される。式

変形より、以下の条件が求められる[14]。

$$j_c \cdot L = \frac{\Omega \Delta \sigma}{Z_{\text{eff}}^* e \rho} \quad (3-7)$$

j_c は配線長 に対するしきい電流密度である。 Z_{eff}^* は ρ に反比例すると考えられるため、 $Z_{\text{eff}}^* \rho$ は温度に対して独立と考えられる[15]。

図 3-11 にドリフト速度の電流密度依存性を示す。式(3-6)に示される線形性を示し、 j_c は 0.59MA/cm^2 である。また、 j_c には温度依存性はない。Critical product [14] は約 5900A/cm である。この値は、配線被膜のない Blech らの構造[4]を用いた報告 ($225 \sim 900 \text{A/cm}$: [6]) と比較すると約 10 倍程度大きく、同じシングルダマシン配線に関する従来報告 ($2500 \sim 4000 \text{A/cm}$: [16][17]) と比較しても大きい。被膜の有無によって大きな差が生じることから、実験の結果の差異は、サンプル構造や被膜材料、拡散プロセスの違いによって起こる配線内部応力の差に起因するものと考えられる。

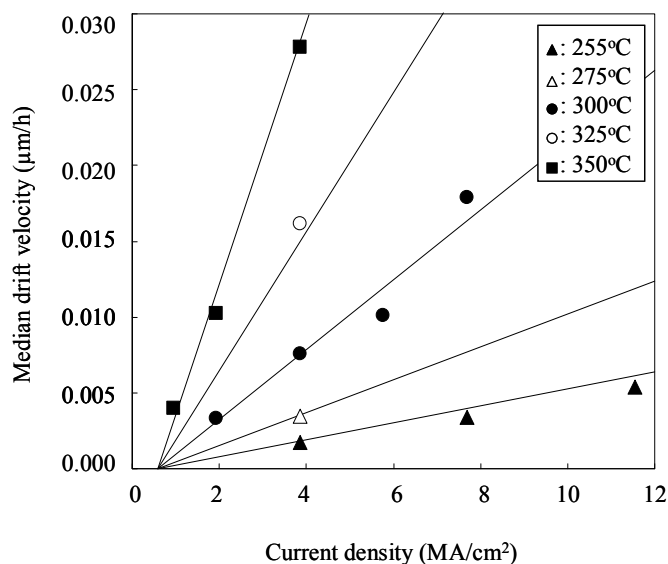


図 3-11 ドリフト速度の電流密度依存性.

図 3-12 に、 300°C の条件下での、配線長 $50 \cdot 100 \cdot 200 \mu\text{m}$ におけるドリフト

速度の電流密度依存性を示す。ドリフト速度は配線長に依存せず、おなじ直線上にプロットされるため、式(3-6)が成り立つことがわかる。

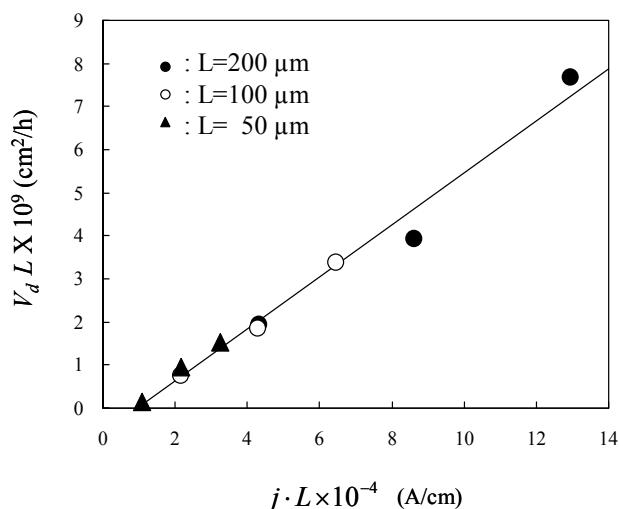


図 3-12 ドリフト速度の配線長依存性.

エレクトロマイグレーション誘起の拡散について議論するために、式(3-6)の以下のような式変形に従って、活性化エネルギーを求める。

$$\frac{v_d T}{j - j_c} = \frac{Z_{\text{eff}}^* e \rho}{k} \cdot D_{\text{eff}}^0 \exp\left(-\frac{\phi_{\text{eff}}}{kT}\right) \quad (3-8)$$

図 3-13 に、規格化されたドリフト速度のアレニウスプロットを示す。活性化エネルギーは $0.89 \pm 0.07 \text{ eV}$ (95%信頼区間) となり、表面拡散の活性化エネルギーとして報告されている値[3][7]と一致する。ただし、ドリフト速度の絶対値は、被膜されていないダマシン構造では、配線幅 $0.18 \mu\text{m}$ 、配線長 $100 \mu\text{m}$ 、 260°C 、 1.8 MA/cm^2 の条件下で 20 nm/hour のドリフト速度となる[3]。本研究の結果より求められる同条件のドリフト速度は 0.8 nm/hour となり、被膜なしの結果と比べて 20 分の 1 以下である。すなわち、被膜によって表面拡散が大きく抑制されたと考えられるが、活性化エネルギーが同一であることから、そのメカニズムが大きく変更したとは考えにくい。エレクトロマイグレーション信頼性のために

は、この Cu/キャップ絶縁膜の界面拡散を如何に抑制するかが重要になる。

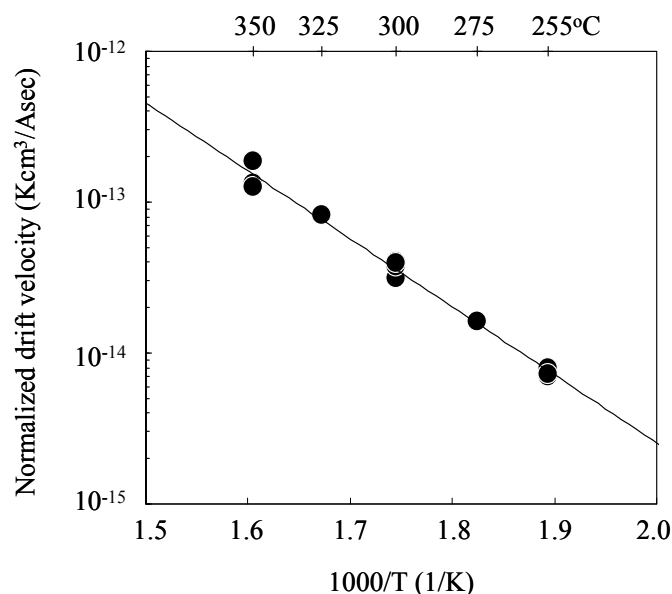


図 3-13 規格化されたドリフト速度の温度依存性.

3.4. 寿命におけるボイドの核形成と成長の位置づけ

観測される寿命は、Incubation time とボイド成長期間の和となる。寿命は一般的には数%から数十%の抵抗変化に至った時点と定義される。ダマシ Cu 配線における、エレクトロマイグレーション起因の抵抗変化は、前章で示したような急激な抵抗変化となる。このとき、エレクトロマイグレーション試験後の断面解析の結果からは、電流経路に対して Cu が完全に寄与しない部位が発生し、Open に等しい抵抗増加が発生しているものと考えられる。

配線のエレクトロマイグレーション寿命においては、ボイドの核形成が発生する箇所によって、Incubation time と、抵抗増加に至るまでボイドが成長するまでの時間の寄与度の違いが生じる。前章の考察で示したように、抵抗増加に至るまでに必要なボイドのサイズが大きい場合には、ボイド成長期が寿命に対して支配的になる。本章で確認したように、ボイドの成長は Blech のモデルによく従う。すなわち、ボイドが成長するに要する時間は電流密度に反比例する。

すなわち、寿命の電流密度依存性におけるべき指数は 1 に近いものが観測されることになる。逆に、抵抗増加に至るに必要なボイドのサイズが小さい場合には、Incubation time が寿命に対して支配的になる。この場合には、本章の結果よりべき指数は 2 に近いものが観測されることになる。

図 3-14 から図 3-17 に、ボイド核形成位置と、寿命に至るまでに必要なボイドのサイズに関する模式図を示す。核形成位置に依存して、ボイド成長による時間の寄与が大きく変わることが分かる。

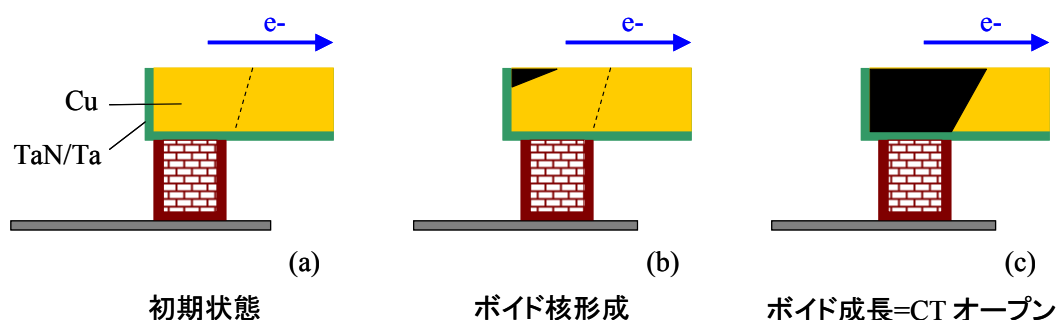


図 3-14 CT/M1 の寿命におけるボイドの核形成と成長.

図 3-14 は、コンタクト(CT)と配線の Up-stream モードで発生する故障の模式図である。前章の図 2-15 に示されるように、ボイドは Cu/キャップ絶縁膜界面で核形成される。その後成長して CT 上から Cu が失われると抵抗増加に至る。ボイド核形成までの時間が短ければ、ボイド成長期が寿命に占める寄与が非常に大きくなる。

図 3-15 は前章における Down-stream モードの一例である。Via 底と下層の Cu が接触している箇所に、結晶粒界が接している場合である。いわゆる、粒界三重点にあたる部分となる。Korhonen らのモデル[1]によれば、配線カソード端での引張応力が、時間経過に伴う変化によって臨界応力を越えた時点で核形成が発生するとされている。結晶粒界は、結晶の連続性が損なわれている場所であるために応力集中が発生しやすい箇所といえる。また、粒界を移動経路とした空孔拡散もボイドの核形成を補助する。いわゆるストレス誘起ボイドの発生箇所と同じ構造となる。Down-stream モードにおいては、Via の真下の Cu が

全て移動した時点で抵抗増加が発生する。図 3-15 の場合、核形成位置が Via の真下であるため、その後わずかなボイドの成長のみで Via 真下の Cu が移動してしまうため、寿命は比較的短時間となる。

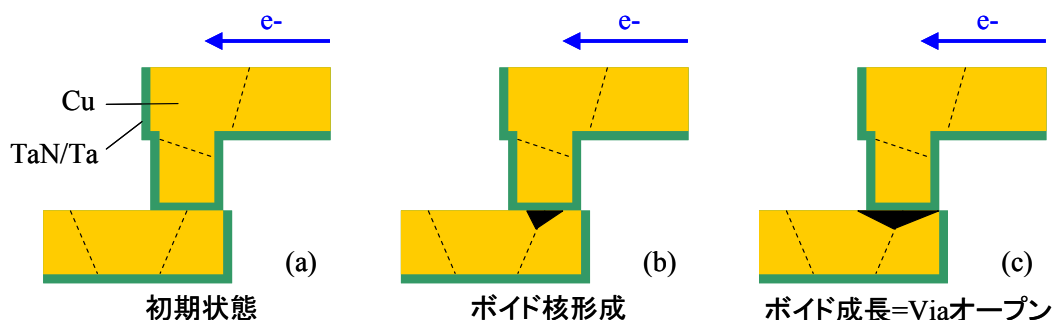


図 3-15 M2/V1/M1 (Down-stream) の寿命におけるボイドの核形成と成長. Via 下の Via 底と結晶粒界による粒界三重点にボイドが核形成する場合.

同様に、図 3-16 の例は同じ Down-stream モードであるが、Via 脇の Cu/キャップ絶縁膜界面に接した結晶粒界、すなわち粒界三重点でボイドが核形成され、その後成長する場合である。この場合、ボイドが比較的大きく成長する必要があるため、寿命に対してボイド成長期の寄与が大きくなる。

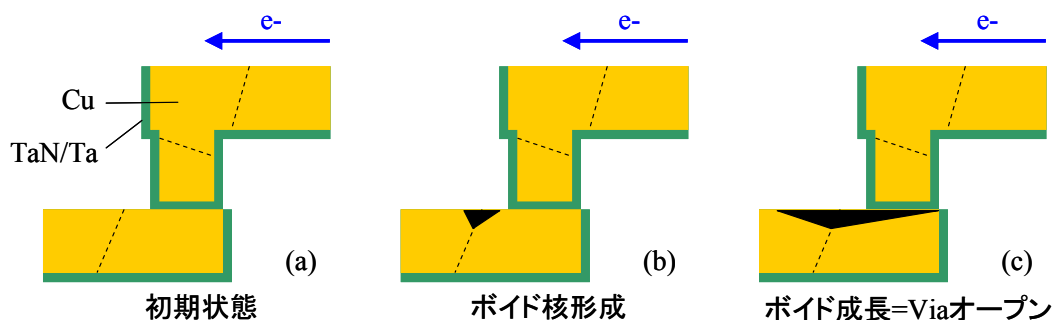


図 3-16 M2/V1/M1 (Down-stream) の寿命におけるボイドの核形成と成長. Via 脇の M1/キャップ絶縁膜界面と粒界による粒界三重点にボイドが核形成する場合.

また、Via 近傍に粒界が存在しない場合には、Via と Cu の界面においてボイドが核形成すると考えるのが自然である。図 3-17 にその例を示す。前述のように、粒界三重点は応力の視点からも、空孔拡散の視点からも核形成しやすい、いいかえると臨界応力が低い箇所と考えられるが、図 3-17 の例では粒界三重点

は存在しない。したがって、最も応力集中する箇所で核形成すると考えられる。ただし、臨界応力は比較的大きいので、Incubation time が長いものと考えられる。

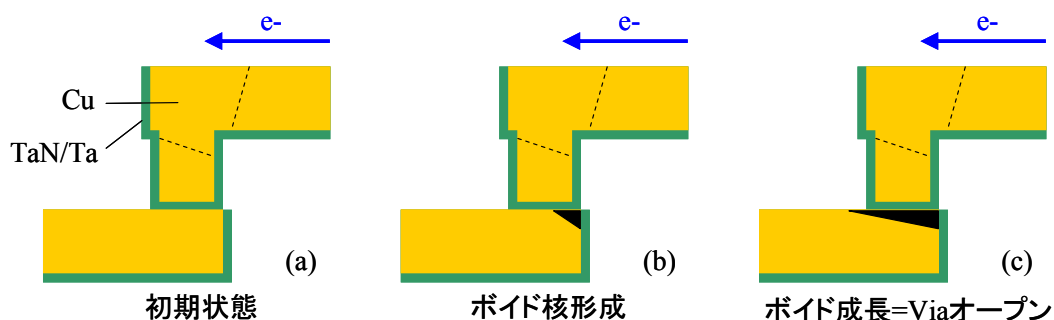


図 3-17 M2/V1/M1 (Down-stream) の寿命におけるボイドの核形成と成長. Via 下の Via/Cu 界面にボイドが核形成する場合.

以上に挙げたボイドの成長は、Cu 移動の律速過程となるに拡散経路によってその特性が決まる。Down-stream モードにおいては、ボイドの核形成位置は、いずれの界面においても Cu の上部界面であり、支配的拡散経路と考えられる Cu/キャップ絶縁膜界面近傍である。この界面拡散によるボイド成長速度と必要となるボイドサイズによって寿命が変わることになる。実際の LSI 信頼性は多数のセグメントの直列系となるため、LSI の寿命を決定するのは、セグメント単位では非常に低い累積故障の寿命である。したがって、最もボイドサイズが小さい大きさに寿命に至る図 3-15 の例が、最も重要となる。この点については、第 6 章で再度検討する。

3.5. Cu/SiN 界面拡散の抑制とその効果

これまで検討したように、エレクトロマイグレーション信頼性の改善においては、Cu/キャップ絶縁膜界面の Cu 拡散の抑制が重要となる。その効果に関する指針は、本章における検討から 2 点挙げることができる。

第一に、寸法依存による界面拡散の寄与の評価が可能である。拡散係数の分解式である式(3-1)によれば、Bulk 拡散以外の項は何らかの寸法依存性を有するこ

と分かる。本章で支配的と考えられる Cu/キャップ絶縁膜界面拡散は配線高さに依存する。粒界拡散及びバリアメタル/Cu 界面拡散は、配線高さ及び配線幅に依存する。したがって、ドリフト速度の配線幅依存性の測定により、Cu/キャップ絶縁膜界面拡散の寄与が判定できる。配線幅依存が認められないときには、ボイド成長は Cu/キャップ絶縁膜界面拡散のみに依存して進行すると考えられる。

第二に、活性化エネルギーからの判定である。本章の結果から、Cu/キャップ絶縁膜界面拡散が支配的と考えられる場合には、規格化ドリフト速度の活性化エネルギー、すなわち Cu 拡散の活性化エネルギーは表面拡散のそれと同じ 0.9eV 程度であった。Cu/キャップ絶縁膜界面拡散が抑制され、ボイド成長に対する寄与度が低下した際には、より大きな値が観測されるものと思われる。これは、第二章で示した CuSi_x 生成による寿命の活性化エネルギー変化にも対応し、矛盾がない。

次章では、90nm ノードのサンプルを用いてドリフト速度の寸法効果について論じ、エレクトロマイグレーション特性の改善指針を示す。

3.6. 結言

微細なシングルダマシン Cu 配線のエレクトロマイグレーション特性には明らかな Incubation time が存在し、その後のボイド成長とは異なるストレス依存性を持つ。Incubation time は電流密度の二乗に反比例した。ドリフト速度は電流密度に比例するため、ボイド成長時間は電流密度に反比例する。活性化エネルギーは Incubation time が $1.20 \pm 0.19 \text{eV}$ 、ドリフト速度が $0.89 \pm 0.07 \text{eV}$ である。したがって、寿命予測においては、各々の寄与を別々に考慮する必要がある。

本章で用いた 130nm ノードプロセスにおける Critical product は 5900A/cm である。Critical product は、 $250 \sim 350^\circ\text{C}$ の範囲で温度依存性が見られなかった。実使用条件である 110°C 近傍でも、この数値は保存されると考えられるため、実際の配線設計においてこの数値は非常に重要な指針となる。具体的には、この

数値の範囲内であればエレクトロマイグレーション寿命は無限大とみなせる。

エレクトロマイグレーションによる Cu の拡散経路は、Cu/キャップ絶縁膜界面であることが、結晶構造分析、及び拡散の活性化エネルギーから判明した。その活性化エネルギーは表面拡散と同じである。この Cu/キャップ絶縁膜界面の Cu 拡散抑制が、エレクトロマイグレーション信頼性を改善する鍵と考えられる。

第3章の参考文献

- [1] M.A. Korhonen, P. Borgesen, K.N. Tu, and C.Y. Li; “Stress evolution due to electromigration in confined metal lines,” *Journal of Applied Physics*, Vol.73, No.8, pp.3790-3799 (1993).
- [2] Y.-J. Park, V.K. Andleigh, and C.V. Thompson; “Simulations of stress evolution and the current density scaling of electromigration-induced failure times in pure and alloyed interconnects,” *Journal of Applied Physics*, Vol.85, No.7, pp.3546-3555 (1999).
- [3] E. Liniger, L. Gignac, C.-K. Hu, and S. Kaldor; “In situ study of void growth kinetics in electroplated Cu lines,” *Journal of Applied Physics*, Vol.92, No.4, pp.1803-1810 (2002).
- [4] I.A. Blech and E. Kinsbron; “Electromigration in thin gold films on molybdenum surfaces,” *Thin Solid Films*, Vol.25, pp.327-334 (1975).
- [5] H. Kawasaki and C.-K. Hu; “An electromigration failure model of tungsten plug contacts/vias for realistic lifetime prediction,” Proc. International Symposium on VLSI Technology, pp.192-193 (1996).
- [6] R. Frankovic and G.H. Bernstein; “Electromigration Drift and Threshold in Cu Thin-Film Interconnects,” *IEEE Transactions of Electron Devices*, Vol.43, No.12, pp.2233-2239 (1996).
- [7] C.-K. Hu, R. Rosenberg, and K. Y. Lee; “Electromigration path in Cu thin-film lines,” *Applied Physics Letters*, Vol.74, No.20, pp.2945-2947 (1999).
- [8] Y. Kakuhara and S. Chikaki; “Electromigration Behavior of Borderless vias”, in *Proc. of Fouth International Workshop on Stress Induced Phenomena in Metallization, AIP Conf. Proc. 418, H. Okabayashi, S. Shingubara, P.S. Ho Eds.*, pp.89-94 (1997).

- [9] 幸田成康; 「改訂金属物理学序論」, コロナ社 (1964).
- [10] C.K. Hu and B. Luther; “Electromigration in two-level interconnects of Cu and Al alloys,” *Materials Chemistry and Physics*, Vol.41, pp.1-7 (1995).
- [11] C. Kittel; *Introduction to Solid State Physics*, 7/TH Edition, John Wiley & Sons, Inc., New-York NY (1996).
- [12] J.R. Lloyd, J. Clemens, and R. Snede; “Copper Metallization Reliability”, *Microelectronics Reliability*, Vol.39, pp.1595-1602 (1999).
- [13] C.-K. Hu, L. Gignac, E. Liniger, B. Herbst, D.L. Rath, S.T. Chen, S. Kaldor, A. Simon, and W.-T. Tseng; “Comparison of Cu Electromigration Lifetime in Cu Interconnects Coated with Various Cap”, *Applied Physics Letters*, Vol.83, pp.869-871 (2003).
- [14] I.A. Blech; “Electromigration in thin aluminum films on titanium nitride”, *Journal of Applied Physics*, Vol.47, No.4, pp.1203-1208 (1976).
- [15] K.-N. Tu; “Electromigration in stressed thin films,” *Physical Review B*, Vol.45, No.3, pp.1409-1413 (1992).
- [16] P.-C. Wang and R.G. Filippi; “Electromigration threshold in copper interconnects,” *Applied Physics Letters*, Vol.78, No.23, pp.3598-3600 (2001).
- [17] S. Thrasher, C. Capasso, L. Zhao, R. Hernandez, P. Mulski, S. Rose, T. Nguyen, and H. Kawasaki; “Blech Effect in Single-Inlaid Cu Interconnects” Proc. IEEE International Interconnect Technology Conference, pp.177-179 (2001).

第4章 Cu 配線エレクトロマイグレーションの寸法依存

4.1. はじめに

前章までに、ダマシ Cu 配線のエレクトロマイグレーション寿命に対して重要な寄与を示しているのが、配線主金属である Cu と他の物質の界面であるという結論を示した。同様に、多くの従来研究が支配的な拡散経路を Cu/キャップ絶縁膜であると報告している[1][2][3]。一方で、バリアメタル/Cu 界面の拡散が支配的であるとの報告もある[4][5]。

前章において、Cu/キャップ絶縁膜界面拡散の寄与の判定方法について論じた。配線の断面寸法を変えたドリフト速度の検討によって、ボイド成長、すなわち Cu 移動に支配的な拡散経路の検証、検討を行うことが出来る。そこで本章においては、90nm ノードプロセスで作成したサンプルを用いて、ダマシ Cu 配線におけるエレクトロマイグレーション特性の寸法効果を議論する。

配線の微細化に伴って、断面積に対する実効的な界面の比率は高くなる。すなわち、いずれの界面拡散が支配的な場合でも、配線の微細化は、配線寿命の低下や、許容電流値の低下の要因となりうる。そのため、微細配線幅領域のエレクトロマイグレーション誘起のボイド成長挙動を把握する必要性は高い。

図 4-1 に、界面処理を最適化した 90nm テクノロジーノードのダマシ Cu 配線における、エレクトロマイグレーション寿命の配線幅依存性を示した。Via とその下層配線に関する寿命、すなわち Down-stream モードの寿命である。配線幅範囲は 0.12 μm から 8 μm である。試験の電流密度は配線断面で定義し、一定とした。故障の判定は、抵抗観察値が、初期値から 3%増加した時点とした。図より、配線幅が 0.5 μm 以上の領域では、寿命はほぼ一定の値となる。ところが、0.5 μm 以下の領域では、配線幅の減少に伴い、寿命が低下することがわかる。これは、Sato らの報告と一致する[4]。図 4-2 は、0.5 μm 未満の配線幅依存性の詳細な試験結果を示したものである。図より、配線幅の減少と共に、寿命

は配線幅のほぼ二乗に比例して減少することがわかる。このように、寿命と配線幅の関係を簡単なモデルで示すことにより、レイアウト設計時に最適な配線幅を選択する情報を与えることができる。

本章では、エレクトロマイグレーション誘起の原子輸送に対して、スケーリングが及ぼす影響について議論する。試験には、前章と同じくシングルダマシ Cu 配線構造の Kawasaki-Hu 型の Test structure を用いた[6]。これにより、実効的な Incubation time とドリフト速度を分離して測定した。

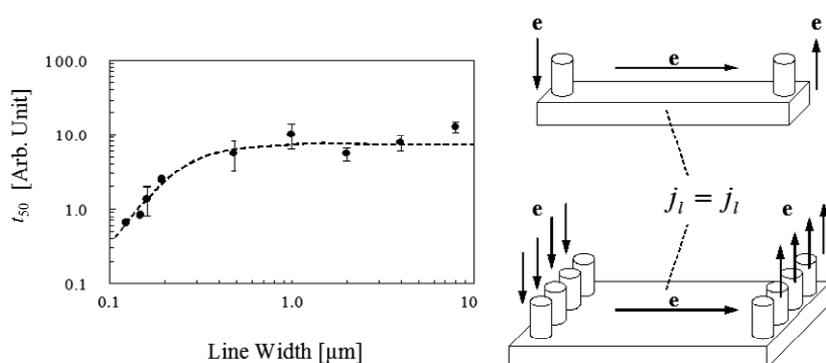


図 4-1 ダマシ Cu 配線における V1/M1 寿命の配線幅依存性. Via 径は一定で、配線幅方向にレイアウト・ルール上で許容される、最大数の Via を配置した. 雰囲気温度 300℃、配線の電流密度を 2MA/cm² にて試験した.

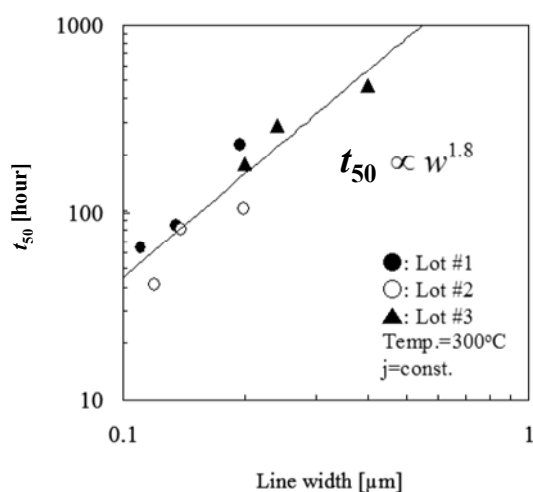


図 4-2 微細配線のエレクトロマイグレーション寿命の配線幅依存性. 配線幅 0.12μm～0.42μm の実験結果.

4.2. 実験

図 4-3 に、実験に用いた Test structure を示す。90nm ノードプロセスで作成し、1層ダマシン Cu 配線と N+拡散層で構成されている。配線層間は SiO₂ 膜、キャップ絶縁膜および溝エッチングストッパは SiCN 膜である。Cu の埋め込みは PVD による Ta/TaN バリアおよびシード Cu 層の形成後、ECP により行った。

Test structure の被試験セグメント (M1) は $H=0.27\mu\text{m}$ 、 $L=100\mu\text{m}$ で、コンタクト径一定のまま、配線幅のみ異なるもの 3 種 ($0.12, 0.14, 0.20\mu\text{m}$) を用いた。

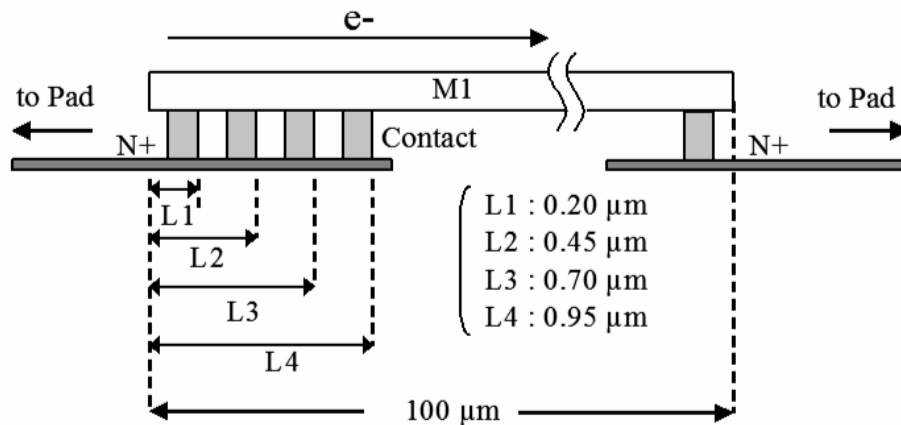


図 4-3 Test structure の断面概念図. 試験時の電流密度は、配線断面で定義した. L1, L2, L3, L4 の数値は、TEM による断面観察結果から算出した.

90nm ノードプロセス世代では、130nm ノードプロセスに対して 70%程度寸法がシュリンクしているため、配線間の実効誘電率を下げるためにキャップ絶縁膜が SiN から SiCN へと移行した。前者は誘電率 $k\sim 7.0$ に対して、後者は誘電率 $k\sim 4.9$ であり、配線性能の向上に寄与している。更に誘電率が低い SiC ($k\sim 4.5$) も検討されている。膜種のみでなく、成膜方法に依存して、エレクトロマイグレーションや SIV などの信頼性が変わるため、その評価や判定方法の必要性は非常に高いものとなっている。

実験は、 $255\sim 350^\circ\text{C}$ の雰囲気下で、 $2\sim 12\text{MA}/\text{cm}^2$ の電流密度にて実施した。図 4-3 に示す方向の電子流となる定電流を印加し、抵抗値の変化を観測した。

カソード端よりボイドが成長し、ボイド長が L1 に達するとステップ状の抵抗変化が発生する。続いて L2、L3、L4 までボイドが成長するに伴い、その都度ステップ状の抵抗変化が観察される。本章での抵抗変化の例を図 4-4 に示す。

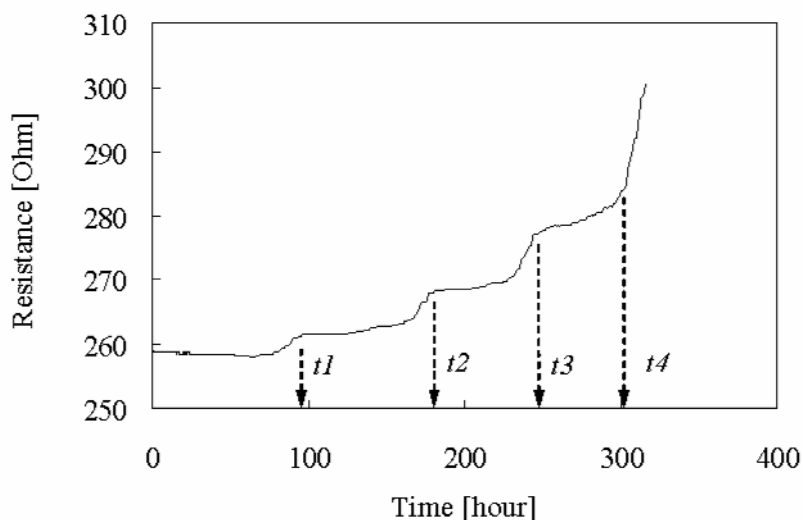


図 4-4 エレクトロマイグレーション試験時の抵抗変化の例.

4.3. 結果と考察

まず、ドリフト速度、および Incubation time の配線幅依存性を検証した。図 4-5 に、幅 0.12, 0.14, 0.20 μm の配線におけるボイド成長の比較を示す。300 $^{\circ}\text{C}$ の雰囲気温度において、被評価セグメントである M1 の電流密度が 3.9MA/cm² の条件にて試験を実施した。試験に使用したシステムは、第二章で示したものと同一ものを用いた。

いずれの配線幅に関しても、間接的に観測されたボイド成長 (Displacement) と時間は一次の関係にある。また、同一の電流密度において、配線幅が減少するにつれて、ドリフト速度は増加し、Incubation time が減少するのがわかる。両者とも、図 4-1 に示される微細領域での寿命低下に対して矛盾しない。1 番目の抵抗ステップ時点について、対数正規確率プロットを行った結果を図 4-6 に示す。0.12、0.14 μm 幅配線の形状パラメータは、ほぼ同じであるが、0.20 μm 幅配線は若干大きな結果となった。いずれの配線幅においても、コンタクトサ

イズは同じであるため、サンプル毎のボイドの形状によって若干の寿命ばらつきを生じるものと考えられる。本章では、Cu 移動およびボイド成長の平均的挙動に着目してデータを分析するが、実際の配線レイアウト設計においては、このばらつきを考慮する必要性は高い。

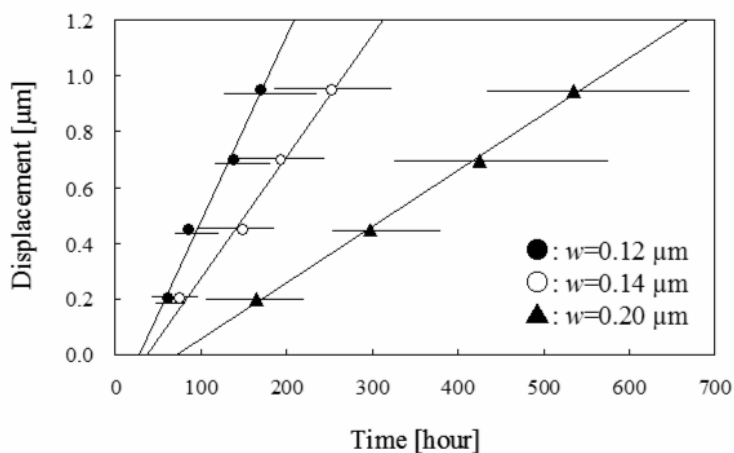


図 4-5 Kawasaki-Hu test structure による、カソード端ボイド成長の時間依存性測定結果。雰囲気温度 300°C、M1 部の電流密度 3.9MA/cm²にて実験を実施した。エラーバーは 5~10 個のサンプルによる max-min 範囲を示す。

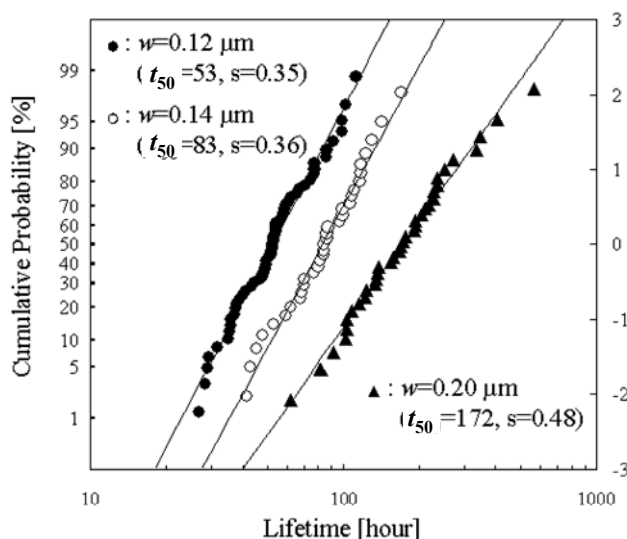


図 4-6 1 番目の抵抗ステップ時点の対数正規確率プロット。

前章に示したように、エレクトロマイグレーション誘起の質量移動は、Blechのモデル[7]にてよく説明される。ドリフト速度が以下の式で示される、

$$v_d = \frac{D_{\text{eff}}}{kT} \left(Z_{\text{eff}}^* e \rho j - \Omega \frac{\Delta \sigma}{\Delta x} \right). \quad (4-1)$$

ここで、 v_d はドリフト速度、 D_{eff} は実効拡散係数、 k はボルツマン定数、 T は絶対温度、 Z_{eff}^* は有効電荷数、 e は電子素量、 ρ は抵抗率、 j は電流密度、 Ω はMetalの原子体積、 $(\Delta \sigma / \Delta x)$ は配線長に沿ったエレクトロマイグレーション誘起の応力勾配である。式より、ドリフト速度は、Cuの移動度を示す拡散項と、Cu移動の駆動力を示す項の積によって表現されることがわかる。

図 4-7 は、配線幅毎のドリフト速度の挙動詳細を示したものである。図 4-7 (a)より、各配線幅共に式(4-1)のモデルに対するあてはまりがよいことがわかる。また、図 4-7 (b)は、規格化したドリフト速度と電流密度の関係を示したものである。図 4-2 より、経験的にドリフト速度に配線幅の二乗を乗じることによって規格化した。規格化したドリフト速度は、いずれの配線幅も、電流密度の 1 次式に対してあてはまりがよい。すなわち、ドリフト発生のしきい電流密度は、配線幅に依存しないと考えて差し支えない。したがって、エレクトロマイグレーションによるボイド発生のしきい条件となるしきい電流密度と配線長の積である Critical product [7]は一定である。Critical product は、エレクトロマイグレーションを駆動する電子風力と、エレクトロマイグレーションに誘起されて生じる配線内部の応力勾配との均衡によって決まる。すなわち、配線幅依存性の主要因は、式(4-1)の括弧内部に示される駆動力項ではなく、拡散項の変化にあるものと考えられる。なお、しきい電流密度は $0.39\text{MA}/\text{cm}^2$ である。すなわち、Critical product は $3900\text{A}/\text{cm}$ である。

図 4-7 (b)で用いた規格化は、経験則から導いたものであるが、物理的な意味は、いまのところ不明である。今後の微細化の進展による断面寸法の現象とエレクトロマイグレーションの改善において、非常に重要な特性であり、今後の

物理的な解釈が期待される。

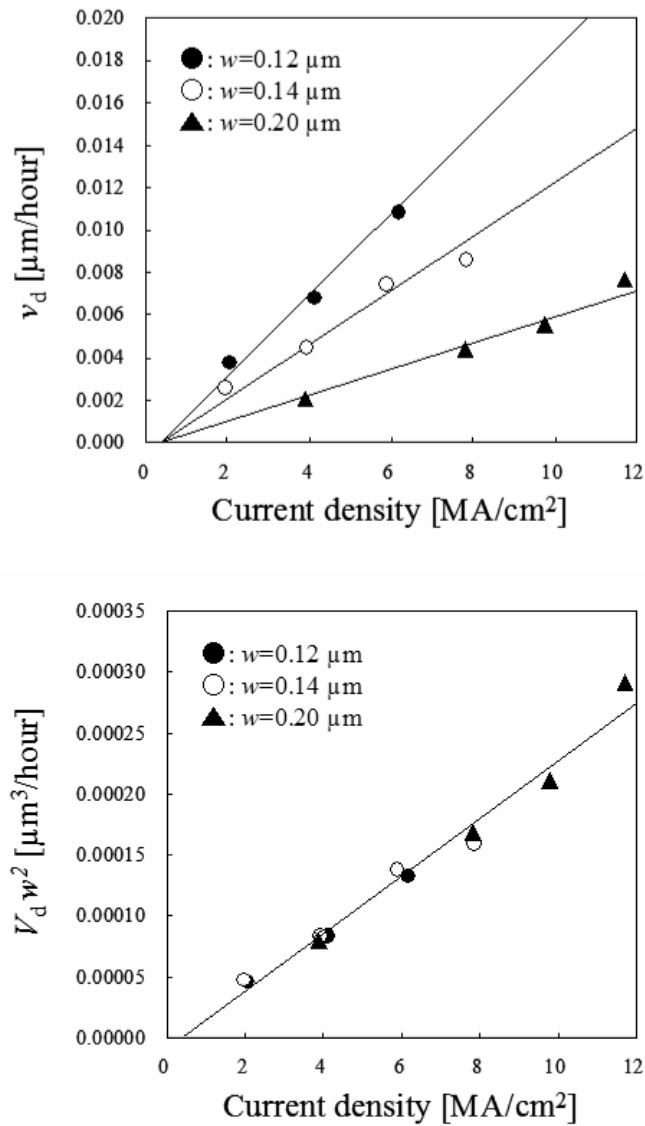


図 4-7 ドリフト速度の電流密度依存性.

次に、拡散項の変化の詳細を議論するために、まず拡散の活性化エネルギーを確認した。式(4-1)に示される Blech のモデルは、以下のように式変形される、

$$\frac{v_d T}{j - j_c} = \frac{Z_{\text{eff}}^* e \rho}{k} D_{\text{eff}}^0 \exp\left(-\frac{\phi_{\text{eff}}}{kT}\right). \quad (4-2)$$

ここで、 D_{eff}^0 は実効拡散係数の前指数項、 ϕ_{eff} は拡散の実効活性化エネルギーである。

式(4-2)に基づいて規格化されたドリフト速度のアレニウスプロットを図 4-8 に示す。図より得られる活性化エネルギーは、いずれも 1.1eV 程度となる。すなわち、配線幅によって拡散経路が大きく変化するとは考え難い。この値は、ダマシン Cu 表面に関する既報 (0.9eV) [8]、Cu/SiN 界面に関する前章の結果 (0.89eV) と比較して改善されているものである。すなわち、プロセス技術による Cu/キャップ絶縁膜界面の拡散の抑制によって、ボイド成長に対して別の拡散経路の寄与が顕在化していることが示唆される。

また、活性化エネルギーに若干の配線幅依存性が認められる。これは、Cu/キャップ絶縁膜界面拡散の抑制度自体が配線幅依存をもっていると考えられ、今後の高信頼配線開発において重要な検討項目である。この点については、第 7 章にて詳細に議論する。

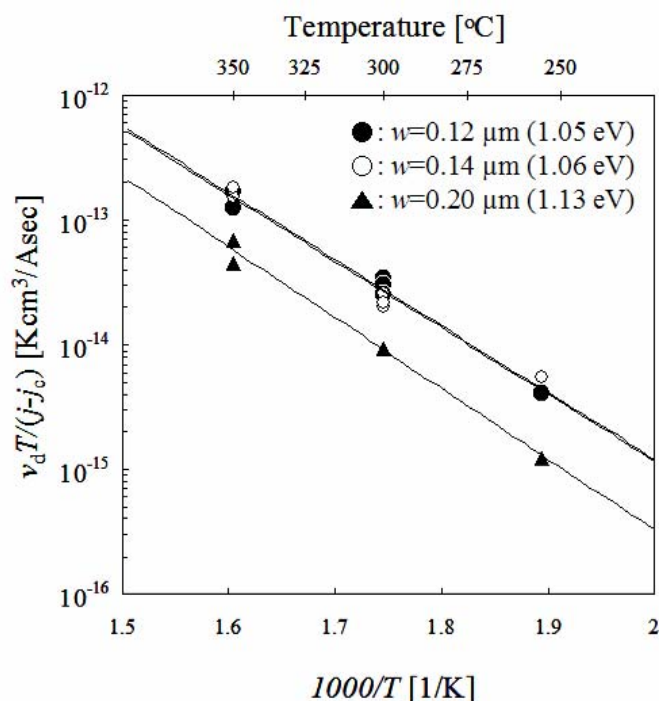


図 4-8 規格化されたドリフト速度の温度依存性.

拡散経路の検討を行う再には、拡散係数の分解、とくに寸法効果による判定が必要となる。前章でも示したように、実効拡散係数 D_{eff} は、以下のように分解することが出来る、

$$D_{\text{eff}} = n_b D_b + \left(\frac{\delta_{\text{gb}}}{d} \right) \left(1 - \frac{d}{w} \right) D_{\text{gb}} + \delta_i \left(\frac{2}{w} + \frac{1}{h} \right) D_i + \frac{\delta_n}{h} D_n. \quad (4-3)$$

ここで、 n_b は Bulk 中の原子比、 δ_{gb} は結晶粒界の実効厚、 d は平均結晶粒径、 δ_i はバリアメタル/Cu 界面の実効厚、 δ_n は Cu/SiCN 界面の実効厚である。配線幅依存を示すのは、結晶粒界とバリアメタル/Cu 界面である。

図 4-9 に、Electron backscatter diffraction (EBSD)を用いて調査した、配線幅毎の結晶粒・方位図を示す。ここでは、隣接する 2 測定点以上における方位のズレが 2 度以内の領域を、同一結晶粒と定義した。<111>、<511>方向が基板の法線から 10 度以内にある測定点を、方向毎に濃淡の異なる灰色で示してある。

前章のサンプルに比較して、<111>、<511>など特定方位への高配向は見られない。これは、130nm ノードプロセスと 90nm ノードの差異によるものと考えられる。90nm ノードプロセスでは、寸法縮小によってアスペクト比が大きくなるため、埋め込み性を確保するためにバリアメタルおよびシード Cu の成膜条件を変更している。これにより、配向性が大きく異なっているものと考えられる。

次に、0.42 μm 以下の配線幅では、結晶構造は擬バンブー構造となることがわかる。バンブー構造では、粒界の配線長方向への連続性がないため、ボイド成長に関する粒界拡散の寄与は考えにくい。

以上の分析より、本章の 90nm ノードのサンプルでは、Cu/SiCN 界面の拡散が抑制されることにより、バリアメタル/Cu 界面拡散のボイド成長への寄与が出現し始めていると考えられる。したがって、微細配線領域で観測されたドリフト速度の配線幅依存性、及び寿命の配線幅依存性は、ボイド成長への各拡散寄与の変化によって生じている。ただし、式(4-3)では配線幅の二乗でドリフト速度が規格化されることが説明できず、前述のようにこの点は今後の検討課題

である。

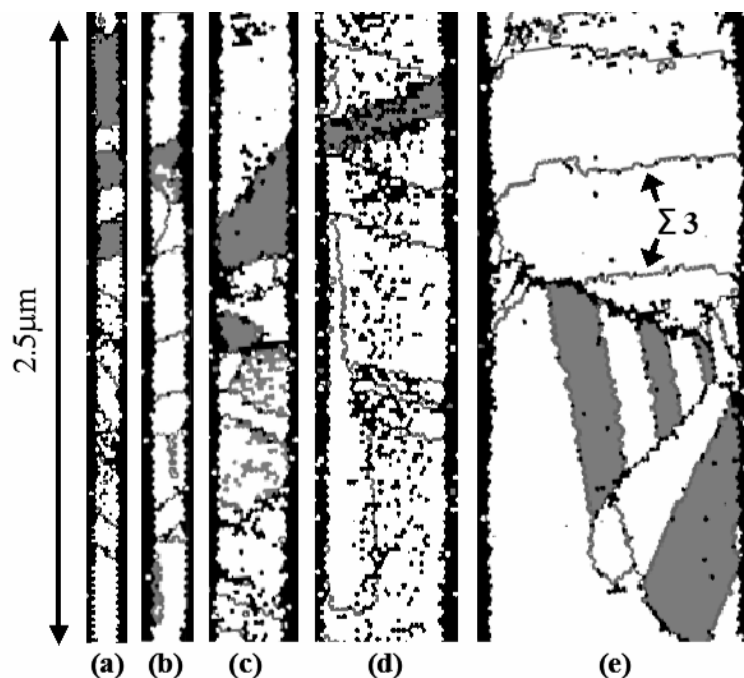


図 4-9 EBSD による、配線幅毎の結晶構造観察結果。Σ3 粒界は灰色、それ以外は黒で示している。(a) $w=0.12 \mu\text{m}$. (b) $w=0.14 \mu\text{m}$. (c) $w=0.24 \mu\text{m}$. (d) $w=0.42 \mu\text{m}$. (e) $w=1.0 \mu\text{m}$.

次に、Incubation time の挙動について検討する。図 4-10 は各配線幅の Incubation time のアレニウスプロットを示したものである。0.12、0.14、0.20 μm の配線幅を、それぞれ 4.1、5.9、9.8 MA/cm^2 の電流密度にて調査している。活性化エネルギーは配線幅に対してほぼ独立で、1.2eV 程度である。ボイド成長の活性化エネルギーに対して 0.1eV 程度高く、粒界における Cu の拡散係数[9][10] に近い値である。Liniger らは、被膜の無いバンブー構造の配線において、粒界が初期のボイド生成点となることを報告している[8]。本結果は、パッシベーションのある擬バンブー構造の配線においても、ボイド生成には粒界の寄与があることを示唆しているものと考えられる。

一般的に、ボイド生成が支配的な寿命に関する電流密度依存性はべき乗係数が 2 となると理論的に示されている (例えば、[11][12])。Lloyd は、エレクトロロマイグレーションに関する理論的な研究として、寿命の電流密度依存性と配線幅

依存性を、ボイド生成項と成長項の和で示すモデルを提案している[13]、

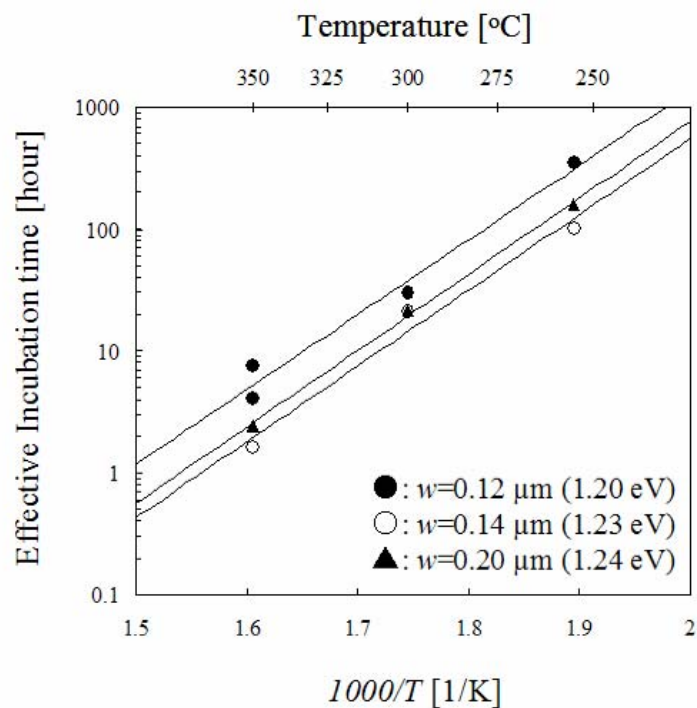


図 4-10 Incubation time の温度依存性.

$$t_f = t_n + t_g = \frac{Kw}{j^2} + \frac{Mw^2}{j}. \quad (4-4)$$

ここで、 t_f は寿命、 t_n はボイド生成までに要する時間、 t_g は配線断線までボイドが成長するに要する時間、 K 、 M は定数である。ただし、式(4-4)は Al 配線を前提として提案されている式である。前章で示したように、本論文における Incubation time は、ボイド核形成までの時間に若干のボイド成長を加味したものとなっている。そこで、 t_f を t_{inc} と置き換え、変形すると、以下の式が得られる、

$$t_{inc} \frac{j^2}{w} = K + Mwj. \quad (4-5)$$

図 4-11 に、式(4-5)に基づいて作成したプロットを示す。式(4-5)の第一項、すなわちモデルのボイド生成に関する項の配線幅依存が成り立つ場合、図の Y 軸切片 (K) は一定となる。また、傾き (M) は Incubation time におけるボイド成長の寄与度を示し、その値が大きいほど寄与が高いことを示す。

図 4-11 より、0.12、0.14 μm の配線幅のデータは、直線へのあてはまりが高いことがわかる。ただし、Y 軸切片 (K) は一定とはいえない。すなわち、Incubation time におけるボイド核形成の寄与は、Lloyd のモデルにおける仮定以上に配線幅依存性が大きいことが伺える。また、配線幅が減少するほど図の切片 K が小さくなる、すなわち、ボイド生成の寄与が低くなる。これは、配線幅が狭いほど、ボイドの核形成が早くなることを示唆している。いいかえると、今後の微細化におけるエレクトロマイグレーション寿命低下に対しては、第一にこの Incubation time の改善を検討しなければならない。また、0.20 μm の配線幅のデータは、直線とは言いがたい結果となった。この点の考察については後述する。

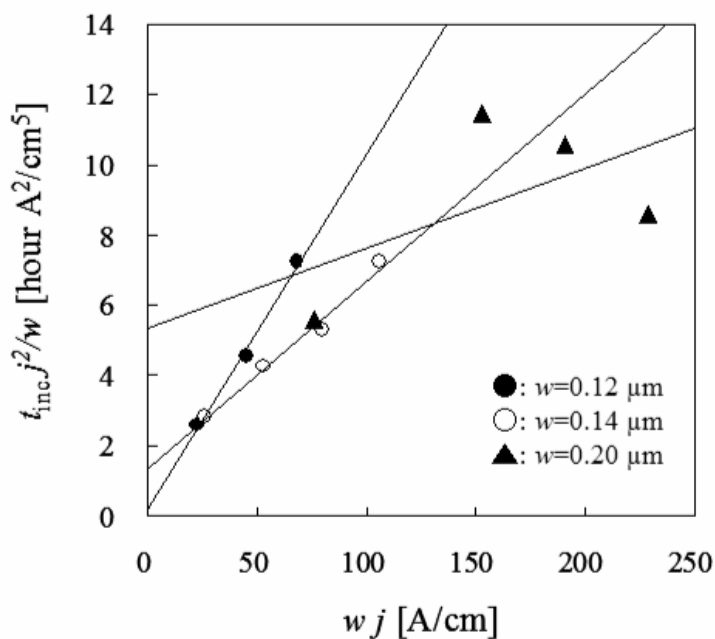


図 4-11 $t_{inc} j^2 / w$ vs. wj プロット. 雰囲気温度 300°Cにおける試験結果.

次に、ボイド生成までの時間は、式(4-4)より以下のように求められる。

$$t_n = t_{inc} - \frac{Mw^2}{j}, \quad (4-6)$$

ここで、 M は図 4-11 より求めたものを用いたが、ドリフト速度の電流密度依存性より求めたものとはほぼ同等となった。図 4-12 は、式(4-6)より求めたボイド生成までの時間の電流密度依存性を示したものである。電流密度依存性係数は 0.12 、 0.14 、 $0.20\mu\text{m}$ 幅に対してそれぞれ、 1.97 、 2.04 、 1.89 と、ほぼ 2 と考えられる値である。すなわち、ボイド核形成メカニズムは配線幅に対して独立であるが、核形成に至るに要する時間は配線幅が狭いほど短いことがわかる。 $1\text{MA}/\text{cm}^2$ では、 $0.20\mu\text{m}$ 幅に対して $0.12\mu\text{m}$ 幅は 25 分の 1 しかなくなる。

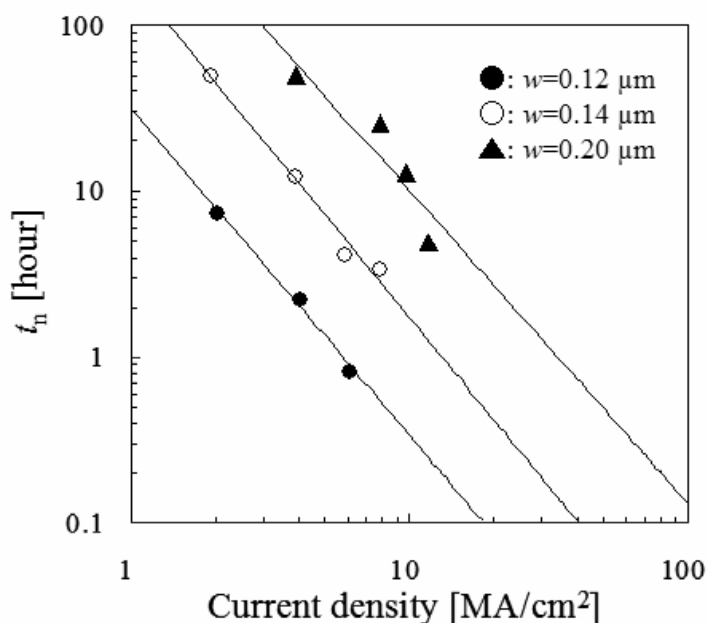


図 4-12 ボイド核形成までの時間の電流密度依存性. 雰囲気温度 300°C における試験結果.

図 4-11 と図 4-12 では、 $0.20\mu\text{m}$ 幅のデータは Lloyd のモデルに対して誤差が大きいことが示された。前述のように、初期的なボイドの核形成位置は $\text{Cu}/$ キャップ絶縁膜の界面と結晶粒界による三重点と考えられる。配線のカソード

端の結晶サイズや構造はサンプルによって異なる。特に配線幅が太くなるほど結晶粒径が大きくなるため、ボイド核形成位置と、核形成後に配線長欠損に寄与するまでボイドが成長するまでに要する時間にばらつきが生じる。逆に配線幅が狭くなるほどボイド核形成位置やその後の成長のばらつきは小さくなると考えられる。この視点に立てば、図 4-6 の寿命分布において形状母数が配線幅に応じて若干変化していることが説明できる。

以上の考察は、Lloyd のモデルに基づくものであるが、Incubation time の挙動はモデルに一致を示さなかった。Incubation time の挙動については、その物理的意味づけやモデル化が十分完成しているとは言いがたい。正確なモデルを作成するには、配線の内部応力や空孔濃度などの経時的な変化をその場観察するなど、物理的な観察が必要と考えられる。ただし、現在の技術では、非破壊、もしくは半破壊の状態、エレクトロマイグレーションが発生するストレス条件下のサンプルを観察する方法は、極めて特殊な物理分析方法のみしかない。高圧透過型電子顕微鏡、放射光を利用した X 線顕微鏡などである。これらは設備も大型で使用時間も限られているが、今後の配線開発において重要な知見を得るためにも、研究の推進が望まれるものである。

4.4. 配線幅依存性の要因と今後の改善への提言

本章では、寸法効果に着目したダマシ Cu 配線のエレクトロマイグレーション特性を調査した結果、寸法縮小に依存して拡散係数の増加、Incubation time の低下という二つの信頼性劣化要素が生じることが分かった。

実験方法、ならびに結果の詳細は第 7 章に示すが、これらのエレクトロマイグレーション特性の配線幅依存は、配線中の不純物濃度の配線幅依存性に起因するものと考えられる。配線層間やキャップ絶縁膜に Low- k 絶縁膜が使用されるようになった 90nm ノードプロセスの開発においては、エレクトロマイグレーションだけではなく、ストレス誘起ボイド、配線層間絶縁膜の Time dependent dielectric breakdown、積層薄膜の界面剥離・クラックの懸念から、

CMP によって形成された Cu や配線層間膜とキャップ絶縁膜の界面に対して洗浄処理やプラズマ処理を施し、物質間の界面密着性を向上させることが必要となった。この界面処理によって、Cu 表面付近の Si 原子濃度が変化し、更に配線幅に依存するものと考えられる。一般的に、CMP 界面に表面処理を施した後、プラズマ CVD によって SiN、SiCN、SiC などが形成される。このときの表面状態によって、CVD プリカーサーである SiH₄ ガスと Cu の反応量が変化する。いいかえると、Cu/キャップ絶縁膜界面のシリサイド生成量、未反応 Si の Cu への拡散量が、表面の状態に依存して変化する。第 2 章に示したように、Cu の表面を積極的にシリサイド化し、界面の密着性を改善する処理は、エレクトロマイグレーション寿命を大幅に向上させた。そこで、90nm ノードの開発においては各種信頼性改善のために、表面処理の最適化が実施された*。ところが、図 7-7(b)に示唆されるように、積極的にシリサイド化反応させた場合、プラズマ CVD の処理過程での Si 添加量は、細い配線ほど少なくなると考えられる。積極的にシリサイド化反応を行わない場合でも、反応量が異なるだけであるため、Si 濃度の傾向は同じと予想される。

Cu へ添加された Si は、Incubation time とボイド成長の両メカニズムに作用する。第一に、Si は結晶粒界に優先的に析出する (図 7-12(b)より)。析出した Si は、Cu/キャップ絶縁膜界面に接した結晶粒界、すなわち粒界三重点となる部位の密着性を向上する。それに伴って、ボイドが核形成する臨界応力 (式(3.4)における σ_{th}) が増大し、結果として Incubation time が長くなると考えられる。第二に、Cu 表面に添加された Si は、Cu/(Cu シリサイド)/キャップ絶縁膜界面の空孔濃度を下げると考えられる。Si 添加濃度が低いほど界面の空孔濃度が高くなり、空孔置換型の Cu 拡散が起こりやすくなる。したがって、ドリフト速度が増加すると考えられる。

プラズマ CVD の処理過程で添加される Si の濃度が配線幅依存性をもつメカ

* 90nm ノードで表面処理が最適化されたが、45nm ノード以降の配線に対しては、微細化に伴う電流密度増加が要因となって、更に寿命を改善する必要が生じた。そこで、新たなプロセス技術を導入し、信頼性を改善することを検討した。これらの詳細は第 7 章に示す。

ニズムの詳細は、現在のところ不明である。図 4-13 に想定されるメカニズムの概念図を示す。配線幅が小さくなるほど、周囲の絶縁膜に対する Cu の表面積比は小さくなる。キャップ絶縁膜形成の過程は、SiH₄ の酸化反応などによるものであり、配線層間膜との反応と Cu との反応は並行して進行する。配線層間膜上面は、CMP ハードマスク (配線層間膜の Low-*k* 膜の上に、薄く形成される SiO₂ などの膜。CMP による配線形成の際に、バリアメタルが除去された後のオーバー研磨で Low-*k* 膜が急激に除去されるのを防止する層) が露出されているため、Cu 表面と比較して O 原子の濃度が高い。したがって、SiH₄ の反応は層間膜表面の方が早いため、隣接している Cu 表面では SiH₄ 供給が不足する。その結果、配線幅が細くなって表面積比が低くなるほど、Cu 表面のシリサイド反応と Si 濃度は低下すると考えられる。

今後の高信頼配線の開発においては、Incubation time の低下とドリフト速度の増加のいずれか、もしくは両者への対策が必要となる。この視点に立ち、32nm ノードプロセス以降における高信頼配線の実現について第 7 章において議論する。

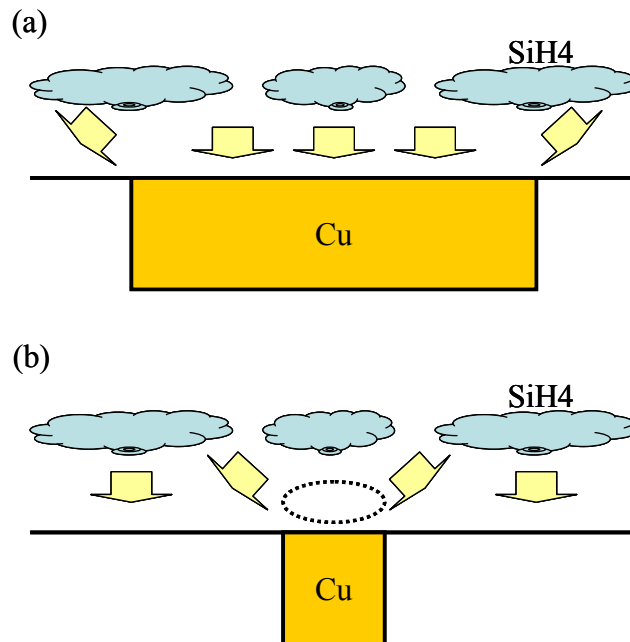


図 4-13 Cu 表面のシリサイド化、Si 濃度の配線幅依存性の概念図。(a)配線幅が太い場合、隣接する層間膜と SiH₄ ガスの反応が早い、配線中央部は層間膜から遠いため、Cu 表面

にも SiH_4 は供給される。(b)配線幅が狭い場合、隣接する層間膜と SiH_4 ガスの反応が早いため、Cu 表面への SiH_4 ガスの供給が不足し、シリサイド化や Si 濃度が低下する。

4.5. 結言

シングルダマシン Cu 配線の配線幅依存性について詳細に調査した。配線寿命は、同じ電流密度の条件下でも、 $0.12\mu\text{m}$ から $0.42\mu\text{m}$ の範囲で、配線幅の減少に伴って低下する。これは、Incubation time の低下と、ドリフト速度の増加によって起こる。ドリフト速度の配線幅依存性は、ドリフト速度と配線幅の二乗の積によって規格化することが出来た。Incubation time の活性化エネルギーは約 1.2eV 、ボイド成長に関する拡散の活性化エネルギーは約 1.1eV である。活性化エネルギーには若干の配線幅依存性がある。

第2章で示したように、エレクトロマイグレーション優位性を期待されて採用されたダマシン Cu 配線も、寸法縮小に伴って信頼性確保のための改善策を講じる必要が高くなる。本章の結果を受けて、ダマシン Cu 配線の信頼性改善のための要素プロセス開発や関連研究が報告されている。微細化に伴うエレクトロマイグレーション改善の必要性を、寿命に至るボイドサイズの縮小、及び要求される許容最大電流密度の増加の視点のみから主張する報告が多い中、本章の結果はエレクトロマイグレーションの寸法効果が物理的な現象そのものの加速によるものであることを明らかにしたとして重要性が高いと考えられる。

第4章の参考文献

- [1] C.-K. Hu, R. Rosenberg, H.S. Rathore, D.B. Nguyen, and B. Agarwala; “Scaling Effect on Electromigration in On-Chip Cu Wiring”, Proc. of 1999 International Interconnect Technology Conference, pp.267-269 (1999).
- [2] S. Yokogawa, N. Okada, Y. Kakuhara, and H. Takizawa; “Electromigration Performance of Multi-level Damascene Copper Interconnects”, *Microelectronics Reliability*, Vol. 41, pp. 1409-1416 (2001).
- [3] S. Yokogawa; “Electromigration-Induced Void Growth Kinetics in SiN_x passivated Single-Damascene Cu Lines”, *Japanese Journal of Applied Physics*, Vol.43, pp.5990-5996 (2004).
- [4] H. Sato and S. Ogawa; “Mechanism of Dependency of EM Properties on Linewidth in Dual Damascene Copper Interconnects”, Proc. of 2001 International Interconnect Technology Conference, pp.186-188 (2001).
- [5] P. Besser, A. Marathe, L. Zhao, M. Herrick, C. Capasso, and H. Kawasaki; “Optimizing the Electromigration Performance of Copper Interconnects”, Proc. of 2000 IEDM, pp.119-122 (2000).
- [6] H. Kawasaki and C.-K. Hu; “An electromigration failure model of tungsten plug contacts/vias for realistic lifetime prediction,” Proc. International Symposium on VLSI Technology, pp.192-193 (1996).
- [7] I.A. Blech; “Electromigration in thin aluminum films on titanium nitride” *Journal of Applied Physics*, Vol.47, No.4, pp.1203-1208 (1976).
- [8] E. Liniger, L. Gignac, C.-K. Hu, and S. Kaldor; “In situ study of void growth kinetics in electroplated Cu lines,” *Journal of Applied Physics*, Vol.92, No.4, pp.1803-1810 (2002).
- [9] C.-K. Hu, R. Rosenberg, and K. Y. Lee; “Electromigration path in Cu thin-film

- lines,” *Applied Physics Letters*, Vol.74, No.20, pp.2945-2947 (1999).
- [10]R. Frankovic and G.H. Bernstein; “Electromigration Drift and Threshold in Cu Thin-Film Interconnects,” *IEEE Transactions on Electron Devices*, Vol.43, No.12, pp.2233-2239 (1996).
- [11]M. Shatzkes and J.R. Lloyd; “A Model for Conductor Failure Considering Diffusion Concurrently with Electromigration Resulting in a Current Exponent of 2”, *Journal of Applied Physics*, Vol. 59, pp. 3890-3893 (1986).
- [12]M.A. Korhonen, P. Borgesen, K.N. Tu, and C.Y. Li; “Stress evolution due to electromigration in confined metal lines,” *Journal of Applied Physics*, Vol.73, No.8, pp.3790-3799 (1993).
- [13]J.R. Lloyd; “Electromigration Failure”, *Journal of Applied Physics*, Vol. 69, pp. 7601-7604 (1991).

第5章 パルス電流によるボイド核形成・成長挙動

5.1. はじめに

ディープ・サブミクロン LSI の設計者が直面する問題として、配線に関する問題が占める割合が増加している。電源の分配（電源ネットワーク）、シグナル・インテグリティ、エレクトロマイグレーション、および製造技術に関連する諸問題を考慮しなければならない。特に配線の幅や間隔が狭くなるにしたがって、高速の LSI 設計では、エレクトロマイグレーションは大きな問題となる。

一般に LSI の消費電力は、おおよそ以下の式で表される。

$$P \propto C \times f \times V^2 \quad (5-1)$$

ここで、 C は負荷容量、 f は動作周波数、 V は電源電圧を示す。微細化が進むにつれて、スケーリング則に沿って V は低下している。ところが、それ以上に C と f の増加が著しいため、全体として消費電力は急速に増加する傾向にある。微細化されて断面積が減少した配線に対して消費電力は増すため、目標とする動作を可能とする駆動電流での電流密度は一段と大きくなる傾向にある。そのため必然的に、エレクトロマイグレーションを考慮する重要性が増してきている。

一般に、LSI 配線のエレクトロマイグレーションは直流電流（Direct current: DC）で評価されている。本論文でも、本章以外の実験は全て DC で実施した。ところが、実際のデバイス動作において、信号配線に流れる電流のほとんどはパルス電流である。したがって、デバイスの信頼性を予測するには、直流パルス電流（Pulsed direct current: PDC）や交流パルス電流（Pulsed alternating current: PAC）に対する挙動を考慮する必要がある。

5.2. 従来研究と本章の目的

5.2.1. PDC における回復現象

PDC 下でのエレクトロマイグレーションにおいては、電流 OFF 期間の回復現象が存在することが知られている。Al 配線を用いた従来研究では、周波数に応じた 2 段階の寿命の段階的増加が報告されている [1]。

1 つ目の寿命増加は、10m~1Hz の周波数領域で発生する、1~10ksec の時定数を持った非常にゆっくりとした回復現象である。この現象は、Blech によって発見された、エレクトロマイグレーション誘起の応力勾配による逆流 [2] によるものと考えられている [3]。

2 つ目の寿命増加は、Al 配線では 1~10kHz の周波数領域で発生し、空孔緩和モデル [4][5][6]、もしくは温度プロファイルモデル [7] で挙動が説明されている。前者は、エレクトロマイグレーションによる空孔集中、ボイド発生・成長のサイクルに、集中した空孔が濃度勾配によって分散するメカニズムが追加されるとするモデルである。後者は、配線の温度プロファイルの周波数依存性を説明するものである。

2 つ目の寿命増加は、高周波 PDC 下の予測において重要である。ところが、金属、構造によって報告されている回復時定数が異なる。また、一般的なダメージ Cu 配線については報告がない

5.2.2. PAC における回復現象

PAC では、両方向の電子風力が、一旦生じた空孔集中を回復する効果があり、PDC 以上に寿命が長くなる [5]。しかし、正負パルスの対象性が低くなると、急激に寿命が短くなる場合がある。また、正負方向の電流波形が完全に同一な場合でも、完全な回復効果は期待できない場合があるとされている [5]。例えば、粒界三重点などでは電流方向によって空孔流束、もしくは原子流束は一致しない。

5.2.3. 実効電流密度の換算モデル

DCによる寿命試験の結果を実際の回路設計に適用する場合、PDCやPACをDCに読み替えるための、実効電流見積もりのモデルが必要となる。従来提案されているものには、主に以下の3点がある。

5.2.3.1. on-time モデル

電流が流れている期間、すなわち on-time は全てエレクトロマイグレーションによる金属イオンの移動に寄与するとするモデルである。特に PAC でも、負パルスはダメージ回復には寄与せず、正パルスと同様にダメージを起こすと考えるものである。

$$j_{\text{eff}} = \left(\frac{1}{P} \int_0^P j^2(t) dt \right)^{\frac{1}{2}} \quad (5-2)$$

ここで、 j_{eff} は実効電流密度、 P はパルス期間でパルス周波数の逆数、 $j(t)$ はパルス電流密度である。RMS (Root mean square) モデルとも呼ばれる。

5.2.3.2. Average current (AC) モデル

on/off time に関係なく、エレクトロマイグレーションによる金属イオンの異動は、配線に流れる平均電流を経験するというモデルである。

$$j_{\text{eff}} = \frac{1}{P} \int_0^P j(t) dt \quad (5-3)$$

完全対称な PAC の場合、平均電流密度が 0 となり、寿命は無限大になる。これについては、反例やその物理モデルが提案されており、改善策として次の Average current recovery (ACR) モデルが提案されている。

5.2.3.3. Average current recovery モデル

Liew らは、PAC のエレクトロマイグレーションにおいて、完全対象な波形の場合でも故障が起こりうることを示している[5]。これについては、実効的な電流密度を以下の式で示す、ACR モデルが提案されている[8]。

$$j_{\text{eff}} = \frac{1}{P} \left(\int_0^P |j_+(t)| dt - \gamma \cdot \int_0^P |j_-(t)| dt \right) \quad (5-4)$$

ここで、 $j_+(t)$ は正方向電流密度、 γ は回復係数、 $j_-(t)$ は逆方向電流密度である。すなわち式(5-4)においては、回復係数 $0 \leq \gamma \leq 1$ を設定し、回復の寄与を見積もる。Tao らは、 γ が周波数依存性を持つことを示した[9]。1MHz 以上の高周波では、 $\gamma \geq 0.9$ になることが報告されている。

5.2.4. Cu 配線における従来研究

Cu 配線における PDC 緩和現象の時定数の報告例は少ない。Pd-silicide 上に無電界めっき法で成膜された Cu 配線については 1.1 μ sec[10]、15nm の Co シード層と無電界めっき法で成膜された Cu 配線については 0.2 μ sec が報告されている[11]。

これらの値は、Al 配線のそれに比べて約 20 分の 1 以下であり、金属や成膜方法によって決まると考えられる。現在まで、一般的なダマシ Cu 配線に関する報告はなかった。

また、エレクトロマイグレーションによる配線のボイド発生、成長メカニズムについては、抵抗変化に寄与する配線端欠損が起こるまでの潜伏時間 (Incubation time) と、Cu イオンのドリフトによるボイド成長期に分けられることは前章までに述べた。ただし、パルス電流下の両者の挙動に関する従来報告は見受けられない。

5.2.5. 本章の目的

本章では、一般的なシングルダマシ Cu 配線のエレクトロマイグレーション挙動について、PDC や PAC 下での挙動を検討する。その際、Kawasaki-Hu 型の Test structure [12]を用いて Incubation time とボイド成長期の挙動を分離して評価する。これらの結果より、回復現象の時定数を実験的に求め、高周波領域でのエレクトロマイグレーション挙動について考察する。

5.3. 実験

5.3.1. Test structure

Kawasaki-Hu 型の Test structure[12]を用いた抵抗変化モニタにより、成長するボイド長さの時間依存データが間接的に得られる。使用した Test structure は第 3 章と同じものを用いた。2 層ダマシ Cu 配線と N+拡散層で構成され、被試験セグメント (Metal 1: M1) の寸法は $W=0.16\mu\text{m}$ 、 $H=0.34\mu\text{m}$ 、 $L=100\mu\text{m}$ である。M1 のアノード端はデュアルダマシプロセスによる V1/M2 により終端している。M2 部でエレクトロマイグレーションによるボイドが発生することを抑制するため、M2 部には十分な配線幅やリザーバーを設けた。配線層間には FSG 膜を用い、SiN 膜をキャップ絶縁膜に用いている。

5.3.2. パルス電流ストレス

実験は、 300°C の雰囲気温度において、DC 及び $1 \cdot 100 \cdot 1\text{k} \cdot 10\text{k} \cdot 100\text{k} \cdot 1\text{M} \cdot 2\text{M} \cdot 10\text{MHz}$ の PDC、もしくは PAC にて行った。PDC 及び PAC は図 5-1 に示す矩形電流波形を用いた。Duty 比と on-time 電流密度を変えたストレスを印加して、6 分毎に抵抗値を 4 端子法で測定した。PAC の場合は、PAC 特有の回復現象を検討するため、非対称パルスを用いた。抵抗測定時の印加電流は、M1 部で $0.2\text{MA}/\text{cm}^2$ の DC であり、ストレス条件に依らず一定とした。

on-time 電流密度 (j_{ON}) が高いパルス電流の実験では、ジュール発熱による配線の温度変化を考慮する必要があることが指摘されている[7]。今回の実験からはその影響を除外するため、パルス印加時のジュール発熱を、赤外線顕微鏡を用

いて室温下で測定し、温度上昇が 3℃以下となる条件のみを用いた。

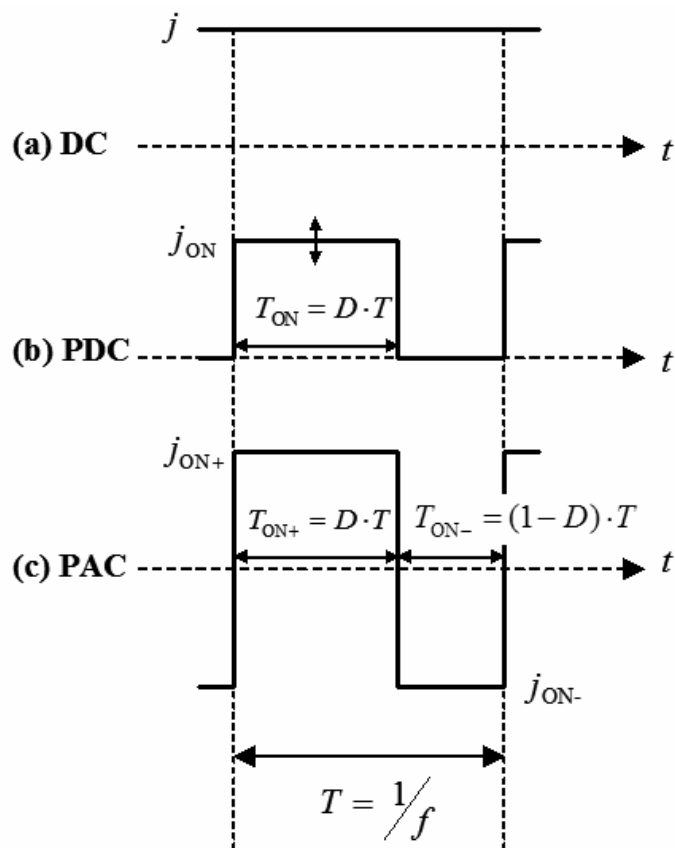


図 5-1 試験に用いた電流波形の概略図

5.4. 結果

5.4.1. PDC における周波数依存性

on-time Duty 比 $D=0.4$ 、 $j_{ON}=7.7\text{MA}/\text{cm}^2$ の PDC における Incubation time とドリフト速度の周波数依存性を、図 5-2 に示す。10kHz~100kHz の領域で、Incubation time が増加、ドリフト速度が減少した。すなわち、約 10 μsec の時定数を持つ、ダメージ緩和現象が存在する。変化量は、Incubation time が約 3 倍、ドリフト速度は約 0.7 倍である。このダメージ緩和現象の物理的な考察については後述する。

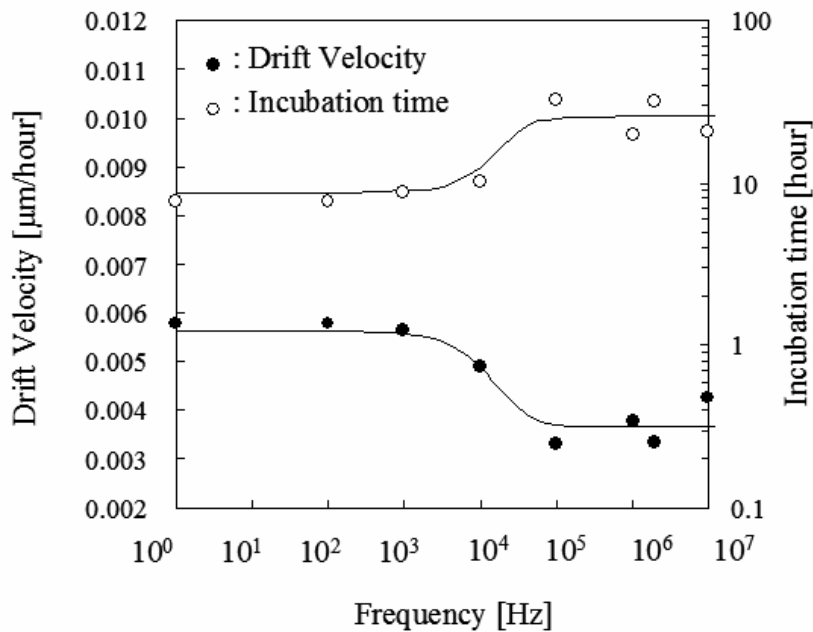


図 5-2 PDC エレクトロマイグレーションにおけるドリフト速度と Incubation time の周波数依存性

DC の試験結果との相関は、パルス周波数 f の範囲毎に、表 5-1 の関係のように求められる。

表 5-1 Incubation time とドリフト速度の周波数依存

	$f < 10\text{kHz}$	$f > 100\text{kHz}$
Incubation time	$t_{\text{inc_PDC}} = t_{\text{inc_DC}} / D$ (on-time モデル)	$t_{\text{inc_PDC}} = t_{\text{inc_DC}} / D^{2.2}$ (\approx AC モデル)
ドリフト速度	$v_{\text{d_PDC}} = v_{\text{d}}(D \cdot j_{\text{ON}})$ (on-time モデル)	$v_{\text{d_PDC}} = v_{\text{d}}(0.7 \cdot D \cdot j_{\text{ON}})$ ($0.7 \times$ AC モデル)

ここで、添え字の DC は j_{ON} と同電流密度での DC 実験結果を、添え字の PDC は PDC での実験結果を示す。なおドリフト速度は、DC に対して提案されたモデル[2]が、 j_{eff} のもとに PDC、PAC に対して成り立つものとして、式(5-5)に従うものと仮定した。

$$v_d(j_{\text{eff}}) = \frac{D_{\text{eff}}}{kT} \left[Z_{\text{eff}}^* e \rho j_{\text{eff}} - \Omega \frac{\Delta \sigma}{\Delta x} \right] \quad (5-5)$$

D_{eff} は実効拡散係数、 k はボルツマン定数、 T は絶対温度、 Z_{eff}^* は有効電荷数、 e は電子素量、 ρ は比抵抗、 Ω は Metal の原子体積、 $\Delta \sigma$ は配線端の応力差、 Δx は応力差の生じる距離で、実効的には配線長 で置き換えられる。式(5-5)の右辺括弧内第一項は、電子風力によるイオンの移動を示し、第二項はエレクトロマイグレーション誘起の応力勾配による逆流[2]を示す。すなわち、式(5-5)では、電流形態の影響は第一項の電子風力のみ現れると仮定している。なお、第二項の逆流効果はバックフロー効果と呼ばれている。

表 5-1 のように、Incubation time は周波数が小さいときに On time モデルに従い、周波数が大きくなると AC (Average current) モデルにほぼ従うことがわかる。これは Al 配線におけるエレクトロマイグレーション寿命の報告例 [5][6][10][11] と一致する。一方ドリフト速度は、周波数が小さいと実効的な電流密度は平均電流密度に一致するが、周波数が大きくなると実効電流密度は平均電流密度の 0.7 倍とみなされる。

5.4.2. 1MHz PDC/PAC におけるドリフト速度の平均電流密度依存性

図 5-3 に、平均電流(Average current)に対するドリフト速度の依存性を、 $300^{\circ}\text{C} \cdot 1\text{MHz}$ の条件下で検討した結果を示す。PDC は、 $j_{\text{ON}} = 3.8 \sim 15.2 \text{MA/cm}^2$ 、 $D = 0.2 \sim 0.8$ の条件にて、PAC は $j_{\text{ON}+} = j_{\text{ON}-} = 7.7 \text{MA/cm}^2$ 、 $D = 0.2 \sim 0.4$ の条件で実験を実施した。PDC 及び PAC の平均電流密度は、AC モデルにて求めた。

PDC、PAC 共に DC の実験結果と比較してドリフト速度が小さく、かつ両者は一致した。DC の傾きに対して、PDC、PAC の傾きは約 0.7 倍である。すなわち、式(5-5)を用いた表 5-1 の換算は、実験範囲では j_{ON} および D に依存しない。

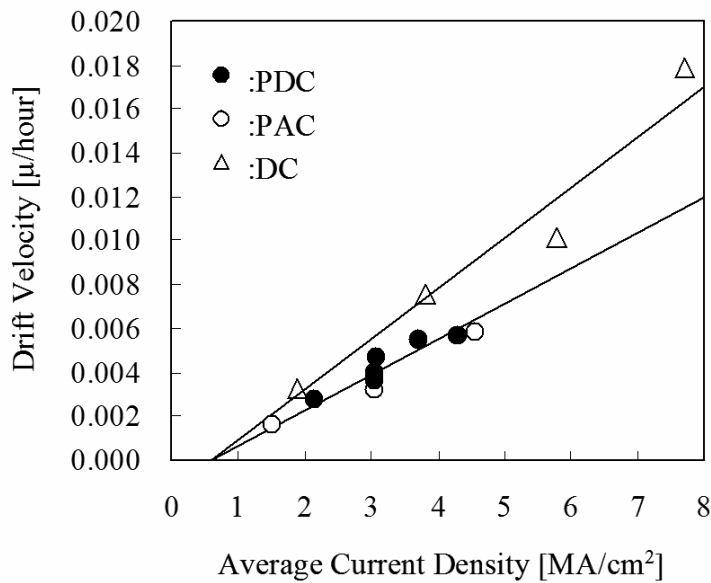


図 5-3 1MHz PDC および 1MHz PAC エレクトロマイグレーションによるドリフト速度の平均電流密度依存性

また、エレクトロマイグレーションによる金属イオンの実効的な移動には、しきい電流密度が存在することが知られている[2]。式(5-5)においてドリフト速度を0とすると、以下の式(5-6)が導かれる。

$$j_c \cdot L = \frac{\Omega \Delta \sigma}{Z_{\text{eff}}^* e \rho} \quad (5-6)$$

j_c はドリフト速度が0となるしきい電流密度である。しきい電流密度以下では、ドリフト速度は0とみなせる。すなわち、電子風力によるCuイオンの移動と、バックフロー効果が均衡し、実効的なCuイオンの移動が0となることに相当する。式(5-6)のエレクトロマイグレーション発生のしきい電流密度と配線長の積をCritical product [2]と呼ぶ。しきい電流密度は、図 5-3における電流密度軸切片として求められ、PDC・PAC共にDCの値と一致した。このとき、Critical productはおよそ5900A/cmである。Critical productが一致することから、Cu

イオン移動の駆動力はパルス波形に依存せず、平均電流密度に依存していると考えられる。すなわち、式(5-5)における駆動力に対してはパルス電流による影響はなく、拡散係数にパルス効果が生じると考えられる。

5.4.3. 1MHz PDC/PAC における Incubation time の平均電流密度依存性

図 5-4 に、平均電流密度に対する Incubation time の依存性を図 5-3 と同じ条件で実験した結果を示す。PDC・PAC での Incubation time の挙動は、DC のそれとほぼ一致する。DC における電流密度依存係数は 1.99 ± 0.51 (95%信頼区間) であり、ほぼ 2 となることを第 3 章で示した。PDC・PAC においても、図 5-4 より同様の依存性が得られる。また、表 5-1 の結果と矛盾しない。

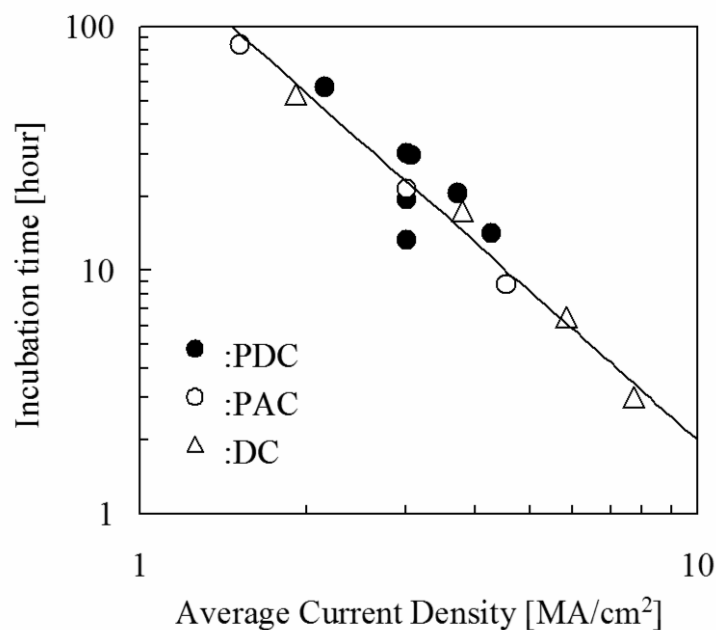


図 5-4 1MHz PDC および 1MHz PAC エレクトロマイグレーションによる Incubation time の平均電流密度依存性

本研究における Incubation time は、以下のように 2 つの期間に分けられる。

$$t_{\text{inc}} = t_n + t_r \quad (5-7)$$

ここで、 t_{inc} は Incubation time、 t_n はボイド発生までの潜伏期間、 t_r はボイドが抵抗変化に寄与する大きさまで成長するのに要する時間である。 t_r はドリフト速度にほぼ反比例するため、 t_{inc} に対する t_r の寄与が大きいと仮定すると、Incubation time にも差が生じるはずである。従って、 t_n の寄与のほうが大きく、 t_n の挙動は電流の形態に関わらず平均電流によって説明されると考えられる。

5.4.4. 規格化したドリフト速度の比較

式(5-5)、(5-6)より、異なる試験温度、実効電流密度にて得られたドリフト速度を、以下のように規格化することが出来る。なお、Al 配線では、10kHz 以下の PDC、同一の温度にて、規格化されたドリフト速度が一定となることが確認されている[13]。

$$\frac{v_d \cdot T}{j_{\text{eff}} - j_c} = \frac{Z_{\text{eff}}^* e \rho}{k} \cdot D_{\text{eff}} \quad (5-8)$$

バルク、界面、粒界など、複数存在する拡散パスが互いに独立と仮定すると、電子流方向に対して垂直なダマシ Cu 配線断面について、有効電荷と拡散係数の積 $Z_{\text{eff}}^* \cdot D_{\text{eff}}$ は以下のように分解される。

$$Z_{\text{eff}}^* \cdot D_{\text{eff}} = Z_b^* n_b D_b + \left(\frac{\delta_{\text{gb}}}{d} \right) \left(1 - \frac{d}{w} \right) Z_{\text{gb}}^* D_{\text{gb}} + \delta_i \left(\frac{2}{w} + \frac{1}{h} \right) Z_i^* D_i + \frac{\delta_s}{h} Z_s^* D_s \quad (5-9)$$

このとき、添え字の b、gb、i、s は、それぞれバルク、粒界、バリアメタル/Cu 界面、Cu/SiN キャップ膜界面を示す添え字である。 δ_{gb} は結晶粒界の有効厚、 d はグレインサイズ、 w は配線幅、 δ_i はバリアメタル/Cu 界面の有効厚、 h は配線高さ、 δ_s は Cu/SiN キャップ膜界面の有効厚を示す。このとき、 n_b 、 $(\delta_{\text{gb}}/d)(1-d/w)$ 、 $\delta_i(2/w+1/h)$ 、 δ_s/h は、b、gb、i、s の、それぞれの経路における原子輸送比を示す。各拡散係数は、 $D = D_0 \exp(-\phi/kT)$ 、 D_0 は特定経路の拡散係数の前指数項、 ϕ は特定経路の拡散の活性化エネルギーによって示される。

従って、いずれかひとつの経路の拡散が支配的な場合、式(5-8)は以下のように表される。

$$\frac{v_d \cdot T}{j_{\text{eff}} - j_c} = \frac{Z_{\text{eff}}^* e \rho}{k} \cdot D_0 \exp\left(-\frac{\phi}{kT}\right) \quad (5-10)$$

式(5-10)に基づくアレニウスプロットより、Cu イオンの拡散に関する活性化エネルギーが得られる。

図 5-5 に、DC、10kHz 以下の低周波 PDC、100kHz 以上の高周波 PDC における、規格化されたドリフト速度のアレニウスプロットを示す。DC と低周波 PDC におけるドリフト速度は一致し、高周波 PDC のドリフト速度は、DC と低周波 PDC のそれに対して 300°C で約 0.7 倍となる。ドリフト速度の活性化エネルギーは、DC において $0.89 \pm 0.07 \text{eV}$ (95%信頼区間)、低周波 PDC では $0.88 \pm 0.11 \text{eV}$ (95%信頼区間)、高周波 PDC では $0.90 \pm 0.07 \text{eV}$ (95%信頼区間) であり、差がない。図 5-5 から求められる、有効電荷と拡散係数の前指数項の積の比 $Z_{\text{PDC}}^* D_{\text{PDC}}^0 / Z_{\text{DC}}^* D_{\text{DC}}^0$ は 0.7 である。

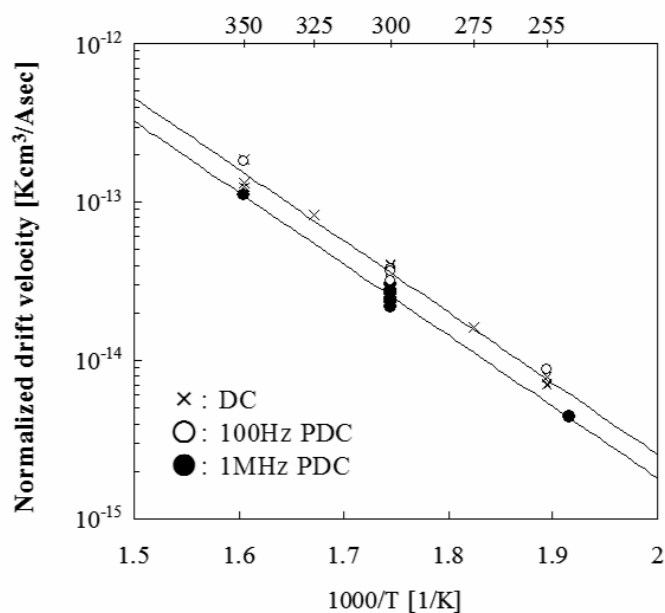


図 5-5 DC・100Hz PDC・1MHz PDC における規格化されたドリフト速度の比較

5.5. 考察

前述のように、ダマシン Cu 配線のエレクトロマイグレーション挙動には、高周波領域におけるダメージ緩和現象が存在する。周波数依存性より、ダメージ緩和現象の時定数は約 $10\mu\text{sec}$ と考えられる。本研究では、いずれのパルス波形においても、ジュールヒーティングが無視しうる試験条件を用いている。よって、off-time のダメージ緩和現象の駆動力としては、配線カソード端に集中した空孔の濃度勾配が挙げられる。すなわち、空孔緩和モデル[4][5][6]が支持される。また、エレクトロマイグレーション誘起応力勾配[2]によるダメージ緩和現象[3]は、本実験では 1sec 以上の時定数であると考えられる。図 5-6 に、空孔緩和モデルの概念図を示す。電流 On time には、エレクトロマイグレーションによる原子輸送と表裏一体の現象として、配線中に局所的な空孔の過飽和が進行する。結晶粒界と絶縁膜界面による粒界三重点などに空孔が集中し、三重点が空孔を処理しきれなくなった結果、空孔が集まって顕微鏡的に観察可能なボイドを形成すると考えられる。Off time にはいると、電子風力が存在しなくなるため、空孔の過飽和を進行させる駆動力がなくなる。同時に、空孔濃度の勾配が空孔拡散を促す駆動力となる。すなわち、空孔集中が緩和される方向に空孔拡散するため、パルス電流下でのエレクトロマイグレーションは DC に対して現象の進行が遅くなると考えられる。

また空孔緩和現象は、空孔濃度が熱的な平衡状態に達するとその駆動力を失う。したがって、回復駆動力として作用するのは熱平衡濃度以上、かつボイドを形成するに足る濃度以下の濃度差である。パルス電流の周波数が低く、On time が十分に長いときには過飽和となった空孔が集中しボイドとなる。これは不可逆過程であるため、回復の影響は少ない。パルス電流の周波数が高くなると、On time が短くなるため一回のパルスあたりの不可逆過程の進行は小さくなる。逆に一回のパルスあたりの回復の影響は大きく、その効果が「有意に」なると考えられる。

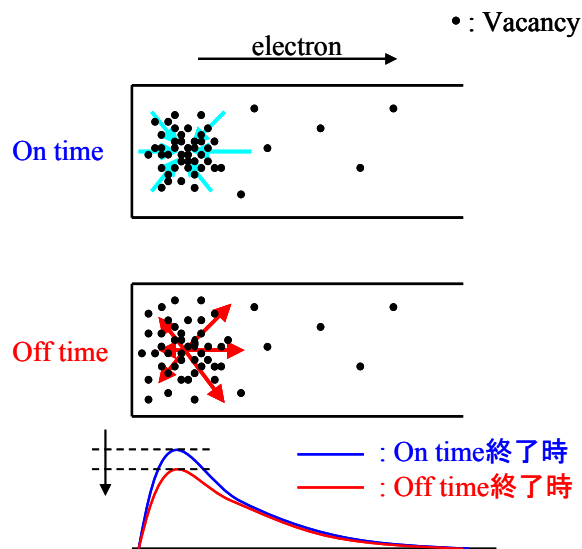


図 5-6 高周波パルス電流における空孔緩和モデルの概念図。

1～10kHz の低周波領域においては、Incubation time およびドリフト速度の両者について on-time モデルが成り立つ。これは、空孔集中—ボイド核形成の時定数よりも on-time がはるかに長いため、不可逆の空孔集中、核形成、ダメージ形成が進行するためである。逆に、off-time の空孔緩和は有意ではなくなる。

一方、100kHz 以上の高周波領域においては、off-time の空孔緩和が有意になるため、ボイドの核形成・成長が DC と比較して緩和される[5]。Incubation time には AC モデル、ドリフト速度には $0.7 \times$ AC モデルが成り立つ。ここで、図 5-4 の、Incubation time の平均電流密度依存性が高電流密度側で直線性を失わないことから、ジュールヒーティングの影響は無視しうると考えられる。このとき、式(5-7)における t_n の寄与が大きいことより、Incubation time の期間には、配線カソード端では空孔濃度の増加が起こっているが、空孔集中によるボイドの発生には至っていないとみなされる。このときの空孔の移動度は、平均電流密度によって決まると考えられる。

ドリフト速度のしきい電流密度が電流波形に依存しないことは、バックフロー効果が、移動の駆動力となる電子風力には関係なく、Cu 移動量と移動度とのみ依存していることを示している。

また、拡散の活性化エネルギーが変わらないことから、エレクトロマイグレー

シオン拡散経路は電流波形に依存しないものと考えられる。得られた活性化エネルギーの値は第3章で示したDCでの結果、すなわちCuの界面拡散の活性化エネルギーと一致する[14][15]。ダマシンCu配線における主拡散経路はCu/SiN界面であるという従来研究[16][17]においても、寿命の活性化エネルギーとして同等の値が報告されている。本研究の実験範囲 ($\leq 10\text{MHz}$) では、エレクトロマイグレーション拡散経路には、パルス電流特有の特性はなく、同じCu/SiN界面がCu移動の拡散経路である。

したがって、有効電荷と拡散係数の前指数項の積の比 $Z_{\text{PDC}}^* D_{\text{PDC}}^0 / Z_{\text{DC}}^* D_{\text{DC}}^0$ がパルス効果を示す特性であり、得られた比率は0.7である。この比率についての検討は、今後の課題である。

5.6. 結言

シングルダマシンCu配線において、パルス電流によるエレクトロマイグレーション挙動を、1Hz~10MHzの周波数範囲で調査した。Kawasaki-Hu型のTest structureを用いて実効的なIncubation timeとボイド成長期の挙動を分離した評価を行った。PDCにおいて、10kHzから100kHzにかけてシフト状のドリフト速度の減少、及びIncubation timeの増加が発生した。すなわち、回復現象の時定数は10 μsec 程度である。1MHz以上の高周波PDC及びPACにおいては、Incubation timeは平均電流密度に依存し、平均電流密度に対するドリフト速度の傾きは、DCのそれに対して0.7倍となる。しきい電流密度が一致することから、平均電流密度のもとで、エレクトロマイグレーション誘起応力勾配によるバックフロー効果は、DC、PDC、PACに依存せず、一定と考えられる。DC、PDC、PACにおける、規格化されたドリフト速度の活性化エネルギーは、いずれも約0.89eVであり、同じCu/キャップ絶縁膜界面がCu移動の拡散経路であると考えられる。すなわち、同一の拡散経路が支配的であり、電流波形に依存しない。

第5章の参考文献

- [1] K. Hiraoka and K. Yasuda; “The Enhancement of Electromigration Lifetime under High Frequency Pulsed Conditions,” *IEICE Trans. Fundamentals*, Vol.E77-A, no.1, pp.195-203 (1994).
- [2] I.A. Blech; “Electromigration in thin aluminum films on titanium nitride,” *Journal of Applied Physics*, vol.47, no.4, pp.1203-1208 (1976).
- [3] K. Hinode, T. Furusawa, and Y. Homma; “Relaxation Phenomena During Electromigration Under Pulsed Current,” Proc. 30th International Reliability Physics Symposium, pp.205-210 (1992).
- [4] A.T. English, K.L. Tai, and P.A. Turner; “Electromigration in Conductor Stripes under Pulsed DC Powering,” *Applied Physics Letters*, Vol.21, pp.397-398 (1972).
- [5] B.K. Liew, N.W. Cheung, and C. Hu; “Electromigration Interconnect Lifetime under AC and Pulsed DC Stress,” Proc. 27th International Reliability Physics Symposium, pp.215-219 (1989).
- [6] J. Tao, K.K. Young, N.W. Cheung, and C. Hu; “Comparison of Electromigration Reliability of Tungsten and Aluminum Vias Under DC and Time-Varying Current Stressing,” Proc. 30th International Reliability Physics Symposium, pp.338-343 (1992).
- [7] T. Furusawa, K. Hinode, and Y. Homma; “Pulsed Current Electromigration Mechanism –Instantaneous Temperature Profile Model,” in Ext. Abst. 22nd Conf. Solid State Devices Mater., pp.255-258 (1990).
- [8] L.M. Ting, J.S. May, W.R. Hunter, and J.W. McPherson; “AC Electromigration Characterization and Modeling of Multilayered Interconnects,” Proc. 31th International Reliability Physics Symposium, pp.311-316 (1993).
- [9] J. Tao, N.W. Cheung, and C. Hu; “Electromigration Failure Under Bidirectional Current Stress,” Proc. of Fourth International Workshop on Stress Induced

- Phenomena in Metallization, AIP Conf. Proc. 418, H. Okabayashi, S. Shingubara, P.S. Ho Eds., pp.201-211 (1997).
- [10]J. Tao N.W. Cheung, C. Hu, H.-K. Kang, and S.S. Wong; “Electromigration Performance of Electroless Plated Copper/Pd-silicide Metallization,” *IEEE Electron Device Letters*, vol.13, no.8, pp.433-435 (1992).
- [11]J. Tao, N.W. Cheung, and C. Hu; “Electromigration Characteristics of Copper interconnects,” *IEEE Electron Device Letters*, vol.14, no.5, pp.249-251 (1993).
- [12]H. Kawasaki and C.-K. Hu; “An Electromigration Failure Model of Tungsten Plug Contacts/Vias for Realistic Lifetime Prediction,” 1996 Symposium on VLSI Technology Digest of Tech. Papers, pp.192-193 (1996).
- [13]A.T. English and E. Kinsbron; “Electromigration transport mobility associated with pulsed direct current in fine-grained evaporated Al-0.5%Cu thin films,” *Journal of Applied Physics*, vol. 54, no.1, pp.275-280 (1983).
- [14]C.K. Hu, R. Rosenberg, and K.Y. Lee; “Electromigration path in Cu thin-film lines,” *Applied Physics Letters*, vol. 74, no.20, pp.2945-2947 (1999).
- [15]E. Liniger, L. Gignac, C.-K. Hu, and S. Kaldor; “In situ study of void growth kinetics in electroplated Cu lines,” *Journal of Applied Physics*, vol. 92, no.4, pp.1803-1810 (2002).
- [16]C.K. Hu, R. Rosenberg, H.S. Rathore, D.B. Nguyen, and B. Agarwala; “Scaling effect on Electromigration in On-Chip Cu Wiring,” Proc 1999 International Interconnect Technology Conference, pp.267-269 (1999).
- [17]S. Yokogawa, N. Okada, Y. Kakuhara, and H. Takizawa; “Electromigration Performance of Multilevel Damascene Copper Interconnects,” *Microelectronics Reliability*, vol.41, no.9-10, pp.1409-1416 (2001).

第6章 エレクトロマイグレーション寿命分布と故障モード

6.1. はじめに

信頼性試験には、常に「時間と数の壁」と呼ばれる問題が生じる。精度の高い試験結果を得るには、十二分な時間と、十二分なサンプル数を投入した試験を行うのが必須であるが、開発段階初期や、歩留・コスト改善計画時には結果の早急なフィードバックが必要であるため時間が制限され、同時に試作品の数も限定されてしまう。そのため、必ずしも十分とはいえない時間とサンプル数で、適切な判断を行わなければならない。

近年、エレクトロマイグレーション試験においては、この「時間と数の壁」問題が一段と顕著になってきた。微細化の進展とともに、全ての Via を均一に形成することの困難性が非常に高くなっており、不完全なプロセス条件においては、欠陥を内在する Via が混在する場合が生じる。欠陥を内在する Via は正常な Via とは異なる故障モードを示す。そのため、寿命分布が双山分布形状となる場合がある[1][2]。この双山分布のことを、エレクトロマイグレーションに関しては Bimodal 分布と呼ぶことが多い。Bimodal 寿命分布の全体像を把握するには、従来以上に「時間と数」が必要となる。特に、信頼性保証において重要となる低い累積故障確率の点推定精度には、サンプル数が大きく影響する。

本章では、エレクトロマイグレーションによる低い累積故障確率領域の寿命評価のため開発した、1個のサンプルの中に多数の試験対象セグメントが含まれる Test structure について述べる。これを用いたサドンデス試験により、少数サンプル評価でも多数サンプル評価に匹敵する情報量を得ることが出来る。また、サドンデス方式により、過激なストレス条件の採用なしに試験時間の短縮が可能である。加えて、OBIRCH (Optical Beam Induced Resistance CHange) 法による故障解析を前提とした設計により、試験後の故障解析の容易化を実現した。

6.2. 従来研究と新規提案 Test structure

6.2.1. Test structure に関する従来研究

Murray らは、2層配線による直並列配置の Test structure、およびその統計解析法について提案している[3]。第1層は接続用の W 配線であり、評価対象となる第2層 Al 配線セグメントが、直並列に接続された構造を持つ。Murray らはこの Test structure を用いた試験について、以下の3つの仮定が成り立つとしている。

- ① 故障箇所は局所的であり、かつ計測可能である
- ② 各々の故障の発生は独立である（異なる部位の故障が互いに影響しあうことが無く、共通原因の故障は無視しうる）
- ③ 寿命の確率密度関数は全てのセグメントに対して共通であり、かつ時間によって変化しない

Gall らは、より沢山のセグメントを用いて分布の裾を調査する Test structure を提案している[4]。Gall らの Test structure は、セグメント5本を並列にした Basic unit を、直列に480個接続し、それを更に Wheatstone bridge 状に配置して微小な抵抗変化を観測する。すなわち1920個のサドンデス試験が可能となっている。

[3][4]の従来研究は、共に Al 配線に関するものであり、Cu 配線の故障モードと対応した検討はなされていない。試験後の故障解析についても未検討である。

6.2.2. 統計解析に関する従来研究

Gall らの報告[4]では、 Kaplan-Meier 推定量を用いた累積故障確率の推定[5]から、Via 単位の寿命分布が求められている。これにより 0.007~50%の範囲で、エレクトロマイグレーション寿命が対数正規分布に従うことが示されている。Kaplan-Meier 推定量は累積故障確率のノンパラメトリックな最尤推定値を与えるが、得られたデータに対しては、累積ハザード法を用いた解析でもほぼ同じ結果が得られることがわかっている[6]。また、ワイブル分布よりも対数正規分布を用いることが適当であることも、統計的に厳密な考察がなされ

ている[7]。

Ogawa ら[1]や Hu ら[2]は、デュアルダマシン Cu 配線のエレクトロマイグレーション寿命分布が Bimodal 形状となることを報告している。Hu らは、2つの対数正規分布の混合分布解析を報告しており、短寿命側の分布が Via 中で発生するボイドに対応し、長寿命側の分布が配線溝中で発生するボイドに対応することを示している[2]。このような2つの故障モードを分離して評価する方法は、これまで提案されておらず、十分に大きな数の試験を行って Bimodal 形状を把握しなければならない。

6.2.3. 故障解析方法に関する従来研究

Ogawa らは、ボイド発生場所の特定に FIB (Focused ion beam) を用いた電位コントラスト法を用いることについて報告している[8] ([8]では FIBIC : Focused ion beam induced contrast と呼んでいる)。この手法は、ボイドの発生箇所を特定できるが、パッシベーション膜をエッチングして上層配線を露出させ、その上で観察する半破壊解析であるため、解析 TAT が長くなってしまふ。

6.2.4. 新規提案サドンデス Test structure

以上の従来研究における課題を解決すべく、サドンデス試験と故障解析を前提とした新規 Test structure を考案した。概要を図 6-1 に示す。図 6-1 の例は、Gall 型 Test structure と同様に、評価対象セグメントとなる上層配線セグメント (Layer 2) を 5つ並列に配置し、さらにこれを 4つ直列に接続したものである。上/下層 Layer が入れ替わったものが下層配線評価型である。デュアルダマシン Cu 配線においては、第 2 章に示したように Via と上層配線を同時に電界めっきで埋め込むプロセスを用いる。そのため、埋め込みの完成度によって Via 中に欠陥が生じる可能性があり、上層配線評価型を用いた Via のエレクトロマイグレーション寿命を評価する必要性は高い。具体的な評価対象セグメントの配線長と配線幅の組み合わせを表 6-1 に示す。セグメント両端の Via 径は 0.20 μ m である。

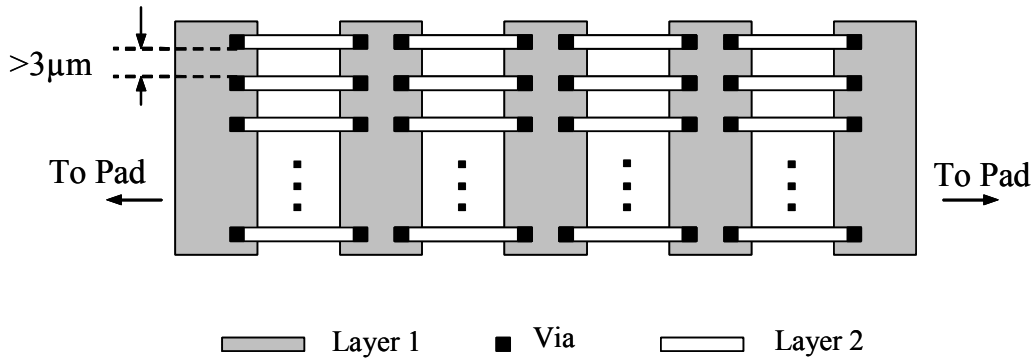


図 6-1 新規提案 Test structure の概念図（上層配線評価用）

表 6-1 評価対象セグメントの配線長と配線幅

	上層配線評価型	下層配線評価型
配線幅	0.20μm	0.16μm
配線長	100μm	100μm

図 6-1 に示すように、並列セグメントの間隔は、最低 3μm 程度確保する必要がある。これは、故障解析に用いる OBIRCH 法には、波長約 1.3μm の赤外レーザー、もしくは波長約 633nm の可視レーザーが用いられるため、レーザー波長の 2 倍以上の間隔を取ることで、複数の電流経路を容易に判別可能にするためである。本実験では 15μm の間隔を取った。

比較のための従来型 Test structure としては、図 6-2 のものを用いた。Layer 1 は配線幅 0.16μm、配線長 100μm であり、Layer 2 は配線幅 0.2μm、配線長 100μm とし、4 個の Via による直列接続である。両端は急激な電流集中を避けるために、枝分かれパターンにより Pad へ接続している。

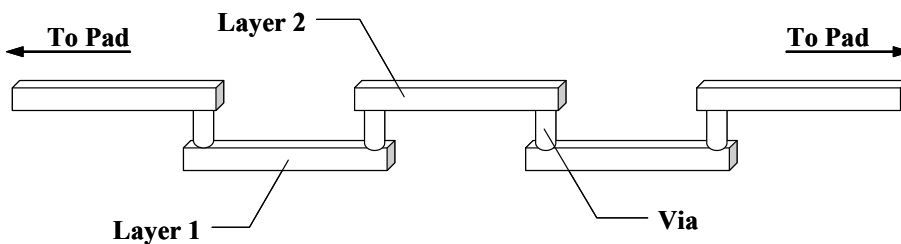


図 6-2 従来型 Test structure の概略図.

6.3. 実験結果

6.3.1. サンプル構造と実験方法

130nm ノードのデュアルダマシンプロセスを用いて、8 インチウェハー上に、サドンデス Test structure と比較のための従来型 Test structure の両方を形成した。

試験方法は第 2 章で示したものと同一である。ダイシングしたチップをセラミック・パッケージに組立し、恒温炉中に保管して定電流印加試験を行った。抵抗測定には、4 端子接続によるケルビン法を用い、定期的に抵抗測定を行った。10%抵抗劣化にて電流印加を中止した。

実験条件としては、雰囲気温度 $T_a=300^{\circ}\text{C}$ 、直流電流値 $I=1\text{mA/Via}$ を用いた。すなわち、従来型の Test structure では 1mA を、サドンデス Test structure は 5mA を印加した。M1 部（被評価セグメント）で約 $2.15\text{MA}/\text{cm}^2$ 、M2 部（被評価セグメント）で約 $1.72\text{MA}/\text{cm}^2$ 、Via 部で約 $3.18\text{MA}/\text{cm}^2$ の電流密度となる。

6.3.2. 試験時の抵抗変化と判定基準

ダマシン Cu 配線における抵抗変化は、急峻な抵抗増加となることが知られている[9]。一般的な RIE (Reactive ion etching)による Al 配線では、配線主金属の Al とバリアメタル (TiN、Ti 等) の抵抗比が比較的小さいため、ボイド成長に伴う抵抗変化は、徐々に増加する形となる。一方ダマシン Cu 配線では、Cu とバリアメタル (Ta、TaN 等) の抵抗比が大きいことと、Cu の上部にはバリアメタルがないことから、ボイドが成長して電導経路に Cu が寄与しないような場所が出来次第、急峻な抵抗変化が発生するためと考えられる。

図 6-3 に、図 6-2 に示した従来型 Test structure の抵抗変化プロットの例を示す。ほとんどのサンプルにおいて、3%以下のわずかな変化が観察される期間を経た後に、急峻な抵抗増加が発生していることがわかる。

図 6-4 に下層配線評価型サドンデス Test structure の抵抗変化を、図 6-5 に上層配線評価型サドンデス Test structure の抵抗変化を示す。1%以下のわずかな変化の後、下層配線評価型では約 4~5%のステップ状抵抗変化が、上層配線評価

型では約 6%のステップ状抵抗変化がみられる。

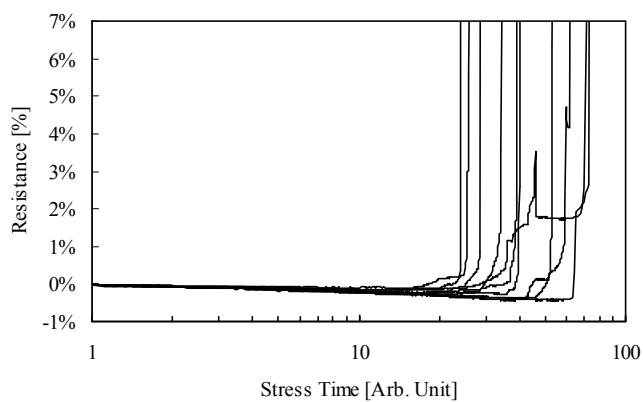


図 6-3 従来型 Test structure の抵抗変化例.

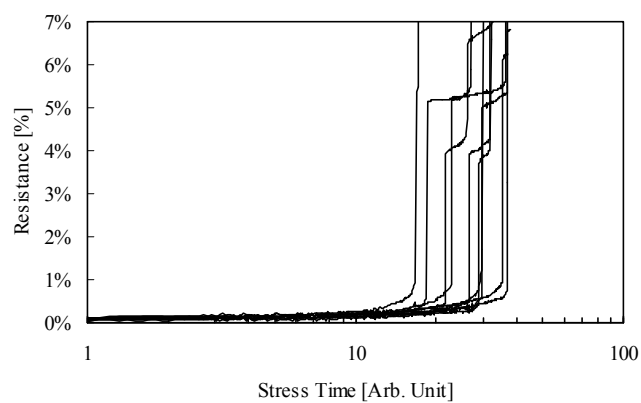


図 6-4 下層配線評価型サドンデス Test structure の抵抗変化例.

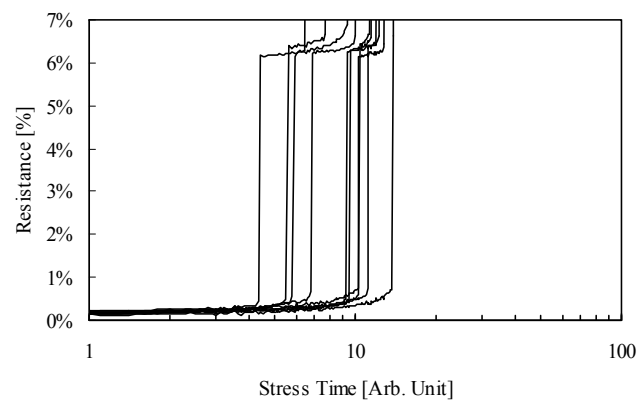


図 6-5 上層配線評価型サドンデス Test structure の抵抗変化.

前述の Muray の仮定が成り立つ場合、ステップ状の抵抗変化は、いずれか単独のセグメントの抵抗変化が反映されたものと考えられる。図 6-6 は、20 本のセグメントのうち 1 本の抵抗変化と、Test structure 全体の抵抗変化を解析的に示したものである。1 本のセグメントが完全に OPEN した場合には、Test structure 全体としては 6.25%の抵抗変化となる。図より、下層配線評価型では、いずれか 1 本のセグメントで 200 Ohm 以上の抵抗変化が発生していること、上層配線評価型では OPEN に等しい抵抗変化が発生していると考えられる。

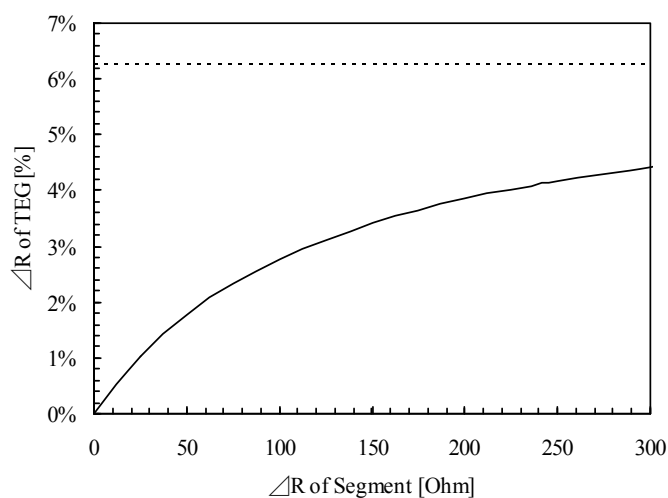


図 6-6 単独セグメントの抵抗変化と Test structure の抵抗変化の関係。

6.3.3. 寿命分布

従来型 Test structure を 40 サンプル、上下層配線評価型サドンデス Test structure を各々 10 サンプル試験して得られた寿命分布を図 6-7 に示す。

Via を介したエレクトロマイグレーション試験においては、ボイドは原子流束発散 (Flux divergence) が最も大きくなる Via 部近傍で発生する。従って、図 6-1 のサドンデス Test structure では抵抗増加発生候補 20 箇所のサドンデス試験となる。図 6-2 の従来型 Test structure では電子流が下層配線→Via→上層配線 (M1/V1/M2) となる 2 箇所と、上層配線→Via→下層配線 (M2/V1/M1) となる 2 箇所が存在し、それらの混合したサドンデス試験となる。そこで、累積ハザード法を用いて累積故障確率を求めた。

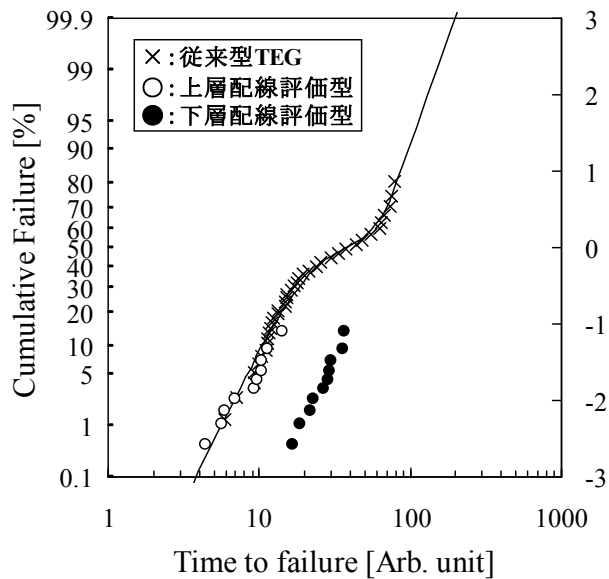


図 6-7 各 Test structure の試験結果の対数正規確率プロット。

図 6-7 より、従来型 Test structure の試験結果は Bimodal 形状を示しており、複数のモードが混合していることが推測される。開発初期のダマシン Cu 配線においては、PVD によるバリアメタル及びシード Cu 層の形成、その後の電界めっきによる Cu 埋め込みの条件を決定することが重要となる。特に、Via ホールはアスペクト比（微細加工における穴径と深さの比）が高くなるため、十分な埋め込み性が確保されない場合には、Via が形成されない場合が起こる。この場合、Via 抵抗値及び歩留を指標として条件を決定するが、非常に小さな埋め込み不良、すなわち微小なボイドが Via 中に残存している際には、抵抗値では検出が不可能と考えられる。ただし、Via 中に既にボイドが残存しているならば、エレクトロマイグレーションのボイド核形成が既に完了しているのと同じであるため、寿命を劣化させる可能性は非常に高くなる。本件の例は、このような埋め込み不良に代表される欠陥を内在したサンプルが混在することによって発生する Bimodal 寿命分布と予想される。Bimodal 分布の分布関数は、以下のように示される。

$$F_{BLN}(t) = \alpha \cdot F_{LN1}(t) + (1 - \alpha) \cdot F_{LN2}(t) \quad (6-1)$$

α は混合比、 $F_{LN1}(t)$ は短寿命モードの分布関数、 $F_{LN2}(t)$ は長寿命モードの分布関数を示す。エレクトロマイグレーションの場合、 $F_{LN1}(t)$ 、 $F_{LN2}(t)$ は共に対数正規分布を用いる。

上層配線評価型のサドンデス Test structure の試験結果は、下層配線評価型に比べて明らかに短寿命となった。また、上層配線評価型の寿命分布は、従来型 Test structure が示す Bimodal 分布の短寿命モードに良く一致している。また、下層配線評価型の分布の延長は、Bimodal 分布の長寿命モードに一致すると予想される。

6.3.4. OBIRCH による故障解析

ボイド発生箇所特定のために、OBIRCH システム（浜松ホトニクス製 μ AMOS200）による非破壊解析を行った。

OBIRCH システムによる解析方法としては、大別して2つの方法が報告されている。走査レーザーが電流経路に照射された際の抵抗変化を輝度として表示する OBIRCH モード[10]と、レーザー照射による熱起電力電流の不均衡を輝度として表示する OBIC (Optical Beam Induced Current) モード[11]である。

従来型 Test structure の解析は OBIC モードが主に用いられる。図 6-8 の例を示す。観察条件は、微小電流 Amp にて 10mV 定電圧印加、IR-Laser Power 20% (約 80mW)、スキャンスピード 1sec、対物 20 倍、積算回数 20 回での観察である。Via 部近傍に白黒対のコントラストがみられ、ボイドによる熱起電力電流の不均衡が発生していると考えられる。

サドンデス Test structure は OBIRCH モードでの観察を前提とした設計を行っている。図 6-9 に例を示す。観察条件は、定電圧 Amp にて 100mV 定電圧印加、IR-Laser Power 20% (約 80mW)、スキャンスピード 1sec、対物 20 倍、積算回数 30 回での観察である。レーザー照射による電流経路の抵抗増加、それによる電流変化が黒のコントラストで示されている。ボイドにより抵抗増加したセグメントは、他のセグメントに比べて電流が極端に小さくなるため、電流変化量も小さくなる。従って、図 6-9 のようにコントラストが現れないセグメントのカソード端 Via 近傍に、抵抗増加要因のボイドが発生していると考えられる。

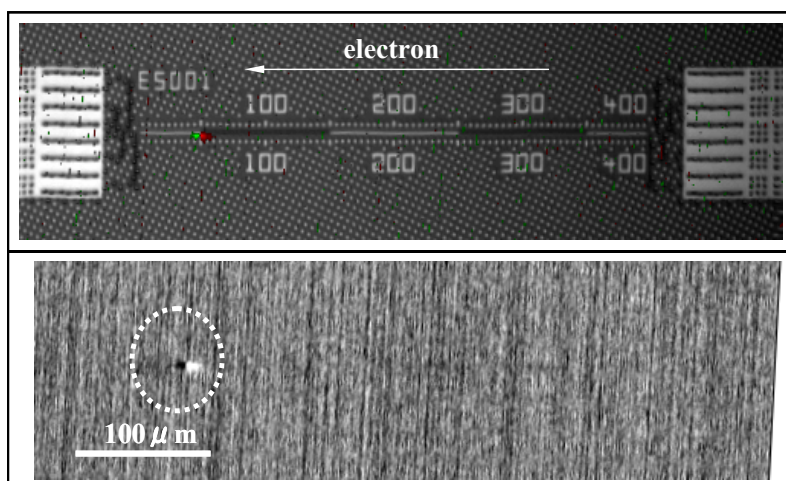


図 6-8 従来型 Test structure の OBIC モード解析例. (上) 反射レーザー顕微鏡像. (下) OBIC 像.

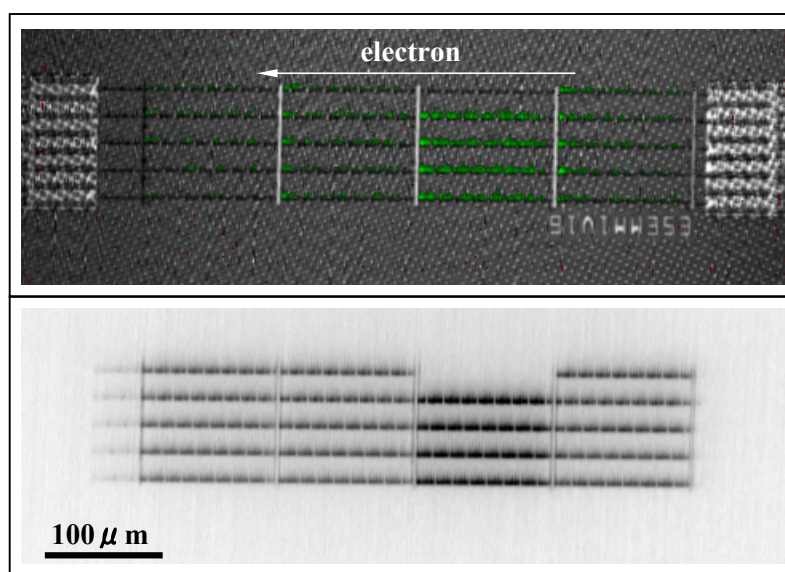


図 6-9 サドンデス Test structure の OBIC モード解析例. (上) 反射レーザー顕微鏡像. (下) OBIRCH 像.

6.3.5. STEM による断面解析

図 6-8 や図 6-9 のようにして特定された異常個所を、FIB を用いて薄片化し、STEM による断面観察を行った。FIB により $0.1\mu\text{m}$ 程度にサンプルを薄片化し、加速電圧 200kV での観察を行ったものである。

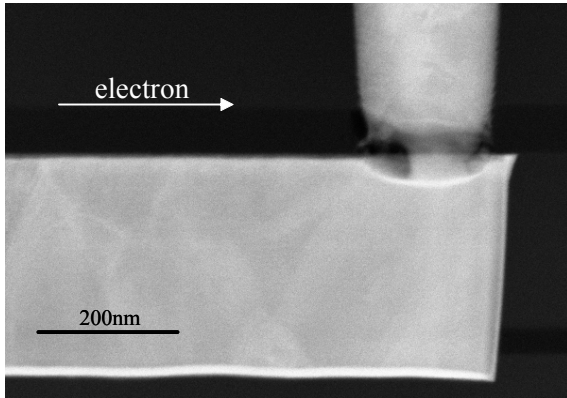


図 6-10 従来型 Test structure の OBIC コントラスト発生箇所断面 STEM 観察結果 (短寿命サンプル)

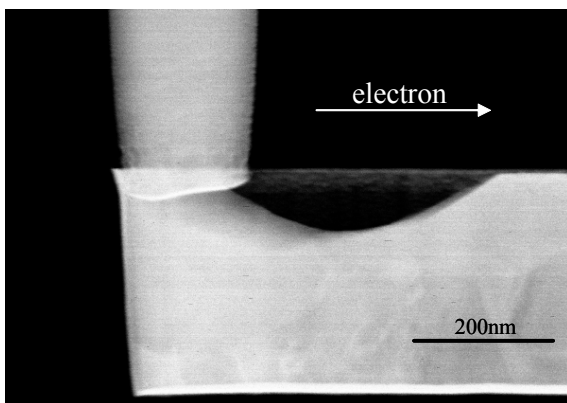


図 6-11 従来型 Test structure の OBIC コントラスト発生箇所断面 STEM 観察結果 (長寿命サンプル)

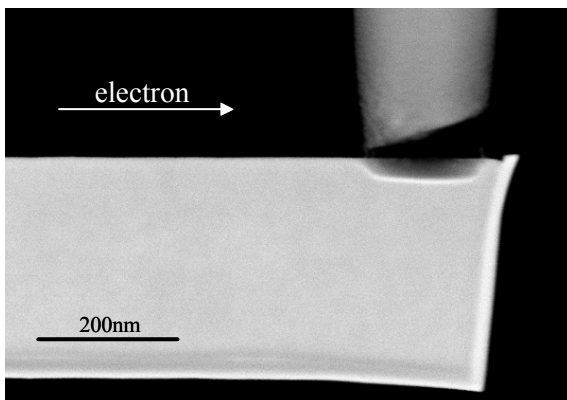


図 6-12 サドンデス Test structure の OBIRCH コントラスト異常部の断面 STEM 観察結果 (上層配線評価型)

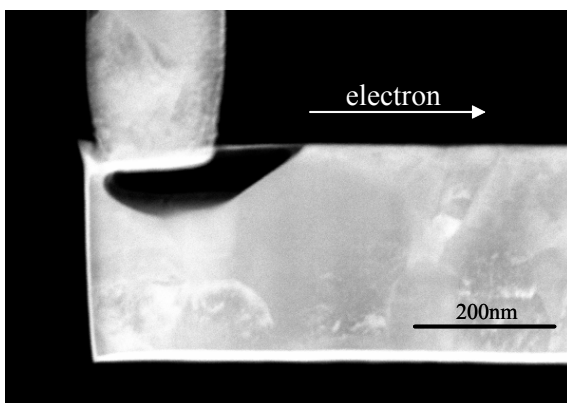


図 6-13 サドンデス Test structure の OBIRCH コントラスト異常部の断面 STEM 観察結果 (下層配線評価型)

図 6-10 に、従来型 Test structure の OBIC モードコントラスト発生箇所の断面解析結果を示す。観察は暗視野 STEM（散乱電子強度）モードで行った。本サンプルは図 6-7 の Bimodal 分布の短寿命側に該当するもので、試験時の電子流方向が M1/V1/M2 の箇所でコントラストが観察された。断面観察の結果、Via 底のバリアメタル/Cu 界面からボイドが発生し、Via 上方へ電子流方向に成長している。

図 6-11 は、図 6-7 の Bimodal 分布の長寿命側に該当するサンプルの観察結果である。試験時の電子流方向が M2/V1/M1 の箇所でコントラストが観察された。断面観察より Via 脇の Cu/キャップ絶縁膜界面にボイドが発生・成長し、Via 下から Cu が移動して OPEN に至ったと考えられる。

図 6-12 は、上層配線評価型サドンデス Test structure において、OBIRCH コントラスト異常があるセグメントの断面観察結果である。図 6-10 と同様に Via 底のバリアメタル/Cu 界面よりボイドが発生し、Via 上方へ電子流方向に成長している。

図 6-13 は、下層配線評価型サドンデス Test structure において、OBIRCH コントラスト異常があるセグメントの断面観察結果である。Via 下の Cu/バリアメタル界面付近にボイドが発生し、配線長方向へ成長している。

6.4. 考察

6.4.1. 従来 Test structure とサドンデス Test structure の比較

抵抗変化や故障解析の結果から、従来型 Test structure においても、Via チェーン数を増加させることによって、サドンデス Test structure と同様な効果を得ることが出来ると予想される。その際、従来型 Test structure とサドンデス Test structure には、以下に挙げる差異が生じる。

サドンデス Test structure 設計時には、電氣的測定に関する留意が必要となる。従来型 Test structure における抵抗変化の絶対値は、Via チェーン数に関わらず Test structure 端子間抵抗の変化として観測可能である。ところがサドンデス Test

structure においては、セグメントの抵抗変化量と直並列の構成によって変化率が異なるため、設計時に想定される抵抗変化から変化率を予測しておくこと、単独セグメントの抵抗変化の確認評価が必要である。

逆に、OBIRCH システムを用いた非破壊解析においては、サドンデス Test structure は Via チェーン数規模の設計に依存しない頑健性を有する。ダマシン Cu 配線によって形成された従来 Test structure では、故障解析に際して OBIC モードが主に用いられている。ところが、完全 OPEN して電流経路が損なわれた場合には、OBIC 手法自体を用いることが不可能となる。完全 OPEN していない場合でも、Via チェーン数に依存して OBIC 測定のバックグラウンド電流が異なるため、チェーン規模により検出度が変わってしまう。一方、サドンデス Test structure は正常経路との差の有無で異常個所を特定するため、ほぼ 100%の割合で故障箇所の特特定が可能である。

従って、LSI 配線プロセスの開発時などの、エレクトロマイグレーション特性全容が把握されていない段階では、従来型 Test structure とサドンデス Test structure を併用する必要がある。一方、短 TAT で推定精度と解析精度の高い評価が必要とされる比較評価、ラインモニタなどにおいては、サドンデス Test structure を用いる効果が高いと考えられる。

6.4.2. ダマシン Cu 配線のエレクトロマイグレーション故障モード

デュアルダマシン Cu 配線の、エレクトロマイグレーションにより発生するボイドのモードは図 6-14 のように 6 つに大別される。

図 6-14-(a)、(b)、(c) は電子流が M1/V1/M2 モードとなる場合である。まず、(a) は Via ホールの底部において Cu とバリアメタルの界面でボイドが発生する場合である。(b) は Via ホール途中でボイドが発生し、底部には Cu が残っている場合である。図のように、ボイドの形状は楔形をしていることもある。(c) は Via 上部の Cu が全て移動してしまったようなボイドが発生する場合である。Via 中に Cu は残っている。

次に、図 6-14-(d)、(e) は電子流が M2/V1/M1 モードとなる場合である。(d)

は Via と下層配線の接触面でスリット型のボイドが発生し、接触が損なわれて抵抗増加する場合である。(e) は(d) と異なって、Via 下から配線の電子流の下流に向けて、広範囲に界面のボイドが発生している場合である。Via 脇のボイドが溝深さ方向に深いこと、深い部分に粒界が存在していることが多いことから、Via 脇の Cu/キャップ絶縁膜界面でボイドが発生し、成長するにしたがって、リザーバー効果[12]で Via 下の Cu が移動し、Via 下の Cu/Via 界面の Cu が移動してきた時点で抵抗増加が発生するものと考えられる。

図 6-14-(f) は上層・下層に関係なく、配線部でボイドが発生する場合である。Via 付き微細配線の Test structure においては、Via 部のほうが Flux divergence が大きく、かつ抵抗変化にいたるボイド体積も小さいため、このモードが寿命に対して支配的となる確率は低いと考えられる。

寿命分布解析の結果、及び物理解析の結果より、上層配線評価用サドンデス Test structure は図 6-14-(a)のボイドを評価対象としていると考えられる。図 6-14-(a) のボイドは、図 6-14-(b)、(c) に比べて少ない Cu の移動量で抵抗増加に至るため、比較的寿命が短くなり、M1/V1/M2 モードのサドンデス試験においては最も出現しやすいと考えられる。

同様に、下層配線評価用サドンデス Test structure は図 6-14-(d)のボイドを評価対象としている。図 6-14-(e) と比較して、少ない Cu 移動量で抵抗増加に至るためである。

一方、従来型 Test structure は全てのボイドを対象とした試験になっている。上下層配線どちらかに特化した構造にすることによってモードの絞り込みは可能であるが、Via チェーン数が少ない場合には複数のボイド形態が混在する可能性があり、その際の寿命分布は Bimodal 形状となることが報告されている[2]。実際には、多数の Via の全てが正常動作する必要がある LSI 製品において、信頼性を決定するのは、累積故障確率の低い領域の寿命である。サドンデス Test structure はより低い累積故障確率領域を選択的に、精度良く、かつ短時間に評価しているといえる。

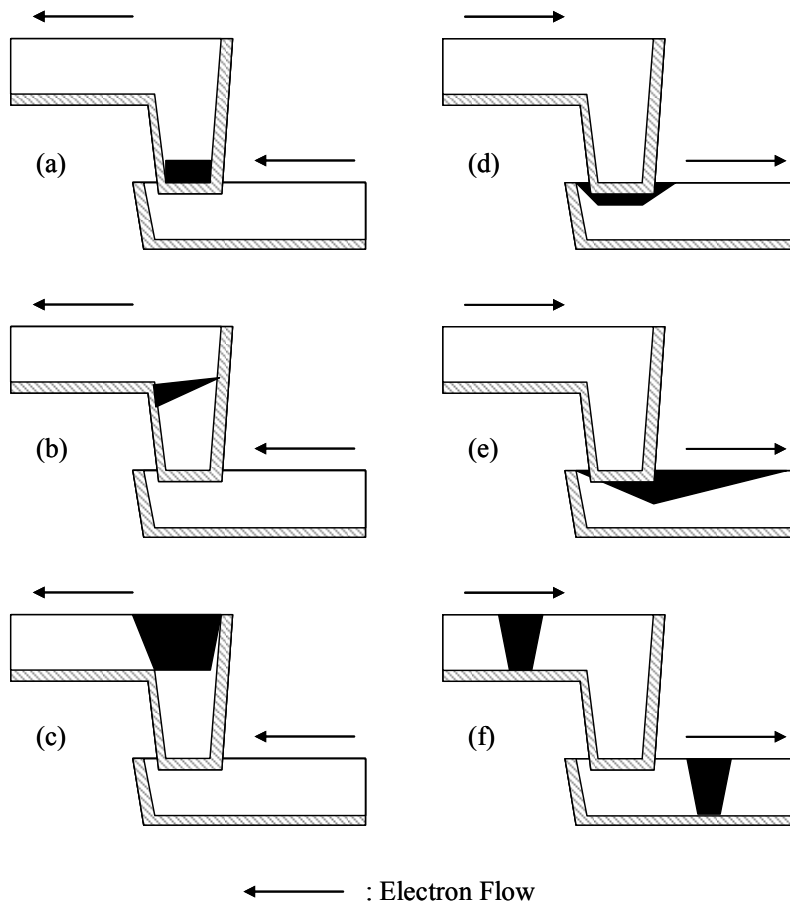


図 6-14 デュアルダマシンプロセスにおけるエレクトロマイグレーションボイドの発生形態

6.4.3. 寿命分布のパラメータ推定比較

式(6-1)の F_{BLN} 及び f_{BLN} に対数正規分布を仮定した場合の分布関数は、式(6-2)のようになる。式(6-2)の右辺第一項が短寿命分布を示し、Bimodal A 分布と呼ぶこととする。右辺第二項が長寿命分布を示し、Bimodal B 分布と呼ぶ。 α が混合比率であり、0以上1以下の数である。

$$\begin{aligned}
 F_{BLN}(t) = & \alpha \cdot \int_0^t \frac{1}{\sqrt{2\pi}\sigma_1 x} \exp\left[-\frac{1}{2}\left(\frac{\ln x - \mu_1}{\sigma_1}\right)^2\right] dx \\
 & + (1-\alpha) \cdot \int_0^t \frac{1}{\sqrt{2\pi}\sigma_2 x} \exp\left[-\frac{1}{2}\left(\frac{\ln x - \mu_2}{\sigma_2}\right)^2\right] dx
 \end{aligned}
 \tag{6-2}$$

図 6-7 及び故障解析結果に示されるように、上層配線評価用サドンデス Test structure の示す寿命分布が Bimodal A 分布に一致し、下層配線評価用サドンデス Test structure が Bimodal B 分布に一致すると推測される。そこで従来型 Test structure 及びサドンデス Test structure によるデータについて、それぞれ最尤法を用いてパラメータ推定を行った。

サドンデス試験で得られた n 個のデータは、いずれも k 個の確率変数の最小値の分布に従う。従来型 Test structure では $k=2$ 、 $n=40$ 、サドンデス Test structure では $k=20$ 、 $n=10$ となる。セグメント単位の寿命の確率密度関数を $g(t)$ 、累積故障確率を $G(t)$ とすると、Test structure 単位の累積故障確率 $F_{\text{TEG}}(t)$ と対数尤度関数は以下のように示される[7]。

$$F_{\text{TEG}}(t) = 1 - [1 - G(t)]^k \quad (6-3)$$

このとき、確率密度関数は式(6-3)を t に関して微分することによって得られる。

$$f_{\text{TEG}}(t) = k g(t) [1 - G(t)]^{k-1} \quad (6-4)$$

最尤推定値は、下記の対数尤度関数を最大化する母数となる。

$$\ln L = n \ln k + \sum_{i=1}^n \ln g(t_i) + (k-1) \sum_{i=1}^n \ln [1 - G(t_i)] \quad (6-5)$$

ここで、 t_i は i 番目の寿命データを示す。

$G(t)$ が式(6-2)の Bimodal 分布とすると、対数尤度関数は以下のように示される。

$$\begin{aligned}
\ln L &= n \ln k \\
&+ \sum_{i=1}^n \ln \left[\alpha \frac{1}{\sqrt{2\pi}\sigma_1 t_i} \exp \left\{ -\frac{1}{2} \left(\frac{\ln t_i - \mu_1}{\sigma_1} \right)^2 \right\} \right. \\
&+ (1 - \alpha) \frac{1}{\sqrt{2\pi}\sigma_2 t_i} \exp \left\{ -\frac{1}{2} \left(\frac{\ln t_i - \mu_2}{\sigma_2} \right)^2 \right\} \left. \right] \\
&+ (k - 1) \sum_{i=1}^n \ln \left[1 - \left\{ \alpha \cdot \Phi \left(\frac{\ln t_i - \mu_1}{\sigma_1} \right) + (1 - \alpha) \cdot \Phi \left(\frac{\ln t_i - \mu_2}{\sigma_2} \right) \right\} \right]
\end{aligned} \tag{6-6}$$

ここで Φ は標準正規分布の分布関数である。

表 6-2 実験結果に基づく各パラメータの点推定結果比較.

推定値	従来型 Test structure (k, n) = (2, 40)	サドンデス Test structure (k, n) = (20, 10)	
		上層配線評価型	下層配線評価型
μ_1	2.71	3.34	—
σ_1	0.40	0.65	—
μ_2	4.29	—	4.14
σ_2	0.35	—	0.47
α	0.47	—	—
$T_{0.1}$	4.41	3.74	14.6

各パラメータの最尤推定値を表 6-2 に示す。本データでは、推定値により一致は得られなかった。この差は、分布の短寿命側へ裾引きする初期故障分布の検出感度が影響しているものと考えられる。図 6-7 を詳細に見ると、3%以上の累積故障確率の範囲では従来型 Test structure、サドンデス Test structure のデータともに Bimodal 分布関数に良く従うが、3%以下では短寿命側にわずかに裾をひいているのがわかる。サドンデス Test structure はより低い累積故障確率の範囲が試

験範囲であることから、打点として現れる数は少ないが、短寿命側の裾引きの存在に対して検出感度が高いと考えられる。Bimodal A 分布の形状パラメータである σ_1 の推定値が大きいことは、それを示唆したものと考えられる。

LSI としての信頼性保証に必要となる、より低い累積故障確率の寿命を高い推定精度で外挿するには、第一にプロセスの改善へのフィードバックが重要となる。本件のデータはプロセス開発の初期データであり、埋め込みの不完全によるものと考えられる欠陥が Via 内に残留した状態と考えられる。そのため、上層配線評価型の寿命が下層配線評価型の寿命よりも極端に短い結果となった。アスペクト比の高い Via ホールへの埋め込みは、エッチング、PVD、電界めっきなどの複数工程が関与する。また、欠陥の寸法が小さい場合には、Via 抵抗異常として検出されない。このような欠陥はボイドの核として寄与すると考えるのが自然である。すなわち、ボイド発生が既に完了している状態にあり、寿命に対する Incubation time の寄与は無視できるほど小さくなると予想される。前章までに示したように、Incubation time は実使用条件での配線寿命において無視できない長い期間となる。デュアルダマシン Cu 配線において高いエレクトロマイグレーション信頼性を確保するには、本章にて提案した Test structure などを用いた低い累積故障確率の寿命確認と、故障解析による原因工程の特定と改善を早期に行うことが非常に重要となる。

実際には、Via ホールの信頼性初期故障を改善するには、Via の形状のコントロールとその後の埋め込み条件の最適化が重要となる。第一に、エッチングの際にホールを逆テーパ形状とすることにより、PVD によってホール内に形成されるバリアメタル、シード Cu の被膜率、被膜厚の確保を補助する工夫が必要となる。次に、めっきの際のめっき液が十分にホール内に流れ込むように、堆積したバリアメタル、シード Cu が Via ホールの上部をふさがないように、ホールの底部、側壁へは均一な成膜がなされるような PVD 条件を用いる必要がある。めっき条件も、ホールの底部からのボトムアップ性を考慮し、埋め込み性の高い条件となるように、めっき液中の添加剤やめっき条件としての電流密度をコントロールしなければならない。これらの改善の効果を早期に確認し、改善の

PDCA を繰り返すことによって、量産性の高いプロセス条件を決定することが、歩留および信頼性の高い LSI プロセスの開発には不可欠となる。

改善を繰り返したデュアルダマシン Cu 配線では、Via 内のボイドによる寿命は大きく改善することが可能であり、下層配線評価型にて評価される Via 下ボイドの寿命が支配的な故障モードとなる。いいかえれば、複数存在する故障モードのうち、製造不具合に起因する初期故障モードの寿命を改善することにより、本質的なエレクトロマイグレーション寿命のみが顕在化ようになる。それにより寿命分布が一山型 (Unimodal) 形状となる。図 6-15 に 65nm ノードのプロセスインテグレーション完成後の寿命分布を示す。従来型 Test structure のデータ (○) と下層配線評価型 Test structure (●) の寿命分布がよい一致を示している。また、実験範囲では上層配線評価型 Test structure では故障は観測されなかった。

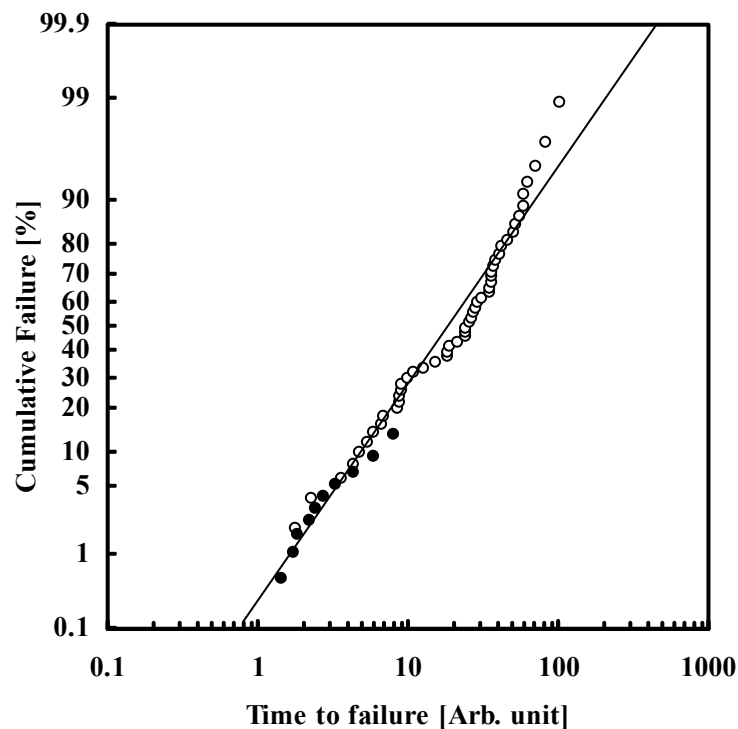


図 6-15 65nm ノードプロセスにおけるインテグレーション完成後のエレクトロマイグレーション寿命例。

上記の例は、本章で提案した手法に基づく PDCA サイクルを経ることにより、高いエレクトロマイグレーション信頼性を実現することが可能であることを示した例である。今後のプロセス技術の進展においては、Via 数の爆発的な増加に伴い、達成すべき信頼性の指標は更に低い累積故障確率に移行することは間違いない。これに対しては、本章で提案する技術を更に進化させる必要があるだろう。

6.4.4. サドンデス Test structure における課題

LSI 配線プロセスにおいては、微細化の進行とともに、回路が有する Via 数、配線長が指数関数的に増加している。そのため、低い累積故障確率の寿命を精度よく予測する必要性がより高くなってきているといえる。今回提案したサドンデス Test structure は、低い累積故障確率の推定精度、故障解析の容易性、試験サンプル数の低減を同時に実現しているが、セグメント数の増加に伴って抵抗変化の電氣的検出が難しくなる特性もある。よって Test structure の設計の際には、信頼性保証目的とする累積故障確率の推定精度や、電氣的検出度、試験サンプル数の全てが同時に適正となる条件を選ぶ必要がある。セグメント数と推定精度に関しては[7]、電氣的検出度については Gall ら[4]の提案があるが、両面からの最適化については議論されていない。

65nm ノードプロセス以降の製品においては、歩留向上や信頼性確保を目的として、複数の Via による配線間接続を行う冗長設計が一般的になってきている[13]。これは、プロセス技術のみに依存して高品質、高信頼性を実現するのが難しくなったことに起因している。この冗長設計によって Via 数増加に加速がかかっているが、LSI の寿命を決定する支配的な Via 数は減少している。

今後、数十億を越す構成部品から、LSI の信頼性に対して支配的な Critical path を抽出し、最適なマシンタイムで製品の信頼度を予測する方法論が期待される。サドンデス Test structure の設計は、その方法論に適合する形で、必要となる非常に低い累積故障確率の推定精度を高めるように設計されるべきであり、今後の開発の最も大きな課題である。

6.5. 結言

サドンデス試験と故障解析を前提とした Test structure を考案し、ダマシン Cu 配線における試験方法、故障解析方法、寿命特性の解析方法とその推定精度について検討した。

本章において検討した 20 セグメントのサドンデス Test structure では、デュアルダマシンプロセスにおいて注目されている Bimodal 分布特性について、少数サンプルでその傾向を明らかにすることが出来た。同時に試験時間の短縮を実現した。また、故障解析を容易化する設計により、OBIRCH を用いた非破壊解析により容易に故障箇所を特定することが可能である。故障解析の結果、サドンデス Test structure においても、従来型 Test structure と同じ形態のボイドを評価していることを示した。

LSI 配線プロセスの開発時にエレクトロマイグレーション特性全容を把握するには、従来型 Test structure とサドンデス Test structure を併用する必要があるが、短サイクルで水準間比較や改善効果確認の評価・判断を行うことや、プロセス立ち上げ後の変更管理等においては、短 TAT で推定精度に優れるサドンデス Test structure を用いる効果は大きいと考えられる。

著者らは、[4]の電氣的測定法を採用したサドンデス Test structure を用いて、10ppm 程度までの寿命分布及びボイドモードの検証を行った[14]。ダマシン Cu 配線のエレクトロマイグレーションにおいても、非常に低い累積故障確率領域まで対数正規分布の当てはまりがよいことを示した。また、特に低い累積故障確率領域では、ボイド発生箇所は Via と、その真下の粒界が接触する粒界三重点であることを突き止めた。これは、本論文で明らかにしてきた事象を非常に低い累積故障確率範囲の寿命試験で検証したものである。また、該当する粒界は双晶粒界などの整合性の高い粒界ではなく、結晶対向角が大きいランダム粒界、いわゆる大角粒界である。したがって、めっきによる Cu 埋め込みと、その後の結晶成長を促すアニール処理の改善により、結晶粒径や配向性の改善を行うことにより、寿命ならびに寿命分布（ばらつき）の改善が可能であると考えられ

る。微細化が進展するにつれて、細い溝中での結晶成長の制御は更に困難になると予想される。したがって、メタライズプロセスの開発において、本研究で開発した Test structure は重要な貢献をするものである。

第6章の参考文献

- [1] E.T. Ogawa, E.T., H. Matsuhashi, and P.S. Ho; “Statistics of Electromigration Early Failures in Cu/Oxide Dual-Damascene Interconnects”, Proc. of 2002 IEEE International Reliability Physics Symposium, pp. 341-349 (2001).
- [2] C.-K. Hu, L. Gignac, E. Liniger, and R. Rosenberg; “Bimodal Electromigration Mechanisms in Dual-Damascene Cu Line/Via on W”, Proc. of 2002 IEEE International Interconnect Technology Conference, pp. 133-135 (2002).
- [3] L.P. Muray, L.C. Rathbun, and E.D. Wolf; “New technique and analysis of accelerated electromigration life testing in multilevel metallizations”, *Applied Physics Letters*, Vol.53, pp.1414-1416 (1988).
- [4] M. Gall, C. Capasso, D. Jawarani, R. Hernandez, and H. Kawasaki; “Statistical analysis of early failures in electromigration”, *Journal of Applied Physics*, Vol.90, pp.732-740 (2001).
- [5] W. Nelson; *Applied Life Data Analysis*, Wiley, New York (1990).
- [6] 二川清; 「はじめてのデバイス評価技術」, 工業調査会(2000).
- [7] 山本渉, 高際竜一, 鈴木和幸; “エレクトロマイグレーションによる早期故障の分布に関する一考察”, *信頼性*, Vol.25, pp.63-74 (2003).
- [8] E.T. Ogawa, A.J. Bierwag, K.-D. Lee, H. Matsuhashi, P.R. Justison, A.N. Ramamuthi, and P.S. Ho; “Direct observation of a critical length effect in dual-damascene Cu/oxide interconnects”, *Applied Physics Letters*, Vol.78, pp.2652-2654 (2001).
- [9] S. Yokogawa, N. Okada, Y. Kakuhara, and H. Takizawa; “Electromigration Performance of Multi-level Damascene Copper Interconnects”, *Microelectronics Reliability*, Vol. 41, pp. 1409-1416 (2001).
- [10] K. Nikawa and S. Inoue; “Detection and characterization of failures and defects in LSI chips by optical beam induced resistance changes (OBIRCH)”, DRIP (Defect

Recognition and Image Processing in Semiconductors) VII, Templin, 1997/9/7, Proc. DRIP VII, Inst. Phys. conf. series No. 160, Inst. Physics Publ., Bristol and Philadelphia, pp. 37-46 (1998).

[11]T. Koyama, Y. Mashiko, M. Sekine, and H. Koyama; “New Non-Bias Optical Beam Induced Current (NB OBIC) Technique for Evaluation of Al Interconnects”, Proc. of 1995 IEEE International Reliability Physics Symposium, pp. 228-233 (1995).

[12]Y. Kakuhara and S. Chikaki; “Electromigration Behavior of Borderless Vias”, Proc. of 4th International Workshop on Stress Induced Phenomena in Metallization, pp. 89-94 (1997).

[13]ITRS Roadmap: <http://strj-jeita.elisasp.net/strj/>.

[14]H. Tsuchiya and S. Yokogawa; “Electromigration Lifetimes and Void Growth at low Cumulative Failure Probability”, *Microelectronics Reliability*, Vol.46, pp.1415-1420 (2006).

第7章 エレクトロマイグレーション高信頼化技術

7.1. はじめに

1990年代の終わりに、先端ロジック LSI における配線プロセスの主役の座を Al 配線から奪った Cu 配線は、実用開始から 10 年を経て大きな転換期に差し掛かっている。

ダマシン Cu 配線は 150/180nm ノードで実用化が始められ、130nm ノードでほぼ実用化が完了し、90nm ノードで Low- k 絶縁膜との組み合わせまで実現した。65nm ノードはこれまでの世代で培った技術により、スムーズに技術の立上、移行が行われた。また、45nm の量産化においては、Design for manufacturing (DFM) 技術の導入により、早期に Yield を向上させることが重要となっている。SiO₂ 層間膜において基礎的な構造・プロセスを完成したものを第一世代、Low- k 層間膜との組み合わせにより配線間容量の低減が実現されたものを第二世代とすれば、現在は微細化によって顕在化し始めた問題を解決するための技術を導入する第三世代の技術開発が行われているといえよう。

LSI の微細化による配線寸法の縮小は、ダマシン Cu 配線の性能を大きく低下させている[1]。第一に、配線抵抗率の増加を誘起することが問題となる。これは、配線の寸法が銅内における伝導電子の平均自由行程に近づくため、表面・粒界における電子散乱が有意な抵抗率増加を起こすことに起因している（図 7-1）。第二に断面積の低下が駆動時の電流密度を増加させ、エレクトロマイグレーション寿命を低下させてしまう問題がある。また、故障に至るに必要なボイドサイズの低下や、支配的拡散経路の増加によって、同一の電流密度の条件下でも寿命は低下する傾向にある[2][3]。

一方、寸法の縮小化による配線間容量の増加も重要な課題のひとつである。そのため、層間膜の Low- k 化の努力も継続している。誘電率を下げるためには、膜のポーラス化が進められている。ところが、それによって同時に絶縁膜の機

械的耐性や界面剥離強度も低下してしまう。したがって、ダイシングやボンディングなどのパッケージング時のダメージによりクラックや剥離などの不具合が発生する懸念が増加してきている。また、誘電率の低下と同時に絶縁膜の熱伝導率も低下することから、ジュール発熱による局所的な温度上昇を加速してしまう。局所的なジュール発熱は、配線抵抗の増加による遅延とエレクトロマイグレーションの加速という両面において問題となる。

45nm ノード以降のプロセスにおいては、これらの問題を解決しつつ、微細化と高性能化の要求を満足する必要がある。第三世代の実現には、これまで以上に高いハードルがあり、その成否を決めているのが信頼性特性であるといえる。

本章では、抵抗率－信頼性トレードオフ特性を示す新たな指標として、規格化残留抵抗率 (Normalized residual resistivity: NRR) を提案し、その効果を検討する。この NRR を用いて、CoWP 自己整合被膜配線 (以下、CoWP)、プラズマ CVD 自己整合バリア配線 (以下、PSAB)、アルミ添加シードによる Cu 合金配線 (以下、CuAl) の抵抗率－信頼性トレードオフ特性を比較検討する。さらに、CuAl におけるエレクトロマイグレーション改善のメカニズムを詳細に検討し、第三世代配線の高信頼化についての指針を示す。

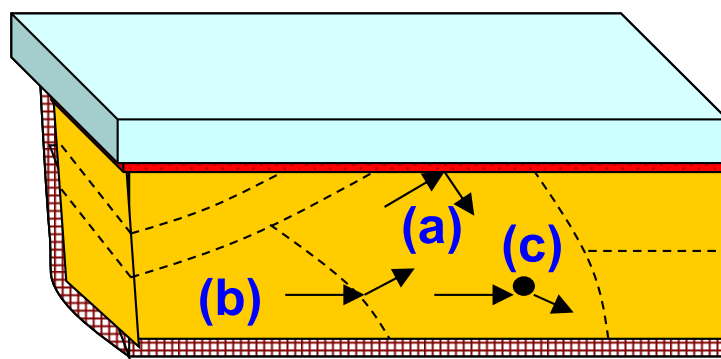


図 7-1 微細な先端配線における電子散乱 (フォノン散乱を除く) の概念図. (a)表面散乱、(b)粒界散乱、(c)不純物散乱. 電子の平均自由行程は 39nm 程度であるため、寸法が平均自由行程の 2~3 倍程度で顕在化する.

7.2. 先端配線プロセスにおける課題

7.2.1. 先端配線プロセス技術

エレクトロマイグレーション寿命やストレス誘起ボイド耐性の向上を実現するプロセス技術については、すでにいくつかの提案がなされている (Fig. 2)。大まかに分類すると、ダマシン Cu 配線の上部表面に CoWP, CoWB, W, Ni などの自己整合被覆層を形成するメタルキャップ技術[4][5][6][7][8]、プラズマ Chemical vapor deposition (CVD)による自己整合の CuSiN 層を形成する Plasma CVD self-alignment barrier (PSAB)技術[9][10][11][12][13][14]、Cu 中に Al, Sn, Ti, Ag, Mn, Si, Mgなどを添加する Cu 合金技術[15][16][17][18][19][20][21][22][23][24][25][26][27]の3つに分類される。ところが、これらの技術の導入は Cu 中への不純物導入を伴うため、配線抵抗率の増加を助長するものである。そのため、抵抗率-信頼性のトレードオフに関する定量的な評価が必要不可欠である。以下に、3つの先端配線技術の概略についてそれぞれ述べる。

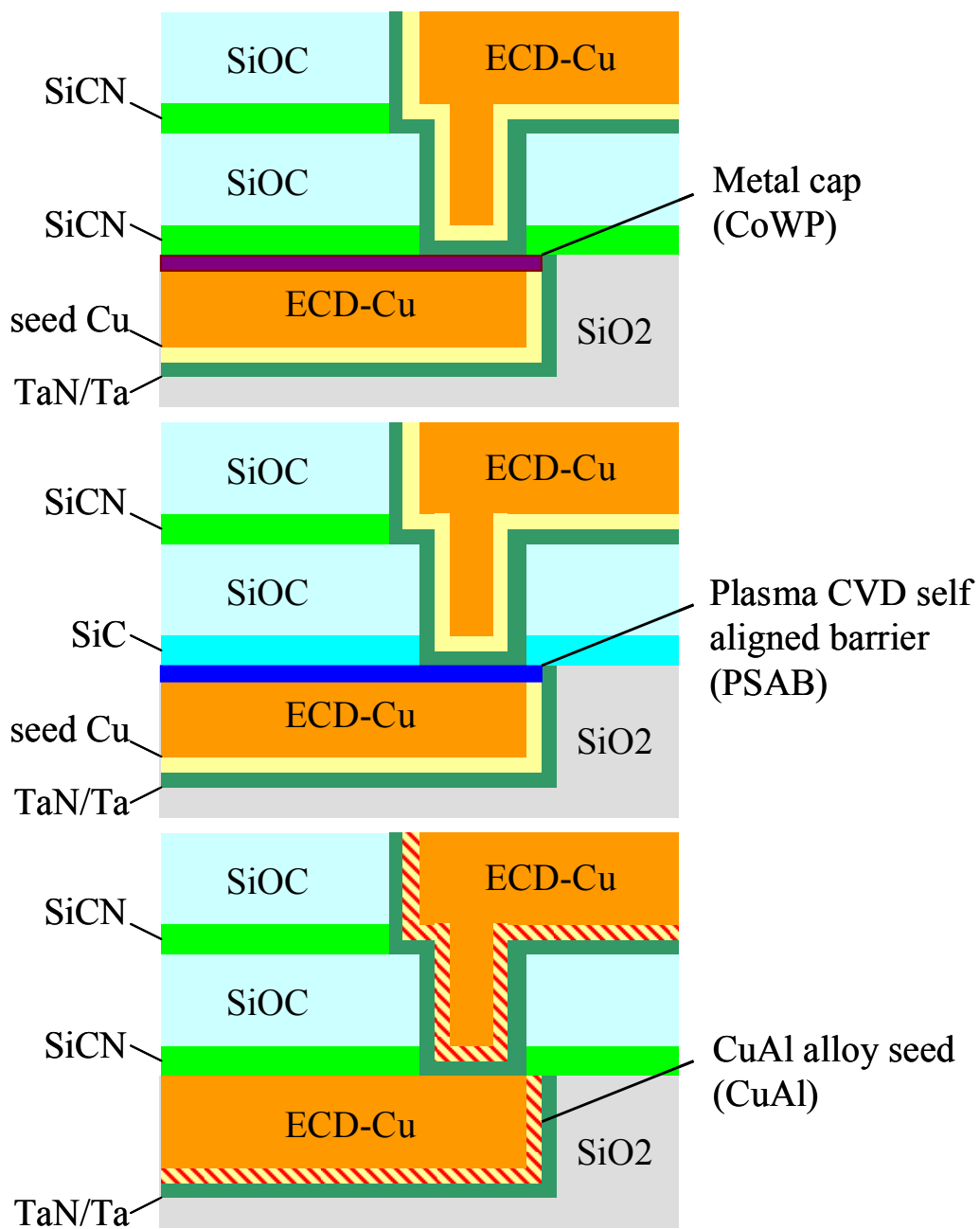


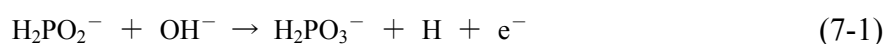
図 7-2 先端ダマシシ Cu 配線技術の概略図. (上) メタルキャップ技術、(中) PSAB 技術、(下) Cu 合金技術.

7.2.1.1. 無電界めっきによるメタルキャップ技術

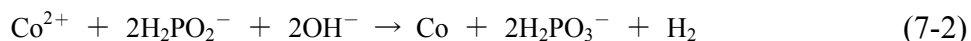
ダマシン Cu 配線のエレクトロマイグレーション、ストレスマイグレーションにおける Cu の支配的拡散経路は Cu/キャップ絶縁膜の界面である。この支配的拡散経路そのものを別種のものに変えてしまうために、無電界めっきをもちいて選択的に配線上に Co ベースの合金など、いわゆるメタルキャップを堆積する技術が開発されている。

一般に、無電解めっきプロセスは前洗浄、触媒付与、成膜、洗浄、乾燥等の一連の基本的なステップを順次行なうものである。無電解めっきは、通常の電解めっきと違い、外部からの電子供給を受けず、めっき対象物を単に金属イオンを含んだめっき溶液に浸すことによって、その金属イオンを還元させ、金属被膜として析出させる方法である。金属イオンを還元させるためには、めっき溶液中に電子を放出するための還元剤成分が必須である。次亜リン酸塩を還元剤としためっき溶液系における CoWP の合金被膜を析出する場合の基本的な化学反応式は以下のようなになる[28]。

次亜リン酸イオンの酸化反応



コバルトイオンの還元反応



リンイオンの還元反応



タングステンイオンの還元反応



水素の生成反応



すなわち、還元剤としての次亜リン酸塩の酸化反応として電子が放出され、コバルトイオンとタングステンイオンが電子を得て共析反応を起こして合金を形成する。その反応と共に水素の還元反応も進行する。次亜リン酸塩のアノード酸化反応に対して、Cuは非常に低い触媒活性しかもたないため、原理的にはめっきが進行しないが、触媒活性が高いPdなどによる触媒処理を行う。図7-3はCoWPメタルキャップを施したダマシンCu配線の断面観察例である。

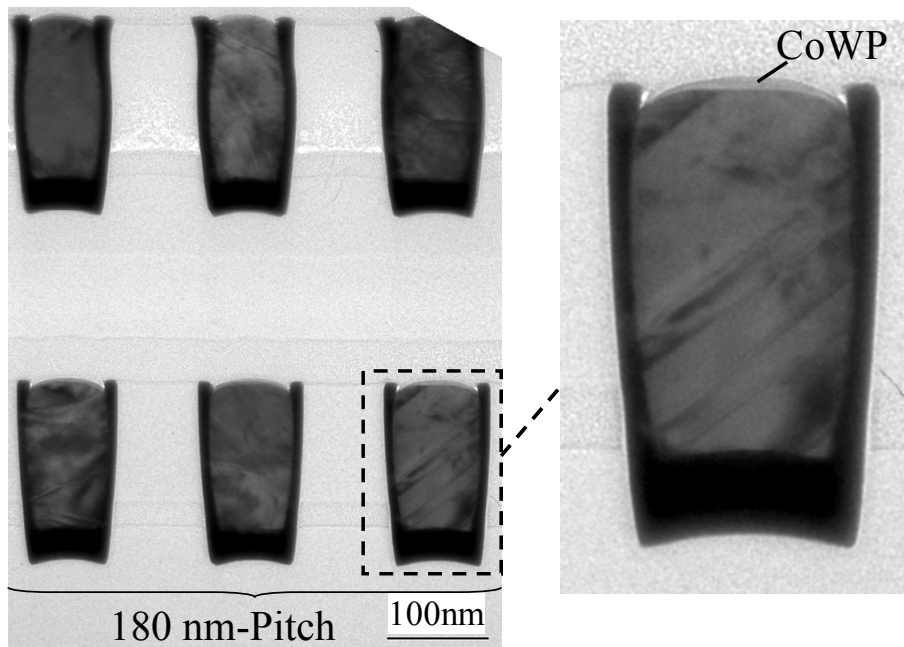


図 7-3 CoWP メタルキャップ配線の断面例.

プロセスの実用化については、LSIプロセスとしての安定性、再現性に関するデータの積み上げが必要である。最大の問題のひとつはCo拡散による配線抵抗率の増加である。後述する合金配線で議論されることの多い配線抵抗率と信頼性のトレードオフ問題は、メタルキャッププロセスにおいても必要な議論である。また、無電界めっきプロセスは従来の配線プロセスにない技術であるため、量産装置の開発、汚染対策などの量産上の課題の解決も必要不可欠である。

7.2.1.2. プラズマ CVD による PSAB 配線

プラズマ CVD による自己整合型のバリア形成技術 (PSAB) は、メタルキャップ技術とは異なり新たな生産装置の追加などを必要としない技術である。ただし、その実用化にあたっては、やはり、抵抗率と信頼性のトレードオフの考慮が不可欠である。Cu silicidation によって、Cu/キャップ絶縁膜界面自己整合に CuSiN を形成することによる信頼性の向上は、Cu 中への Si 添加による抵抗率の増加を伴うためである。

自己整合 CuSiN プロセスの一般的なプロセスフローは、Cu 配線上に覆われる拡散バリア絶縁膜の工程で、成膜の前処理に還元プラズマ→SiH₄ 照射→窒素含有プラズマというステップで Cu 配線の表層に CuSiN を形成する (図 7-4)。このとき同時に絶縁膜は窒化される。この後、キャップ絶縁膜を成長させる。一連の処理はプラズマ CVD 装置の中で行われるため、新たな設備投資などの追加は不要となる。

特に窒素含有プラズマ処理は、Cu 表層に CuSiN を形成すると同時に、Cu 中の余剰の Si を低減させる処理である、という報告がある[14]。Si は Cu に比べて軽い元素であり、Cu 中への拡散も容易であることが考えられる、余剰の Si は抵抗率の増加のみに寄与してしまうため、その制御は非常に重要である。

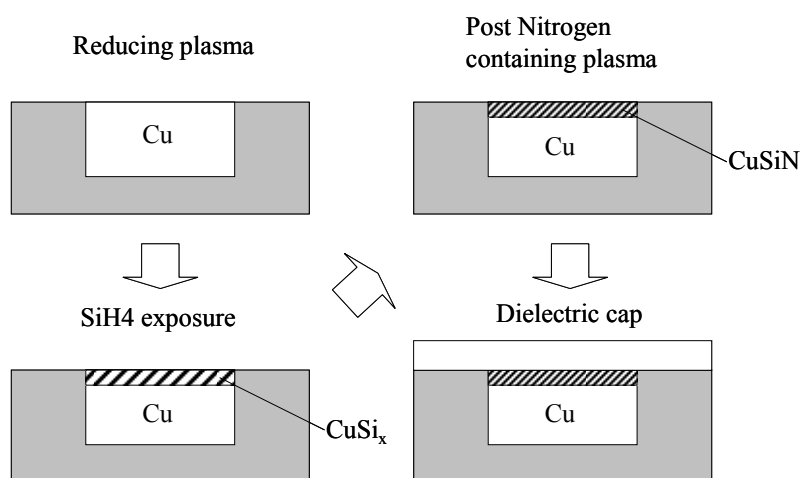


図 7-4 PSAB 配線のキャップ形成工程.

7.2.1.3. Cu 合金配線

Al 配線の時代から、微量の異種金属の添加は、配線信頼性を向上させる手段として知られている。Cu 配線においても、早くから合金化による信頼性向上は検証されてきた。ここでもっとも議論されるのは抵抗率と信頼性のトレードオフであるが、最近になってバリアメタルとの組合せ、もしくはバリアメタルそのものの代替として興味深い提案が行われている。

微量金属添加の方法としては、めっきによる成膜の前のシード層に、合金ターゲットによる PVD を用いるのが一般的である。これまでに報告されているものとしては CuTi[19]、CuSn[15][17][18][19]、CuZr[18]、CuIn[18]、CuAg[21]、CuMg[16]、CuAl[17][20][23][24][26][27]、CuMn[22][25]などがある。

一般に、添加する他金属の量は一般に数 atm.%以下であるため、固溶した状態や、一部に析出して粒界近傍など局部的に多元金属が形成されていると考えられる。ここでは、これらの状態を総じて「合金」と呼ぶ。

一般的なダマシン工法では、PVD によりシード層を形成した後、めっきによってダマシントレンチを Cu で埋め込みする。その後のアニール処理において Cu のグレイン成長が促されるが、その際に微量の添加金属が熱拡散によってシード近傍から移動する。移動する先については、主に Cu と絶縁膜の界面に集中するという説や、主に粒界に集中するという説がある。添加する金属種によって挙動が異なることや、微細にパターンニングされたサンプルではいずれの物理分析手法による検討も困難なることから、詳細については不明な点が多い。

7.3. 抵抗率－信頼性評価手法の提案

7.3.1. はじめに

Cu 配線の断面寸法が縮小するに伴い、結晶粒界や配線表面（他のメタル、絶縁膜との界面）における電子散乱は無視できない抵抗の増加を生じている。また、ダマシン構造ではバリア膜厚効果（Cu の全断面積比の低下）による配線抵抗の増大も発生する。

後者のバリア膜厚効果については、バリアメタル薄膜化技術である Atomic layer deposition (ALD)、自己形成バリアなどの技術開発が進んでいる。ところが、前者の電子散乱効果については、結晶制御や界面制御などの高度な成膜技術が必要となる。2007 年現在、量産性まで確保された技術はまだ開発されておらず、その必要性は非常に高くなっている。

また、一方でエレクトロマイグレーション耐性の低下は加速度的に進んでいるため、前述のプロセス技術の導入が加速度的に進められている。ところが、これらの技術の導入は Cu 配線へ異種金属を導入する懸念もあることから、抵抗率-信頼性のトレードオフは非常に重要なプロセス開発指針となる。

本章では、新しいプロセス追加による電子散乱効果への影響を定量的に測定・比較する手法を提案すると共に、トレードオフ特性による新規技術の比較検討を議論する。

7.3.2. 実験および理論

実験に用いたサンプルは、一般的な 2 層のシングルダマシン Cu 配線プロセス (90, 65 nm ノード世代) を用いて作成した。配線層間膜は SiO₂ で、キャップ絶縁膜は CoWP[6]および CuAl[26]が SiCN ($k=4.9$)、PSAB[13]が SiC ($k=4.5$) である。配線技術毎の実験において、純 Cu 配線を Control 水準とし、抵抗率、信頼性への影響を比較調査した。配線抵抗測定は 4 端子測定法を用い、ジュール発熱の影響のない条件を選択して 15K から 300K の範囲で温度を変えて測定した。以降の考察には、20K での抵抗値を残留抵抗としてこの後の検討を行った (一般には液体ヘリウム温度である 4.2K での抵抗を残留抵抗と呼ぶ。本研究では、測定系の構造と安定性により 20K を選択した)。

各プロセス技術の抵抗率への影響度を示す指標として、NRR を以下のように定義する。図 7-5 に示されるように、観測される配線抵抗にはマーティセンの法則[29]が成り立つ。すなわち、抵抗率の温度依存性は以下のように与えられる。

$$\rho(T) = \rho_{\text{bulk}}(T) + \rho_0 \quad (7-6)$$

ここで、 T は絶対温度、 $\rho(T)$ は観測される抵抗率、 $\rho_{\text{bulk}}(T)$ は格子振動による抵抗率、 ρ_0 は電子の表面（界面）散乱、粒界散乱、不純物散乱に起因する抵抗率である。 $\rho_{\text{bulk}}(T)$ は温度依存性を有するが、 ρ_0 は温度依存性を持たない。式(7-6)を用いて、残留抵抗率比（Residual Resistivity Ratio: RRR）が以下のように求められる。

$$\text{RRR} = \frac{R_{\text{RT}}}{R_{20\text{K}}} \approx \frac{\rho_{\text{bulk}}(\text{RT}) + \rho_0}{\rho_{\text{bulk}}(20\text{K}) + \rho_0} \approx \frac{\rho_{\text{bulk}}(\text{RT})}{\rho_0} + 1 \quad (7-7)$$

ここで、 R_{RT} は室温での配線抵抗、 $R_{20\text{K}}$ は 20Kでの配線抵抗である。配線の断面積と長さが分母分子で相殺されるため、抵抗率の比率となる。高純度金属の不純物濃度は化学分析では測定が難しく、低温での電気抵抗は残留抵抗によって決まることを利用したRRRは簡便な不純物濃度の代用特性として一般に用いられている。また、RRRの式変形により、Bulkの残留抵抗に対する配線の残留抵抗比を知ることが出来る。

$$\frac{\text{RRR}}{\text{RRR} - 1} \approx \frac{\rho_{\text{bulk}}(\text{RT}) + \rho_0}{\rho_{\text{bulk}}(\text{RT})} = \frac{\rho_{\text{line}}(\text{RT})}{\rho_{\text{bulk}}(\text{RT})} \quad (7-8)$$

ところが、上記の指針は両者共に、表面・界面などの寸法起因の残留抵抗と不純物による残留抵抗を分離できないため、各プロセス技術の影響を評価するには適切でない。そこで、新しい評価指標としてNRRを次のように求める。

$$\text{NRR} = \frac{\text{RRR}_1 - 1}{\text{RRR}_2 - 1} \approx \frac{\rho_{0_2}}{\rho_{0_1}} \quad (7-9)$$

ここで、 RRR_1 は実験内でのリファレンスサンプル（純Cu配線を用いる）のRRR、 RRR_2 は評価対象配線の RRR、 ρ_{0_1} はリファレンスサンプルの残留抵抗率、 ρ_{0_2} は評価対象配線の残留抵抗率を示す。すなわち、実験内で加工寸法が同じリファレンスサンプルで規格化することにより、不純物添加による残留抵抗率の増加比を単独に評価することが出来る。

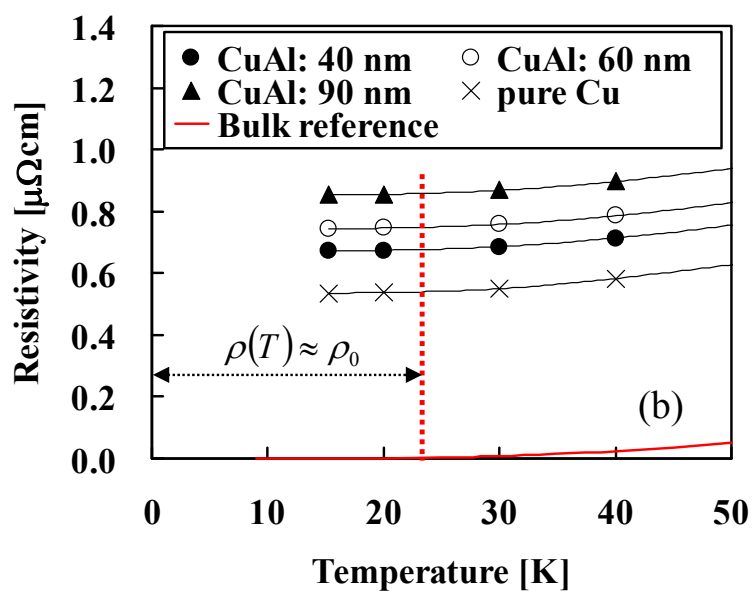
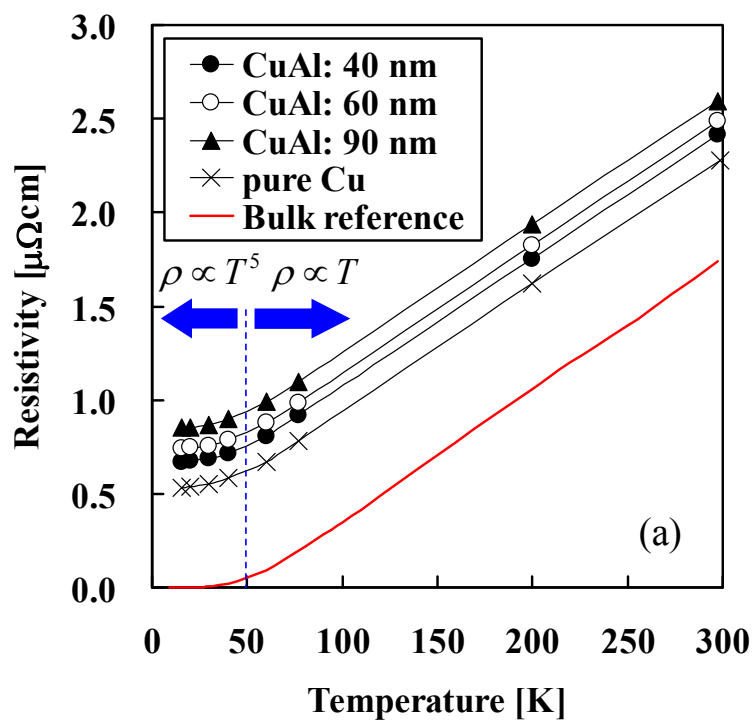


図 7-5 純 Cu 配線および Al 添加 Cu 配線の抵抗率の温度特性. (a)極低温から室温領域、(b)極低温領域の拡大.

7.3.3. 規格化残留抵抗率による配線評価

CoWP、PSAB、CuAl の各プロセスにおける抵抗率への影響を調査するために、90nm ノードプロセスを用いたサンプルにて、抵抗率特性の配線幅依存性を調査した。

図 7-6 に RRR の配線幅依存性を示す。前述のように、RRR は簡便な不純物濃度の代用特性として一般に用いられている。ただし、微細配線の場合には残留抵抗は電子散乱効果にも強く依存する。図 7-6(a)(b)(c)それぞれの pure Cu の RRR は、配線幅が狭くなるにつれて小さくなる。これは配線抵抗率における残留抵抗の比率が高くなることを示している。言い換えると、寸法縮小に伴う残留抵抗の増大が起こっていることを反映している。

RRR による配線の比較では、各配線技術による抵抗率への影響の影響がわかる。図 7-6(a)より、CoWP の RRR は pure Cu と比較して変化が少ないことがわかる。一方、PSAB や CuAl の RRR は、幅の太い配線ほど RRR の低下が大きいことがわかる。ただし、これらの変化は定性的な比較であり、NRR による定量的な比較が必要となる。次に、図 7-7 に NRR の配線幅依存性を示す。

PSAB と CuAl に関しては、NRR は配線幅が広くなるほど増加し、飽和する傾向が見受けられる。配線幅が狭くなるほど $NRR=1$ に近づくため、配線幅が狭いほど不純物添加率は小さくなることが示唆される。言い換えると、PSAB や CuAl の効果は、配線幅が狭くなるほど小さくなることが予想される。今後の微細化の進展に対して、これらの技術の有効性がどの程度確保されるか、見極める必要性が高い。

CoWP は、他の 2 者と比較して NRR は非常に小さいが、配線幅が狭くなるほど増加する傾向がある。CoWP は、配線側面の上部界面において Ta 系バリアメタルと Cu との間に生じるわずかな間隙にも Co が進入することが報告されている[4][7]。すなわち、細い配線ほどこの側壁上部界面の影響が大きくなる。NRR の傾向は、この現象とよく一致するものである。

各技術の適用による抵抗率への影響は、次節にて更に詳細に検討する。

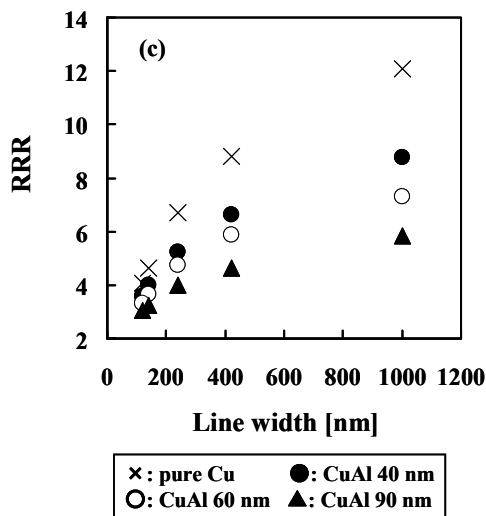
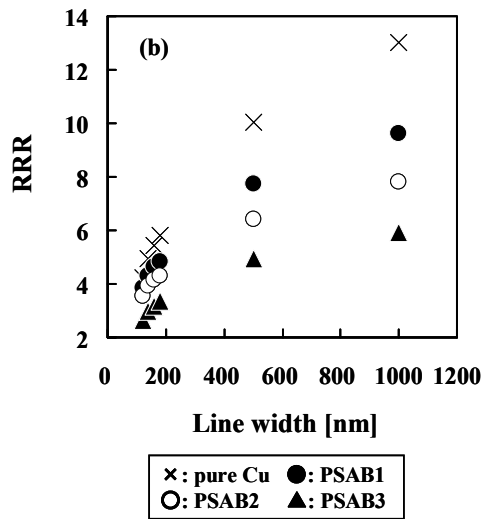
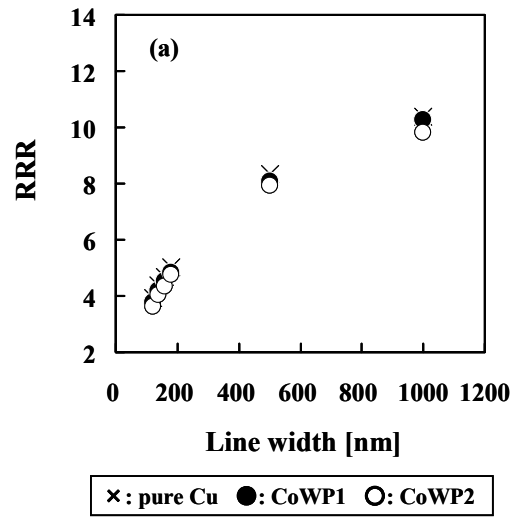


図 7-6 先端配線の RRR の配線幅依存性. (a)CoWP、(b)PSAB、(c)CuAl.

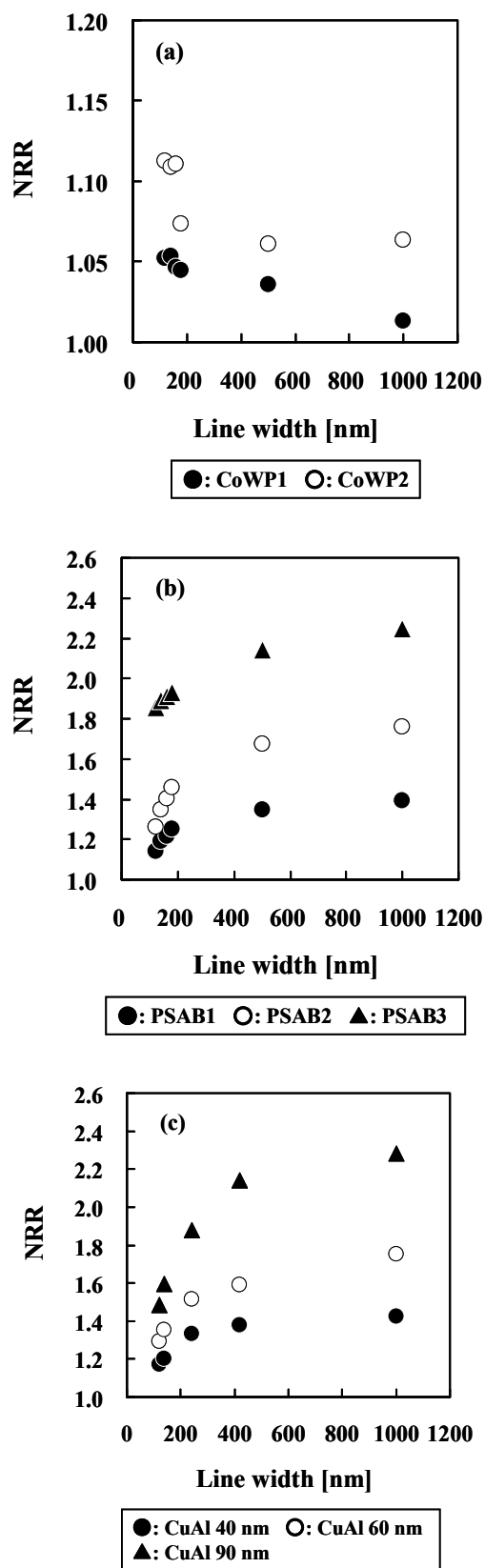


図 7-7 先端配線の NRR の配線幅依存性. (a)CoWP、(b)PSAB、(c)CuAl.

7.3.4. 抵抗率－信頼性のトレードオフ特性比較

図 7-8 にエレクトロマイグレーション寿命の不純物濃度依存性の例を示す。例は Al を添加したものである。Al 添加濃度を変えるために、シード CuAl 膜厚を平面上で 40, 60, 90nm と変えて成膜した。図 7-5 に示すように、シード CuAl 膜厚と残留抵抗に相関がみられる。エレクトロマイグレーション寿命は Al 濃度が增加するにつれて改善する。この傾向は、添加した Al が Cu の拡散を抑制していることを示唆している[23][26]。エレクトロマイグレーション寿命の改善度は、リファレンスサンプルに対する各プロセス技術の寿命比で示される。本章では、0.1%累積故障寿命の比率をエレクトロマイグレーション改善比とする。

図 7-9 に CoWP、PSAB、CuAl それぞれの、NRR とエレクトロマイグレーション改善比の相関を示す。PSAB と CuAl は不純物濃度を変えてサンプル作成した。PSAB 1 の不純物 (Si) 濃度は PSAB 2 よりも小さくなるように、処理時間によって調整した。PSAB 3 は、未反応の Si を除去するための後処理[11][12]を削除し、処理時間を変化させた。PSAB 3 は他の条件と比較して余剰な Si が Cu 中に多く残されているものと考えられる。

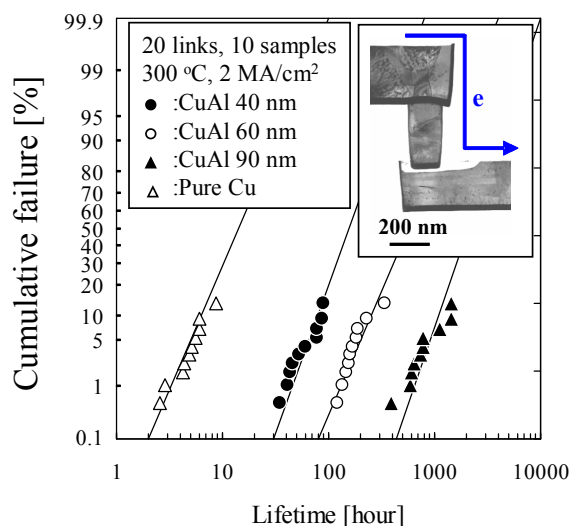


図 7-8 Al 添加による Cu 配線のエレクトロマイグレーション改善例。120nm 幅配線(M1)における Down-stream モードの寿命比較。第 6 章に示した、下層配線評価型のサドンデス Test structure を用いた。

CuAl においては、前述のようにシード CuAl の膜厚調整により濃度調整を行った。図 7-9 におけるデータへの近似線の傾きは、エレクトロマイグレーション改善効率を意味する。PSAB と CuAl は NRR が高いほど、すなわち不純物濃度が高いほどエレクトロマイグレーションが改善する。また、CoWP は極めてエレクトロマイグレーション改善効率が高い。

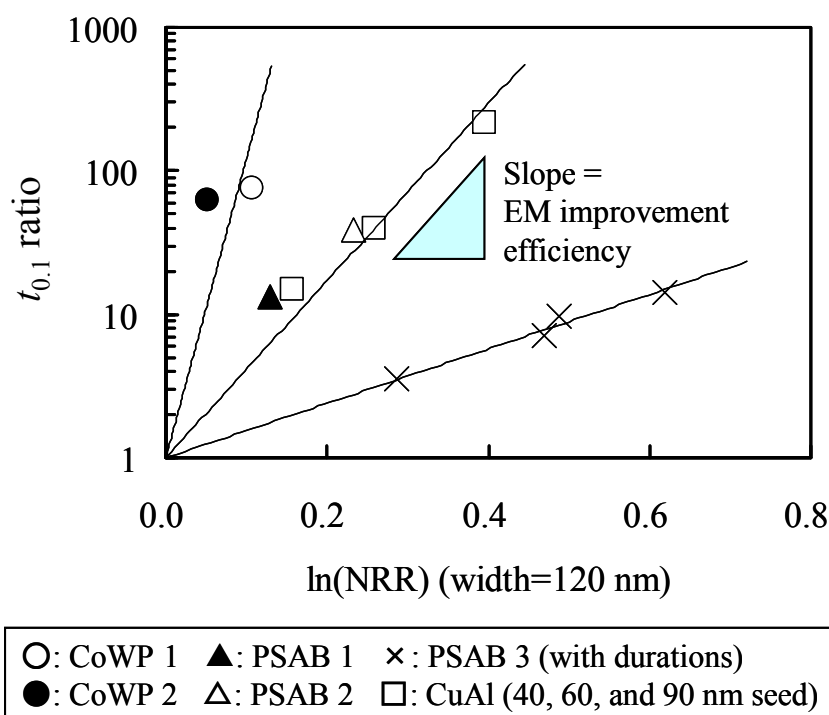


図 7-9 CoWP、PSAB、CuAl におけるエレクトロマイグレーション改善効率の比較.

各元素の Cu への添加における抵抗率増加の添加濃度比率は、Co が $6.9 \mu\Omega\text{cm/at.}\%$ [30]、Al が $1.25 \mu\Omega\text{cm/at.}\%$ [31]、Si が $5.0 \mu\Omega\text{cm/at.}\%$ [32]である。図 7-9 の改善効率を鑑みると、エレクトロマイグレーションは Cu 配線中の不純物が偏析する位置に依存して決まるものと考えられる。CoWP は PSAB、CuAl と比較して非常に高いエレクトロマイグレーション改善を示す一方で抵抗率増加は最も小さい。すなわち、成膜された Co の拡散が Cu 上部界面近傍に制御されているものと考えられる。ただし、一部の Co が表面、粒界、もしくはバルクでの電子散乱率を変化させ、抵抗をわずかに増加させてるものと考えられる。また、

支配的拡散経路である Cu 上部界面[10][33]におけるエレクトロマイグレーション誘起の Cu 輸送を抑制するものと思われる。PSAB や CuAl も Cu の界面拡散の抑制に寄与する[13][23][26]が、同時に粒界散乱や不純物散乱の比率を増加させるものと考えられる。特に、PSAB 3 では余剰な Si が Cu 中に多く含まれているものと考えられるため、配線の抵抗率は顕著に増加する。言い換えると、不純物が添加される層を Cu 表面に集中させるような制御が、効率の高い抵抗率-エレクトロマイグレーション信頼性トレードオフ特性の実現において非常に重要である。同時に、表面へ集中するための制御性が高い不純物の選択が鍵となるであろう。

図 7-10 に 1.0 μm 幅配線のストレス誘起ボイド (SIV) 故障確率と NRR の相関を示す。CuAl の SIV 故障確率は、NRR 増加に伴って減少する。PSAB および CoWP は非常に低い SIV 故障確率を示した。すなわち、Cu 上部表面への直接処理は SIV 抑制により効果的であると考えられる。ここで、CoWP の NRR は PSAB、CuAl の NRR と比較して非常に小さい。したがって、低い抵抗率と高い信頼性の両立は、CoWP の有する改善特性によってのみ達成されるものである。

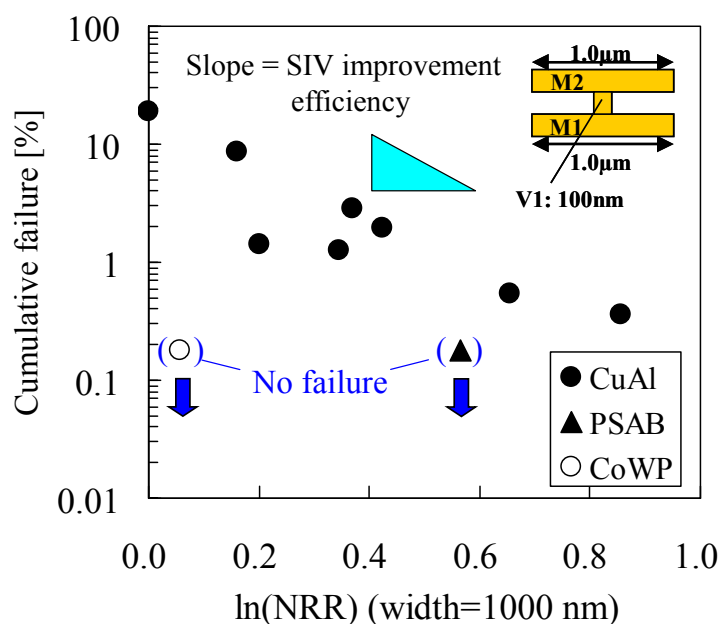


図 7-10 CoWP、PSAB、CuAl における SIV 改善効率の比較.

7.3.5. 各配線技術の拡散経路への影響

これまでに示したように、純 Cu 配線におけるエレクトロマイグレーション現象は、配線のカソード端付近の結晶粒界でのボイド発生と、その後の Cu/キャップ絶縁膜界面の Cu 移動に伴うボイド成長が支配的であった。CoWP、PSAB、CuAl それぞれの技術における抵抗率－信頼性トレードオフ特性は、Co、Si、Al などの添加元素が配線内部にどのように分布し、ボイド発生、成長にいかに関与するかによって決まる。

現在の一般的な物理的な分析方法では、配線内部に存在する 1atm%以下の不純物元素の分布を定量的に評価することは困難である。そこで、配線抵抗率における残留抵抗の寸法効果から、各不純物元素の分布について間接的に推測し、エレクトロマイグレーション改善効果について議論する。

近年、多数の研究者によって純 Cu 配線の抵抗率における寸法効果が議論されている[34][35][36][37][38]。これらの議論の中では、電子散乱効果として表面散乱、粒界散乱が主要な効果として取り上げられ、寸法効果のみが議論されている。本章で示したような、新しい配線技術によって Cu 内に導入された微量の不純物は、Cu 表面（絶縁膜やバリアメタルとの界面）や粒界に局在する可能性が高いが、Si などの軽い元素は Cu の Bulk 中に存在することも可能と考えられる。Bulk 内の不純物は不純物散乱を誘起し、寸法効果を持たない。そのため、不純物添加の可能性のあるプロセス技術の評価には、表面、粒界、Bulk すべてへの影響を表現できるモデルが必要である。

そこで、表面散乱に関する Fuchs の古典的モデル[39]と粒界散乱に関する Mayadas らの古典的モデル[40]を組み合わせた Steinhogel らの電子散乱モデル[36]に、不純物散乱を示す項を追加したモデルを以下の式(7-10)のように考案した。

$$\frac{\rho_{\text{line}}}{\rho_{\text{bulk}}} = \frac{3}{8} C(1-p) \frac{1+AR}{AR} \frac{l}{w} + \frac{1}{3} \sqrt{\left[\frac{1}{3} - \frac{\alpha}{2} + \alpha^2 - \alpha^3 \ln\left(1 + \frac{1}{\alpha}\right) \right] + z} \quad (7-10)$$

なお、 α は以下に示される。

$$\alpha = \frac{l}{d} \frac{R}{1-R} \quad (7-11)$$

ここで、 w は配線幅、 AR は配線のアスペクト比、 ρ_{bulk} は Cu のバルク材としての抵抗率 ($\rho_{\text{bulk}} = 1.7 \mu\Omega\text{cm}$ at 20°C)、 l は Cu 中の電子の平均自由行程、 d は結晶粒界間の平均距離、すなわち平均結晶粒径、 p は表面散乱パラメータ ($p = 0$ にて散漫散乱を示す)、 R は結晶粒界における反射率係数 ($R = 1$ は完全散乱を示す)。 C は形状に依存する定数で、長方形断面の場合は 1.2 である[36]。式(7-10)の右辺第一項は表面散乱に関する寸法効果を示す項である。表面散乱への影響は表面散乱パラメータ p の変化として検出される。次に右辺第二項は、粒界散乱を示す項である。粒界散乱への影響は、粒界反射率係数 R の変化として検出される。なお、粒界散乱の影響も寸法効果を持つ。これは式(7-11)に示される結晶粒径が配線幅によって異なることに起因する。右辺第三項が本検討にて追加した寸法独立項である。Bulk 中の不純物による影響は、この z の変化として現れると考えられる。

各配線の測定結果を式(7-8)により変換し、式(7-10)にフィッティングした結果を図 7-11 に示す。各水準のフィッティング結果に基づいて、120nm 幅配線と 1000nm 幅配線における電子散乱項の分解結果を図 7-12、図 7-13 に示す。

図 7-12(a)より、CoWP においては粒界散乱効果が増加していることが分かる。図 7-13(a)の配線幅が太い場合には有意な差があるとは言えない。これらの傾向は NRR の傾向と一致しており、Co もしくは他の不純物の粒界への拡散を示唆している。一方で、表面散乱や不純物散乱に対する影響はほとんどうかがえない。

図 7-12(b)からは、PSAB の適用によって表面散乱、粒界散乱、不純物散乱の全てが増加することが分かる。特に p-NH₃ 処理による未反応 Si の除去を行っていない PSAB3 では、粒界散乱効果による抵抗率増加が非常に大きいことが分かる。図 7-13(b)の幅の太い配線では、粒界散乱効果の影響は小さい。これは、結晶粒界が大きく、粒界密度が低いためであると考えられる。エレクトロマイグレーションの改善効果が PSAB3 と比較して PSAB 1 及び 2 の方が優れることか

ら、粒界に存在する Si はエレクトロマイグレーション改善に寄与していないことが分かる。また、純 Cu 配線における Cu 移動経路が Cu/キャップ絶縁膜界面であったことから、表面散乱の変化に寄与した Cu/キャップ絶縁膜界面近傍の Si、主に Cu との結合生成物が Cu 拡散の抑制に寄与していると考えられる。

図 7-12(c)及び図 7-13(c)からは、CuAl 配線では表面散乱と不純物散乱が Al 濃度の増加に伴い増加することが示される。次節にて詳細を示すが、表面近傍における Al が、抵抗率の増加とエレクトロマイグレーション抑制に寄与しているものと考えられる。

これらの抵抗率評価結果は、CoWP メタルキャップと、PSAB 及び CuAl には、信頼性改善の方法論が全く異なることを示している。PSAB 及び CuAl は不純物の添加もしくは Cu との結合を界面付近に形成することによって信頼性を改善している。その際に、余剰な元素が Cu 中に残留してしまうために、抵抗率の増加を起こしてしまうものと考えられる。一方で、CoWP は不純物を添加するのではなく、Cu 移動経路となる界面そのものを Cu/CoWP による界面に代替してしまうものである。界面そのものの変更はボイド発生、及び成長のメカニズムを大きく変えているものと考えられる。寿命に基づく信頼性試験結果より、その活性化エネルギーがバルク Cu 拡散と同等の 2.0eV 程度まで向上することが報告されている[4]が、その詳細な物理メカニズムや、45nm ノードプロセス程度まで微細化された場合の有効性はいまだ示されていない。この点は、今後の高信頼性配線の実現のために非常に重要な課題であり、早急に検討を進めたい。

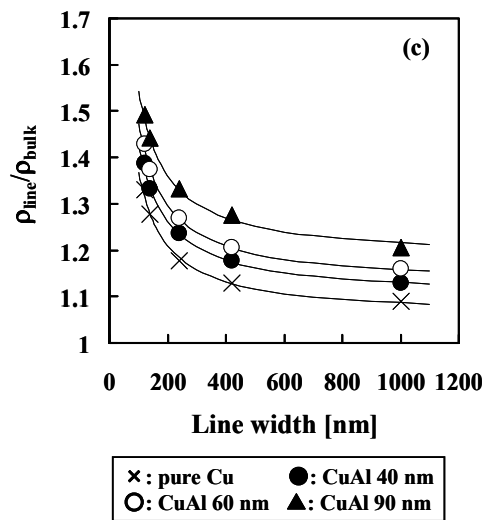
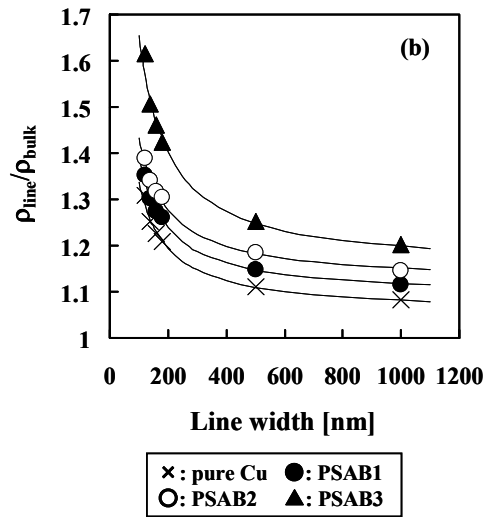
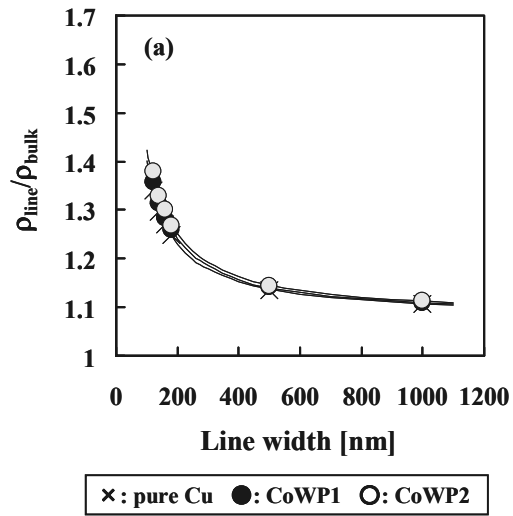


図 7-11 バルク抵抗率と配線抵抗率比の配線幅依存性.

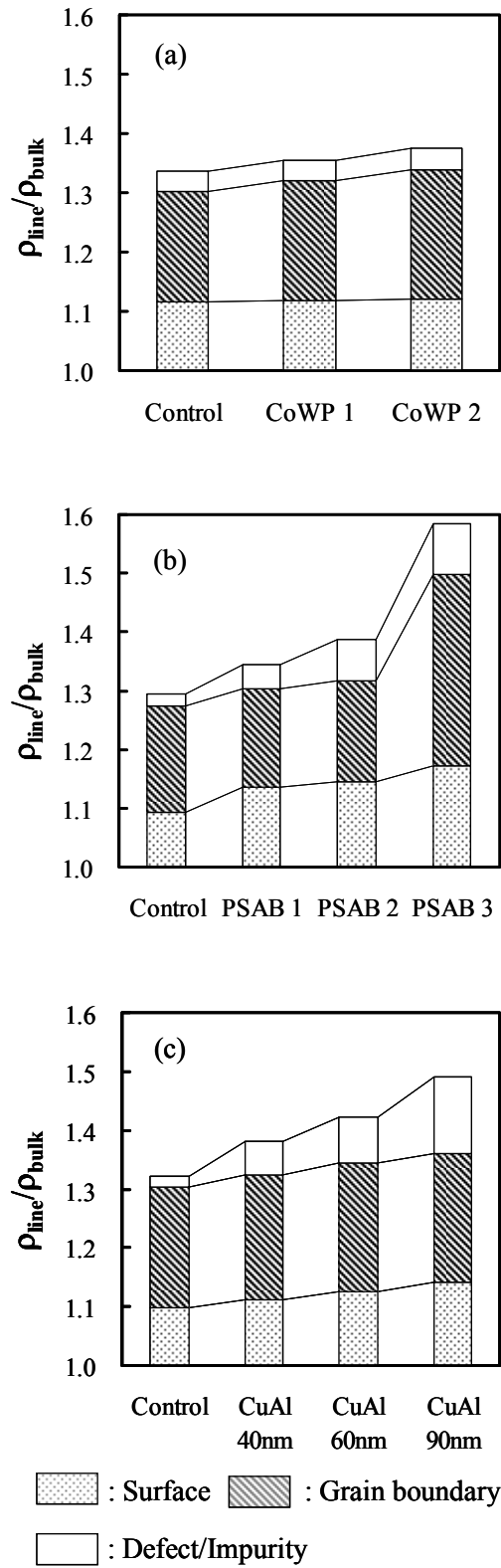


図 7-12 120nm 幅配線における電子散乱効果の詳細分析結果.

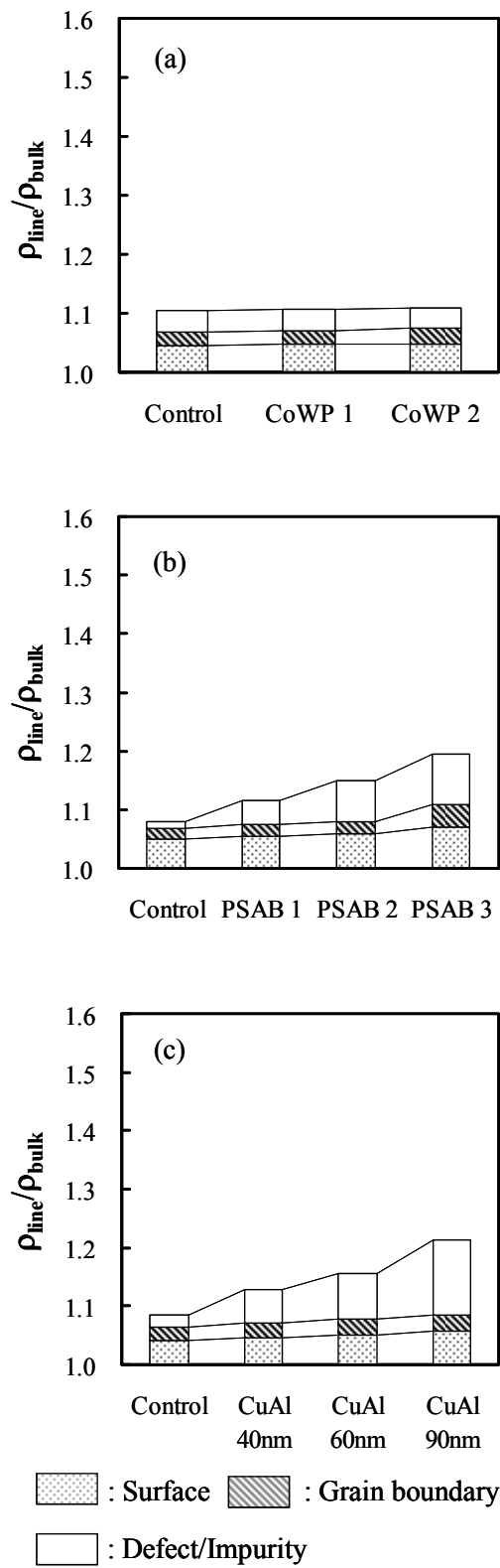


図 7-13 1000nm 幅配線における電子散乱効果の詳細分析結果.

7.3.6. 7.3.のまとめ

NRRによる新しい抵抗率測定手法を用いて、3つの配線技術、CoWP、PSAB、CuAlの抵抗率-信頼性のトレードオフ特性について詳細検討した。不純物添加により信頼性を改善するPSABとCuAlについては、低い抵抗率と高い信頼性を同時に達成することが難しい。一方、CoWPキャップは、高い信頼性のみでなく高い信頼性改善効率を示す。このCoWPキャップの有する特性は、Cu界面、特に粒界へのピニングによるIncubation timeの改善と、Cu/キャップ絶縁膜界面拡散の改善によるものと考えられる。

7.4. Cu 合金化によるダマシ Cu 配線の信頼性改善

7.4.1. はじめに

Cu 合金配線は、他の技術に対して比較的導入が容易であることや、数倍から数十倍のエレクトロマイグレーション寿命の改善が報告されている。ところが、前節で示したように、合金化は抵抗率の増大を伴うものであるため、抵抗率の変化およびエレクトロマイグレーション改善の制御性に関する詳細の把握が重要となる。また、エレクトロマイグレーション改善の詳細については、報告も少ない。

そこで本節では、エレクトロマイグレーション誘起の質量輸送に対し Al 添加量が及ぼす効果について、Blech の原子輸送式[41]に基づく検討を行った。エレクトロマイグレーションによるボイド成長について、実効的な Incubation time (ボイド成長の潜伏期間) とドリフト速度を分離して、Al 添加量の影響を調査した。

7.4.2. 実験方法

成膜された CuAl 膜の基礎特性評価としてシード CuAl およびめっき Cu を成膜した薄膜サンプルを用いて二次イオン質量分析法 (SIMS) による Al の分布に関する分析を行った。

電気的特性評価およびエレクトロマイグレーションに用いるサンプルは 3 層の 90nm ノードプロセスで作成した。配線層間は SiO₂ 膜、キャップ絶縁膜および溝エッチングストッパは SiCN 膜である。Cu の埋め込みは Physical vapor deposition (PVD) による Ta/TaN バリアおよびシード純 Cu、もしくは CuAl 層の形成後、電界めっきにより行った。めっき後のアニール条件は 350°C, 30min である。CuAl は第 1 層のみに形成した。シード CuAl 膜厚を 40~90nm の範囲で制御することにより、Al 添加量を制御した。ただし、この数値は平面上の数値であり、溝中でのシード/めっきの割合は PVD カバレッジによって異なる。

エレクトロマイグレーション試験は、Kawasaki-Hu 型の Test structure[42]を用

いた。パターンの断面概念図を図 7-14 に示す。1 層ダマシン Cu 配線と N+拡散層で構成されている。Test structure の被試験セグメント (M1) は高さ 0.25 μm 、長さ 100 μm 、幅 0.12 μm である。

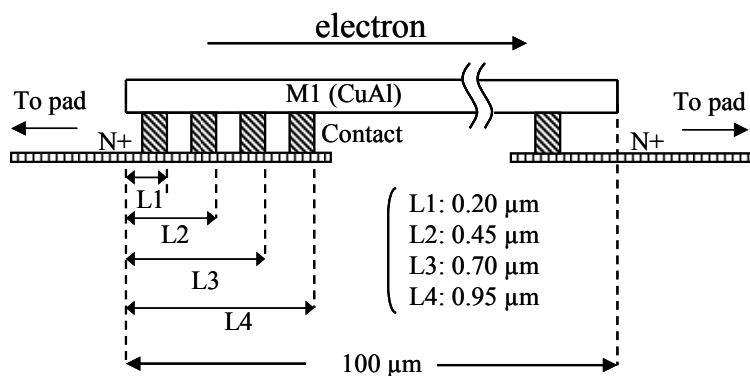


図 7-14 Test structure の断面概念図。試験時の電流密度は、配線断面で定義した。L1, L2, L3, L4 の数値は、TEM による断面観察結果から算出した。

エレクトロマイグレーションの実験は、300～400 $^{\circ}\text{C}$ の雰囲気下で、1～8MA/cm²の電流密度にて実施した。図 7-14 に示す方向の電子流を印加し、抵抗値の変化を観測した。データ分析の方法は、第 3, 4, 5 章で示したものと同じである。

添加された Al のエレクトロマイグレーションに伴う挙動については、STEM に装備したエネルギー分散型 X 線分析 (EDX) を用いた物理分析をおこなった。

7.4.3. 合金化によるエレクトロマイグレーション特性の改善

7.4.3.1. 膜特性に対する Al 添加の影響

配線中の Al 濃度は、シード CuAl の膜厚に強く依存するものと考えられる。薄膜サンプルを用いた SIMS 分析の結果を図 7-15 に示す。シード CuAl 中の Al は熱拡散によりめっき Cu 中に移動していることが示される。特に、表面から膜中央にかけての Al カウントは、シード CuAl 膜厚に依存して変化している。実際のダマシン配線では、膜中央付近にあたる部位が配線 Top 界面にあたる。すなわち、配線中の Al 濃度がシード CuAl の膜厚に依存して変化することが示唆

される。

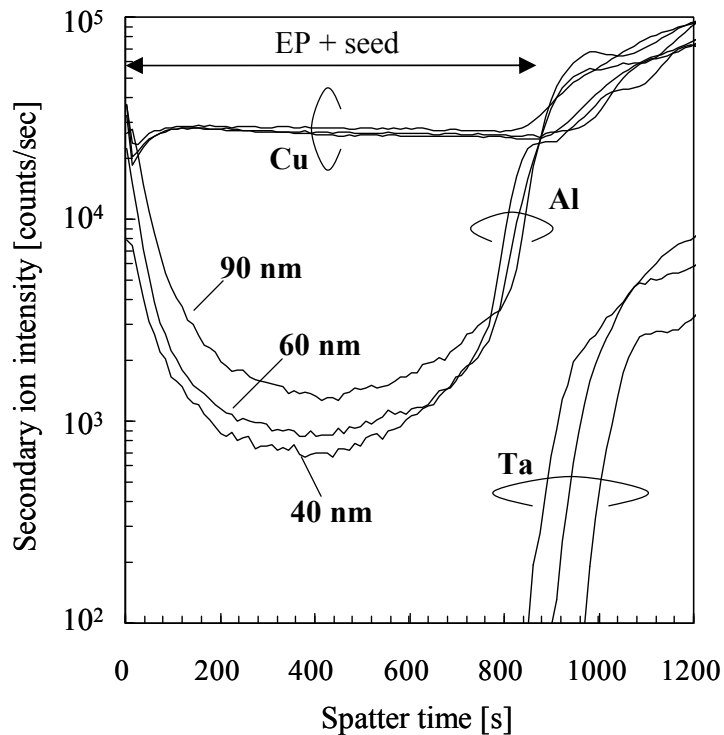


図 7-15 CuAl 薄膜の SIMS 分析結果.

また、添加された Al は配線中の Cu の結晶粒径に影響を及ぼす。図 7-16 に、配線パターンを Focused ion beam (FIB)を用いて配線長方向 (5 μ m 程度) に薄片化し、STEM による観察像からメジアン粒径 (円近似した際の直径) を求めたものを示す。シード CuAl の膜厚が厚いほど、メジアン粒径が小さくなることがわかる。添加された Al がめっき後アニールでの粒成長を抑制しているものと考えられる。

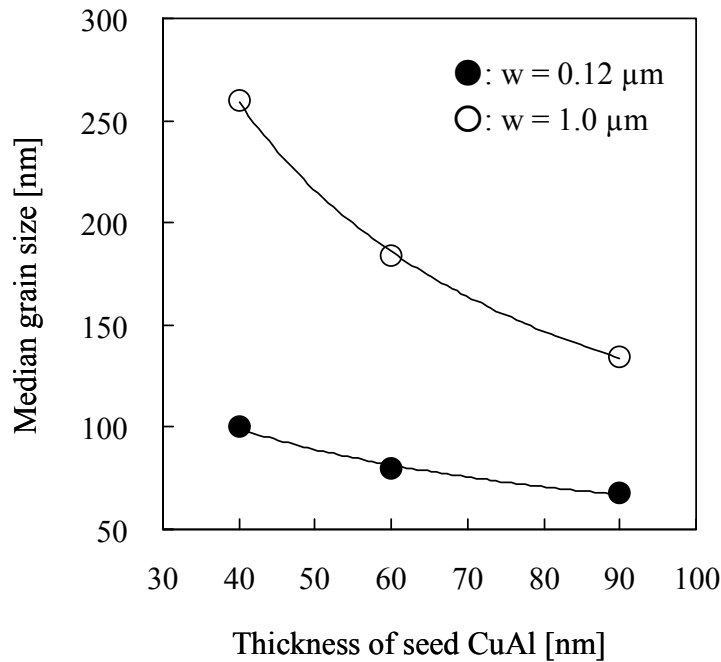


図 7-16 配線のグレインサイズに対する Al 添加の影響. シード CuAl 膜厚に対するメジアングレインサイズの変化.

前節までの抵抗率の分析結果により、シード CuAl の膜厚を変更した際の配線抵抗率は、シード膜厚が厚いほど高くなった。ただし、電子散乱は表面散乱と同時に不純物散乱がシード膜厚に応じて高くなる。以上の結果より、シード CuAl に添加された Al はその後の熱処理でめっき膜中に拡散し、その分布を再構成しているものと考えられる。

7.4.3.2. エレクトロマイグレーション特性

配線中に添加された Al が、エレクトロマイグレーション誘起のボイド発生と成長に与える影響を調査するため、Kawasaki-Hu 型の Test structure を用いて評価した。図 7-17 に 400°C、4MA/cm² での実験結果を示す。当てはめた直線の傾きがボイド成長速度、すなわち Cu のドリフト速度にあたる。同様に、X 軸切片が実効的な Incubation time に相当する。図 7-17 から、シード CuAl が厚くなるほど、ドリフト速度が低下し、Incubation time が長くなることがわかる。AlCu 配線のエレクトロマイグレーションに関する先駆的な研究では、添加された金属

である Cu が Al よりも速く拡散し、カソード端に Cu の枯渇領域が出来た後に Al が移動し始めるというモデルが提唱されている[43][44]。CuSn 配線に関しても、同様な報告がなされている[15]。これらのモデルが支持される場合には、ドリフト速度は純メタルのものと一致し、添加濃度には依存しない。ところが、観測された結果はドリフト速度の添加濃度依存を示している。したがって CuAl 配線では、AlCu 配線とは異なるメカニズムによって、エレクトロマイグレーション耐性が向上していると考えられる。

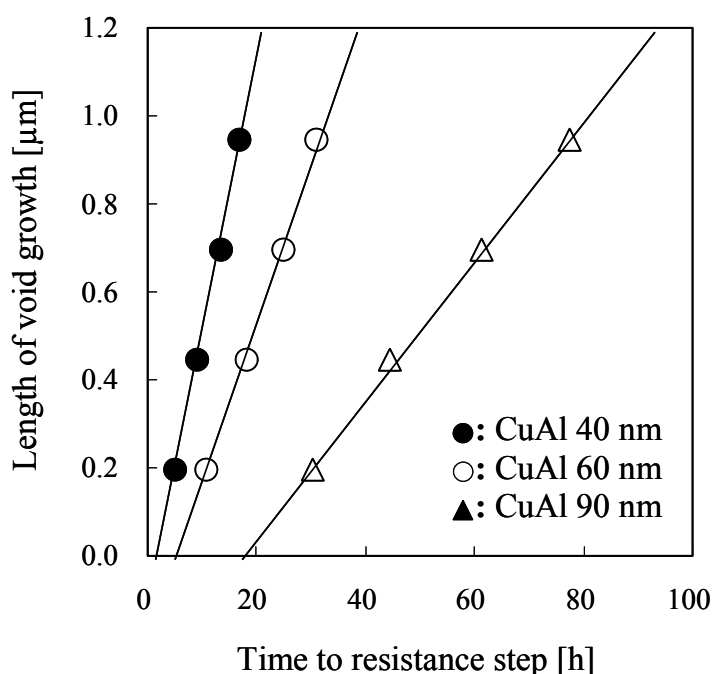


図 7-17 シード CuAl 厚によるエレクトロマイグレーション誘起のボイド成長比較。

エレクトロマイグレーション誘起の質量移動は、以下に示す Blech のモデル [41]にてよく説明されることが知られている。

$$v_d = \frac{D_{\text{eff}}}{kT} \left(Z_{\text{eff}}^* e \rho j - \Omega \frac{\Delta \sigma}{\Delta x} \right), \quad (7-12)$$

ここで、 v_d はドリフト速度、 D_{eff} は実効拡散係数、 k はボルツマン定数、 T は絶対温度、 Z_{eff}^* は有効電荷数、 e は電子素量、 ρ は抵抗率、 j は電流密度、 Ω はMetalの原子体積、 $(\Delta\sigma/\Delta x)$ は配線長に沿ったエレクトロマイグレーション誘起の応力勾配である。式(7-12)の左辺は、質量移動の拡散項と駆動力の積によって示されている。

まず、添加されたAlが駆動力に対して与える影響を調査した。図7-18にシードCuAl膜厚毎のドリフト速度の電流密度依存性を示す。シードCuAlが厚いほど、ドリフト速度が低下する。ただし、ボイド成長のしきい電流密度図7-18には変化がない。このときのエレクトロマイグレーションのしきい電流密度と配線長の積、いわゆるCritical productは1500A/cmである。このしきい条件においてはドリフト速度が0、すなわち式(7-12)において左辺が0となる。

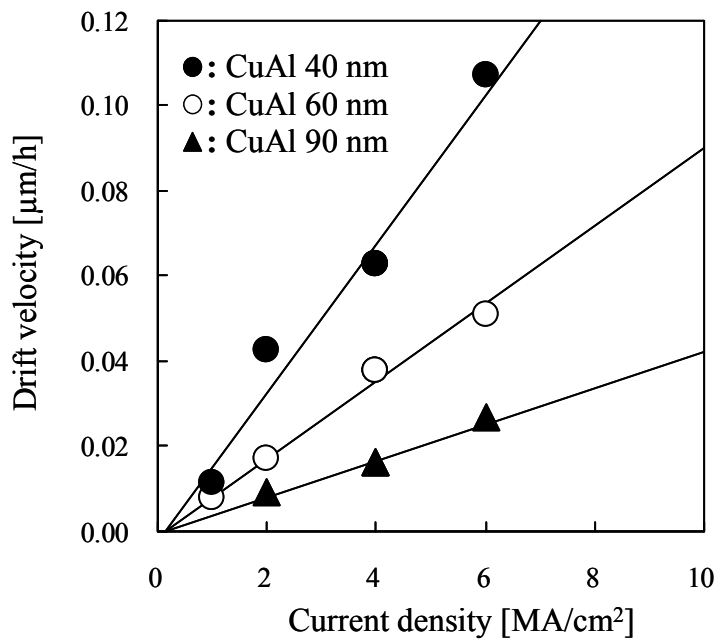


図 7-18 シード CuAl 膜厚毎のドリフト速度の電流密度依存性.

このしきい条件は拡散項に依存せず、駆動力のみによって決まる。観測された結果より、Alの添加量が駆動力には影響を及ぼさないことが示唆される。

つぎに、拡散項の変化の詳細を議論する。はじめに拡散の活性化エネルギーを確認した。式(7-12)に示される Blech のモデルは、以下のように式変形される。

$$\frac{v_d T}{j - j_c} = \frac{Z_{\text{eff}}^* e \rho}{k} D_{\text{eff}}^0 \exp\left(-\frac{\phi_{\text{eff}}}{kT}\right), \quad (7-13)$$

ここで、 D_{eff}^0 は実効拡散係数の前指数項、 ϕ_{eff} は拡散の実効的な活性化エネルギーである。

図 7-19 に式(7-13)によって規格化されたドリフト速度の温度依存性を示す。図より、添加される Al の濃度が高いほど、ドリフト速度が小さく、さらに活性化エネルギーが大きくなることが伺える。当てはめ線の傾きより求められる活性化エネルギーは、純 Cu の 1.1eV に対して、CuAl 40nm では 1.2eV、CuAl 60nm で 1.4eV、CuAl 90nm で 1.5eV となる。以上より、添加された Al は Cu 移動の拡散項に作用していると考えられる。すなわち、ボイド成長のメカニズムそのものが、Al 添加により変化しているものとする。

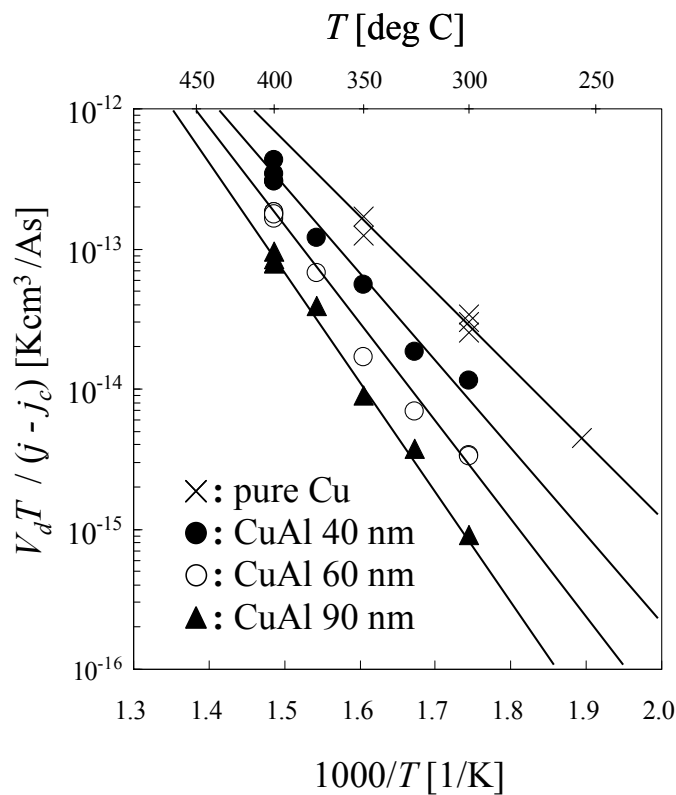


図 7-19 規格化されたドリフト速度の温度依存性。

拡散経路の検証のために、ドリフト速度の寸法依存性を評価した。結果を図 7-20 に示す。前節における残留抵抗率の評価より、CuAl 配線では Al 濃度の増加に従って電子の表面散乱と不純物散乱が増加することがわかった。そこで、観測したドリフト速度と NRR の相関を示したものが図 7-20 である。配線幅が 120~200nm の範囲で、NRR とドリフト速度は高い相関を持ち、NRR が大きいほど、すなわち Al 添加量が高いほどドリフト速度が小さくなる。さらにそれらは配線幅に依存していない。

前章までに示したように、配線幅依存性を持たない拡散は、Cu のバルク拡散と Cu/キャップ絶縁膜界面拡散であった。バルク拡散は無視しうる大きさであるため、図の NRR 依存性は Cu/キャップ絶縁膜界面拡散の変化を示しているものと考えられる。

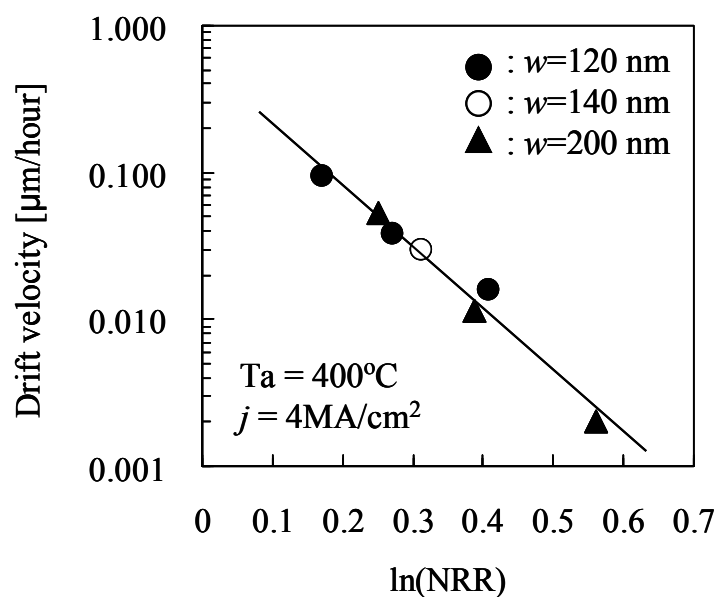


図 7-20 ドリフト速度の配線幅依存性.

第 4 章において、pure Cu 配線を用いて、配線幅が狭いほどエレクトロマイグレーションによるドリフト速度が大きくなることを示した。90nm ノードで一般的に用いられているキャップ絶縁膜 SiCN の成膜においては、エレクトロマイグレーション耐性の向上や、密着性向上のための界面処理が行われている。この

処理は、本章で検討した技術のうち、PSAB 配線に近いものである。積極的な Cu silicidation の形成や、未反応の Si の除去は最適化されていないが、SiCN の成膜フローやプラズマ処理は同様なものが使用されている。そのため、PSAB と同様なエレクトロマイグレーション抑制効果と、不純物添加による抵抗率変化が発生するものと考えられる。観測されたエレクトロマイグレーションの配線幅依存性は、表面処理効果の配線幅依存性を示していたものと考えられる。

7.4.3.3. エレクトロマイグレーションによる Al 移動

添加される Al は ECP 前のシード層に添加されているため、直接 Cu/キャップ絶縁膜界面に施されているプロセス処理ではない。そこで、Al が配線内部にどのように分布し、さらに Cu/キャップ絶縁膜界面の拡散にいかに関与するかを、STEM-EDX 分析手法を用いて検証する。

添加された Al が、配線中でどのような挙動を示すか、STEM-EDX 分析を行って調査した。STEM は日立製の HD-2000 を、EDX はサーモエレクトロン社製 NORAN System SIX (図 7-22、図 7-23) と EDAX 社の GENESIS 4000 (図 7-24) を用いた。

図 7-21 に STEM-EDX 分析の分析箇所と方法について示した。図 7-14 の Test structure を用いてエレクトロマイグレーション試験を行い、長さ L4 程度のボイドが成長した後に、分析を行った。試料は同一サンプルの、印極端ボイド近傍 (Cathode end)、配線中央 (Center)、陽極端の 3 点から、配線断面方向に加工して作成した。試料厚をなるべく均等にするため、加工には FIB の自動加工機能を用い、150nm 程度の厚さまで加工した。

まず、配線長方向の Al 分布を調査するため、4 つの拡散パス (配線上部 Cu/SiCN 界面、配線中の結晶粒界、配線底部 Ta/Cu 界面付近、Cu Bulk) に関する STEM-EDX 点分析を実施した。図 7-22 に 350°C、6MA/cm² にて 660 時間ストレス印加した後のサンプルの分析結果を示す。得られた EDX スペクトルより Al/Cu カウント比を用いて試料間の比較を行った。Al/Cu カウント比は、印極端のボイド付近で有意な増加を示している。

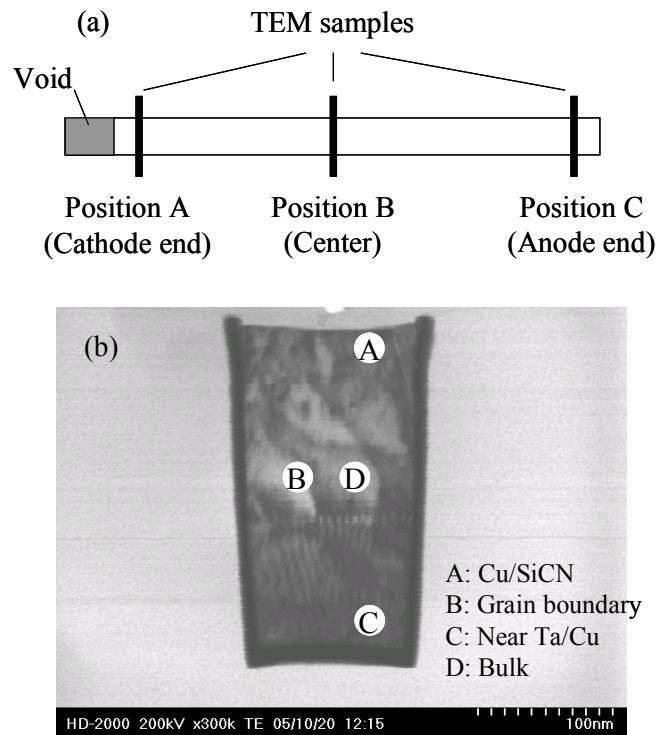


図 7-21 STEM-EDX による Al 分布分析におけるサンプル加工の概念図。(a)FIB による加工部位、(b)STEM による加工サンプルの観察例と、EDX 分析点部位の例。

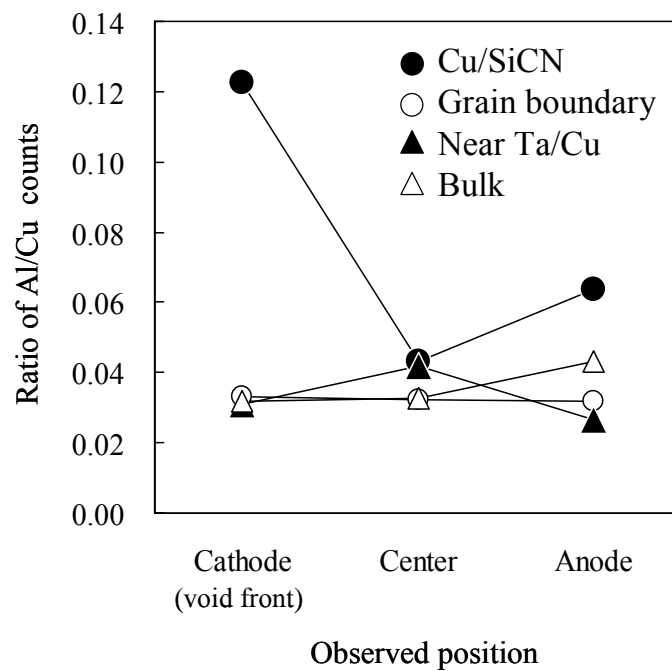


図 7-22 STEM-EDX による Al/Cu カウント比。

つぎに、断面内 Al 分布を調査するために、STEM-EDX 面分析を実施した。ドリフト補正機能を用いて、積算時間 3 時間での分析を行った。図 7-23 に陰極端ボイド近傍の Al マッピング例をしめす。図は Al と Ta のピーク分離処理後の像である。図より、Cu/SiCN 界面に Al の偏析が生じていることがうかがえる。陽極端の分析結果には、Al の偏析は観測されなかった。

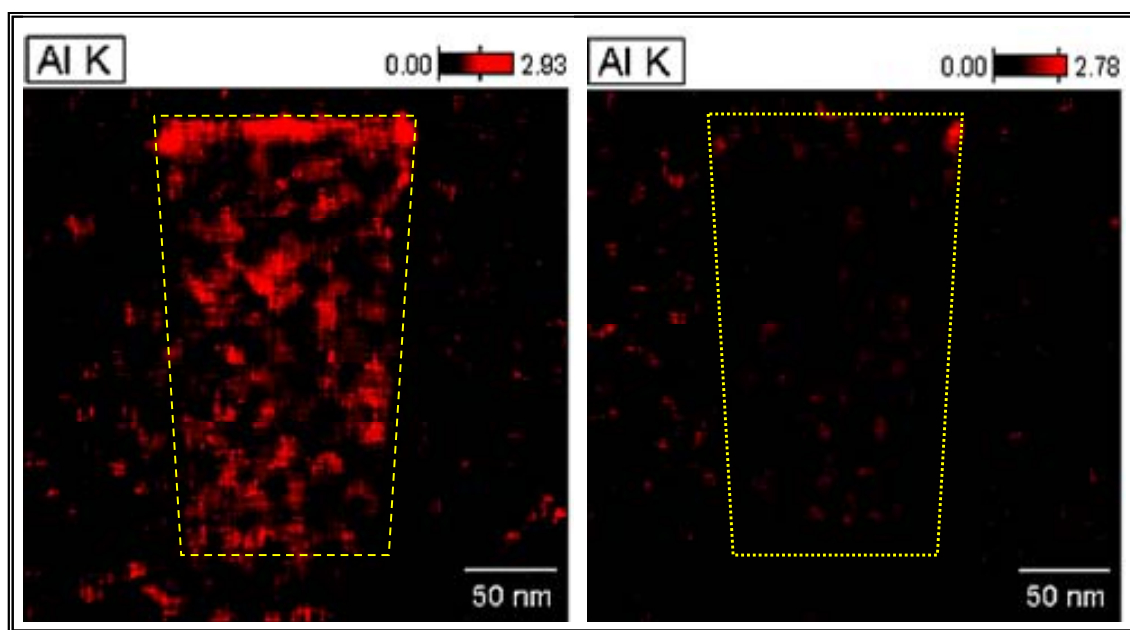


図 7-23 STEM-EDX による Al マッピング結果. 印極端ボイド近傍の観察例. (左) カソード端、(右) アノード端.

そこで、陰極端ボイド近傍の Cu/SiCN 界面における Al 偏析の時間変化を調査するため、それぞれ異なる時間ストレス印加した 4 つのサンプルについて、図 7-22 と同様の点分析を実施した。結果を図 7-24 に示す。図 7-24 (a)に、Cu と Al それぞれのピークカウント、図 7-24 (b)に Cu/Al カウント比を示した。図 7-24 (a)は、Cu カウントが時間に対して単調な変化を示していないのに対して、Cu/SiCN 界面のみ Al の単調増加を示している。したがって、Cu/Al カウント比により Cu/SiCN 界面での Al 偏析が時間に対して増加することが示される。つまり、Cu/Al カウント比増加は、Cu 量の相対減によるものではなく、Al 偏析の増加によるものである。

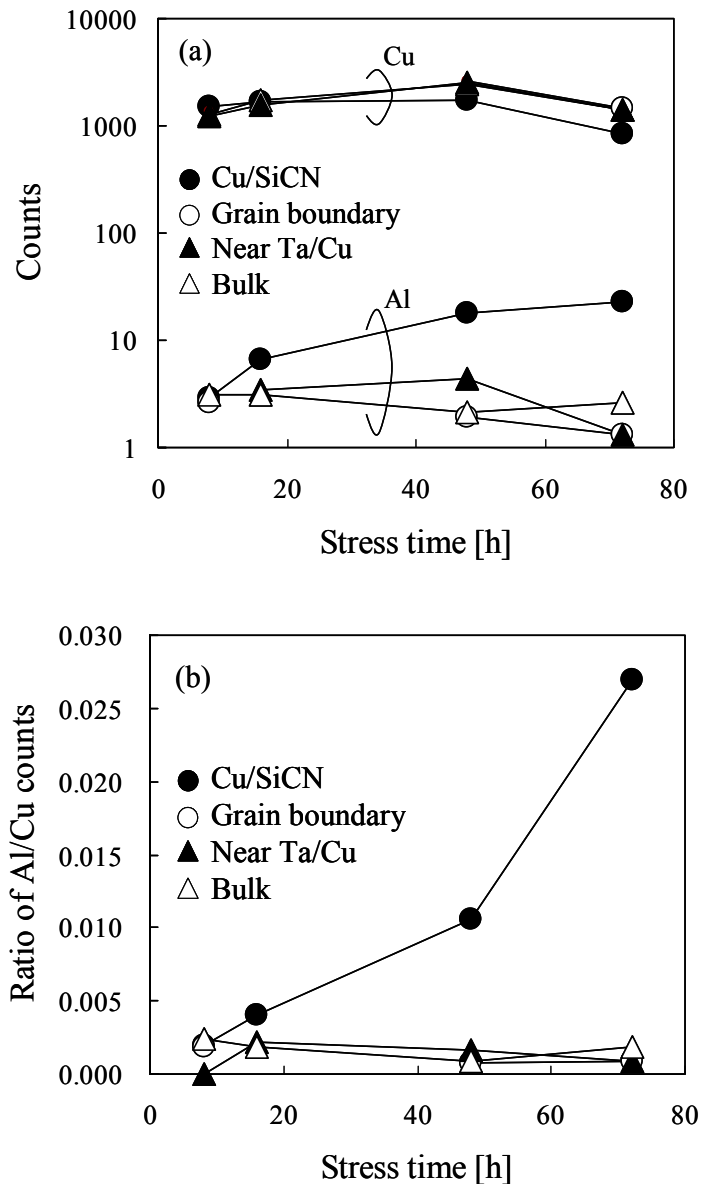


図 7-24 STEM-EDX における陰極端ボイド近傍の Cu および Al カウントの時間依存性.

以上の結果とドリフト速度の挙動より、添加された Al は Cu/SiCN 界面における Cu の移動を抑制する役割を有すると考えられる。ストレス印加後、一旦ボイドが発生すると、その表面は自由表面となり Cu と Al の最も早い拡散パスとなる。非常に速い表面拡散により、Cu、Al はボイド成長の律速過程となる拡散パスである Cu/SiCN 界面へ移動する。図 7-24 から推測されるように Al もしくは CuAl は Cu よりも移動が遅く、ボイド成長と共にカソード端の Cu/SiCN 界面に

偏析する。この偏析した Al により、界面における空孔、Cu の移動が抑制されているものと思われる。

7.4.4. まとめ

ダマシン Cu 配線における Al 添加の効果を、実効的な Incubation time (ボイド成長の潜伏期間) とドリフト速度を分離して検討し、Al 添加量を変えて調査した。Al 添加により Incubation time 増加とドリフト速度低下の両者が生じる。Blech の原子輸送式に基づく検討より、Al は駆動力ではなく拡散係数に影響することがわかった。STEM-EDX 分析の結果、ボイド成長にともなって Al が印極端の Cu/SiCN 界面に偏析することが観測された。すなわち、添加された Al は Cu/SiCN 界面における空孔および Cu の拡散を抑制する効果をもつものと考えられる。

7.5. 結言

本章では、微細化によって顕在化してきた Cu 配線の問題点を解決すべく実用化が検討されているプロセス技術について、信頼性改善に対する効果を中心に概観した。

微細な Cu 配線は、寸法の縮小に伴う抵抗率の増大の問題と信頼性の問題の両者に直面しており、新たな技術の検討に際しては抵抗率-信頼性のトレードオフ特性を考慮した評価が必要である。プロセス世代が進むほど、不純物添加により信頼性を改善する PSAB と Cu 合金については、低い抵抗率と高い信頼性を同時に達成することが難しくなる。一方メタルキャップは、高い信頼性のみでなく、高い信頼性改善効率を示した。ただし、今後の実用化においては、Low- k 絶縁膜の TDDDB 耐性やプロセス量産性の確保の課題が残っている。

さまざまな問題が顕在化している 32nm ノード世代の配線技術は、いずれの技術が実用化され、普及するものか、現時点では明確になっていない。その方向性を決める大きな要素は信頼性であり、今後の技術開発における故障物理の把握と、それに基づく改善の研究の重要性は何よりも高い。

第7章の参考文献

- [1] ITRS roadmap 2006 update (2006).
- [2] C.-K. Hu, D. Canaperi, S. T. Chen, L.M. Gignac, B. Herbst, S. Kaldor, M. Krishnan, E. Liniger, D. L. Rath, D. Restaino, R. Rosenberg, J. Rubino, S.-C. Seo, A. Simon, S. Smith, W.-T. Tseng; “Effects of Overlayeres on Electromigration Reliability Improvement for Cu/Low K Interconnects”, Proc. of IEEE International Reliability Physics Symposium, pp.222-229 (2004).
- [3] S. Yokogawa and H. Tsuchiya; “Scaling Impacts on Electromigration in Narrow Single-Damascene Cu Interconnects”, *Japanese Journal of Applied Physics*, Vol.44, No.4A, pp.1717-1721 (2005).
- [4] C.-K. Hu, L. M. Gignac, R. Rosenberg, B. Herbst, S. Smith, J. Rubino, D. Canaperi, S. T. Chen, S. C. Seo, and D. Restaino; “Atom Motion of Cu and Co in Cu Damascene Lines with a CoWP Cap”, *Applied Physics Letters*, Vol.84, No.24, pp.4986-4988 (2004).
- [5] T. Ishigami, T. Kurokawa, Y. Kakuhara, B. Withers, J. Jacobs, A. Kolics, I. Ivanov, M. Sekine, and K. Ueno; “High Reliability Cu Interconnection Utilizing a Low Contamination CoWP Capping Layer”, Proc. of IEEE International Interconnect Technology Conference, pp.75-77 (2004).
- [6] N. Kawahara, M. Tagami, B. Withers, Y. Kakuhara, H. Imura, K. Ohto, T. Taiji, K. Arita, T. Kurokawa, M. Nagase, T. Maruyama, N. Oda, Y. Hayashi, J. Jacobs, M. Sakurai, M. Sekine, and K. Ueno; “A Novel CoWP Cap Integration for Porous Low-k/Cu Interconnects with NH₃ Plasma Treatment and Low-k Top (LKT) Dielectric structure”, Proc. of IEEE International Interconnect Technology Conference, pp.152-154 (2006).
- [7] Y. Kakuhara, et al.; “Key mechanisms for improved EM lifetime of CoWP capped Cu interconnects”, Proc. of JSAP International Conference on Solid State Devices

and Materials pp.144-145 (2006).

- [8] T. Ishigami, T. Ishibashi, X. Wang, H. Ono, A. Owatari, S. Kondo, and N. Kobayashi; “Electroless CoWP Capping for Cu/low-k Integration”, Proc. of Advanced Metallization Conference, pp.29-30 (2006).
- [9] T. Takewaki, T. Ohmi, and T. Nitta; “A Novel Self-Aligned Surface-Silicide Passivation Technology for Reliability Enhancement in Copper Interconnects”, in 1995 Symposium on VLSI Technology Digest of Technical Papers, pp.31-32 (1995).
- [10] S. Yokogawa, N. Okada, Y. Kakuhara and H. Takizawa; “Electromigration Performance of Multi-level Damascene Copper Interconnects”, *Microelectronics Reliability*, Vol.41, pp.1409-1416 (2001).
- [11] W. Qin, Z. Q. Mo, L. J. Tang, B. Yu, S. R. Wang, and J. Xie; “Effect of Ammonia Plasma Pretreatment on Silicon–nitride Barriers for Cu Metallization Systems”, *J. Vac. Sci. Technol. B*, Vol.19, pp.1942-1947 (2001).
- [12] S. Chhun, L.G. Gosset, N. Casanova, J.F. Guillaumond, P. Dumont-Girard, X. Federspiel, R. Pantel, V. Arnal, L. Arnaud, J. Torres; “Influence of SiH₄ Process Step on Physical and Electrical Properties of Advanced Copper Interconnects”, *Microelectronics Engineering*, Vol. 76, pp.106-112 (2004).
- [13] T. Usami, T. Ide, Y. Kakuhara, Y. Ajima, K. Ueno, T. Maruyama, Y. Yu, E. Apen, K. Chattopadhyay, B. van Schravendijk, N. Oda, and M. Sekine; “Highly Reliable Interface of Self-Aligned CuSiN Process with Low-k SiC Barrier Dielectric (k=3.5) for 65 nm-node and beyond”, Proc. of IEEE International Interconnect Technology Conference, pp.125-127 (2006).
- [14] L.G. Gosset, S. Chhun¹, J. Guillan, R. Gras, J. Flake, R. Daamen, J. Michelon, P.-H. Haumesser, S. Olivier, T. Decorps, and J. Torres; “Self Aligned Barrier Approach: Overview on Process, Module Integration and Interconnect Performance Improvement Challenges”, Proc. of IEEE International Interconnect Technology Conference, pp.84-86 (2006).

- [15] K. Lee, C. Hu, and K. Tu; "In situ scanning electron microscope comparison studies on electromigration of Cu and Cu(Sn) alloys for advanced chip interconnects", *Journal of Applied Physics*, Vol. 78, p. 4428 (1995).
- [16] T. Takewaki, R. Kaihara, T. Ohmi, and T. Nitta; "Excellent Electro/Stress-Migration-Resistance Surface-Silicide Passivated Giant-Grain Cu-Mg Alloy Interconnect Technology for Giga Scale Integration (GSI)", Proc. of IEEE International Electron Device Meeting, pp.253-256 (1995).
- [17] N. Michael and C.-U. Kim; "Electromigration in Cu thin films with Sn and Al cross strips", *Journal of Applied Physics*, Vol. 90, p. 4370 (2001).
- [18] C.P. Wang, S. Lopatin, A. Marathe, M. Buynoski, R. Huang, and D. Erb; "Binary Cu-alloy layers for Cu-interconnections reliability improvement", Proc. of IEEE International Interconnect Technology Conference, pp.86-88 (2001).
- [19] T. Tonegawa, M. Hiroi, K. Motoyama, K. Fujii, and H. Miyamoto; "Suppression of Bimodal Stress-Induced Voiding using High-diffusive Dopant from Cu-alloy Seed Layer", in Proceedings of 2003 International Interconnect Technology Conference, pp. 216-218 (2003).
- [20] Y. Matsubara, M. Komuro, T. Onodera, N. Ikarashi, Y. Hayashi, and M. Sekine; "Thermally robust 90nm node Cu-Al wiring technology using solid phase reaction between Cu and Al", in 2003 Symposium on VLSI Technology Digest of Technical Papers, pp.127-128 (2003).
- [21] A. Isobayashi, Y. Enomoto, H. Yamada, S. Takahashi, and S. Kadomura; "Thermally Robust Cu Interconnects with Cu-Ag Alloy for sub 45nm Node", Proc. of IEEE International Electron Device Meeting, pp.953-956 (2004).
- [22] J. Koike and M. Wada; "Self-forming diffusion barrier layer in Cu-Mn alloy metallization", *Applied Physics Letters*, Vol. 87, pp.041911-041913 (2005).
- [23] M. Tada, M. Abe, H. Ohtake, N. Furutake, T. Tonegawa, K. Motoyama, M. Tohara, F. Ito, M. Ueki, T. Takeuchi, S. Saito, K. Fujii, M. Sekine, and Y. Hayashi; "A Metallurgical Prescription for Electromigration (EM) Reliability Improvement in

- Scaled-down, Cu Dual Damascene Interconnects”, Proc. of IEEE International Interconnect Technology Conference, pp.89-91 (2006).
- [24] K. Mori, K. Maekawa, N. Amou, D. Kodama, H. Miyazaki, N. Suzumura, K. Honda, Y. Hirose, K. Asai, and M. Yoneda; “Reliability Improvement and its Mechanism for Cu Interconnects with Cu-Al Alloy Seeds”, Proc. of Advanced Metallization Conference, pp.77-78 (2006).
- [25] T. Usui, H. Nasu, S. Takahashi, N. Shimizu, T. Nishikawa, M. Yoshimaru, H. Shibata, M. Wada, and J. Koike; “Highly Reliable Copper Dual-Damascene Interconnects With Self-Formed MnSixOy Barrier Layer”, *IEEE Transactions on Electron Devices*, Vol.53, pp.2492-2499 (2006).
- [26] S. Yokogawa and H. Tsuchiya; “Effects of Al Doping on the Electromigration Performance of Damascene Cu Interconnects”, *Journal of Applied Physics*, Vol.101, pp. 013513-1-6 (2007).
- [27] S. Yokogawa, Y. Kakuhara, H. Tsuchiya, and K. Kikuta; “Analytical Study of Impurity Doping Effects on Electromigration of Cu Interconnects by Employing Comprehensive Scattering Model”, Proc. of IEEE International Reliability Physics Symposium, pp. 117-121 (2007).
- [28] 王、高木、尾渡; “無電解キャップめっきプロセス（無電解めっきによるCu配線上へのCo合金薄膜の形成技術）”, エバラ時報, No.207, pp.10-14 (2005).
- [29] C. Kittel; *Introduction to Solid State Physics*, 7/TH Edition, John Wiley & Sons, Inc., New-York NY, 1996.
- [30] F.J. Blatt; *Physics of Electric Conduction in Solids*, McGraw-Hill, New York (1975).
- [31] K.H. Hellwege and A.M. Hellwege; *Landolt-Bornstein II/6/I*, Springer-Verlog, Berlin (1959).
- [32] K. Schroder; *Handbook of Electrical Resistivity of Binary Metallic Alloys*, Chemical Rubber Corp., Boca Raton, FL (1983).
- [33] S. Yokogawa; “Electromigration-Induced Void Growth Kinetics in SiNx passivated

- Single-Damascene Cu Lines”, *Japanese Journal of Applied Physics*, Vol.43, pp.5990-5996 (2004).
- [34] K. Hinode, Y. Hanaoka, K. Takeda, and S. Kondo; “Resistivity Increase in Ultrafine-Line Copper Conductor for ULSIs”, *Japanese Journal of Applied Physics*, Vol.40, pp.L1097–L1099 (2001).
- [35] W. Wu, S. H. Brongersma, M. Van Hove, and K. Maex; “Influence of Surface and Grain-boundary Scattering on the Resistivity of Copper in Reduced Dimensions”, *Applied Physics Letters*, Vol.84, pp.2838–2840 (2004).
- [36] W. Steinhogl, G. Schindler, G. Steinlesberger, M. Traving, and M. Engelhardt; “Comprehensive Study of the Resistivity of Copper Wires with Lateral Dimensions of 100 nm and Smaller”, *Journal of Applied Physics*, Vol.97, pp.023706-1-7 (2005).
- [37] W. Zhang, S.H. Brongersma, Z. Li, D. Li, O. Richard, and K. Maex; “Analysis of the Size Effect in Electroplated Fine Copper Wires and a Realistic Assessment to Model Copper Resistivity”, *Journal of Applied Physics*, Vol.101, pp.063703-1-11 (2007).
- [38] J.F. Guillaumond, L. Arnaud, T. Mourier, M. Fayolle, O. Pesci, G. Reibold; “Analysis of resistivity in nano-interconnect: Full range (4.2-300K) temperature characterization”, Proc. of 2003 International Interconnect Technology Conference, pp.132-134 (2003).
- [39] K. Fuchs; “Conduction Electrons in Thin Metallic Films”, in Proc. Cambridge Philos. Soc., Vol.34, p.100 (1938).
- [40] A.F. Mayadas and M. Shatzkes; “Electrical-Resistivity Model for Polycrystalline Films: The Case of Arbitrary Reflection at External Surfaces”, *Physical Review B*, Vol.1, p.1382 (1970).
- [41] I.A. Blech; “Electromigration in thin aluminum films on titanium nitride”, *Journal of Applied Physics*, Vol.47, No.4, pp.1203-1208 (1976).
- [42] H. Kawasaki and C.-K. Hu; “An electromigration failure model of tungsten plug

contacts/vias for realistic lifetime prediction”, 1996 Symposium on VLSI Technology Digest of Technical Papers, pp. 192-193 (1996).

[43]I. Berenbaum and R. Rosenberg; “Electromigration Damage in Al-Cu Thin Films”, Proc. of 1971 International Reliability Physics Symposium, p. 136 (1971).

[44]C.-K. Hu, M. Small, and P. Ho; “Electromigration in Al (Cu) two-level structures: effect of Cu and kinetics of damage formation”, *Journal of Applied Physics*, Vol.74, pp.969-978 (1993).

第8章 結言

8.1. はじめに

システム LSI の性能、微細化を決定する要素として、配線が果たす役割は一層大きくなる傾向にある。

これまでに述べてきた、電流密度の増大、エレクトロマイグレーションの劣化、電子散乱効果などが顕在化することにより、微細化に伴う性能の劣化が加速度的に進行することが一因にある。

配線層間容量の低減を目的として導入された Low- k 絶縁膜について、誘電率をさらに低下させる試みや、配線層間を完全に空隙化する、いわゆる Air gap 配線[1]の採用が検討されている。これらの技術は、一方で配線の機械的強度や熱伝導を劣化させてしまうものである。エレクトロマイグレーションに関しては、層間膜からの応力低下によって エレクトロマイグレーション発生のおしきい電流密度と配線長の積、いわゆる **Critical product** が低下する。また、ジュールヒーティングの加速により副次的に寿命が劣化するなどの不具合が生じることが予想される[2][3]。

このような背景の中、1990 年代の終わりに新しい技術として世に迎えられたダマシン Cu 配線も、量産開始の発表から 10 年を経て、その高信頼性（第 2 章）は盤石とは言えなくなってきた。微細化に伴う信頼性の低下（第 4 章）に対して、新たな改善策（第 7 章）を導入する必要性は高い。特に、回路規模が指数関数的に増加する傾向に対して、非常に低い累積故障確率の領域まで信頼性を確保することが重要となる（第 6 章）。

本章では、これまでに明らかにしてきたエレクトロマイグレーション特性から、今後のシステム LSI のプロセス開発、設計技術、信頼性保証における方向性と指針、そして課題について述べる。

8.2. エレクトロマイグレーション改善プロセス開発

第7章で示したように、配線性能の視点から、エレクトロマイグレーションの改善を効率高く行うには、CoWP メタルキャップのように、Cu/キャップ絶縁膜界面そのものを、Cu 移動度が低く、かつ不純物添加を伴わない新たな界面に置換することが必要となる。

これは、本論文で示したダマシン Cu 配線のエレクトロマイグレーション特性から鑑みて、妥当性が高いと考えられる。

第一に、ボイド発生の起点であった Cu/キャップ絶縁膜界面と結晶粒界の三重点が、より堅固な界面と粒界の三重点に置換されることで、Incubation time が大きく改善されると考えられる。

また、第7章で示したように CoWP によって粒界散乱のわずかな増加がみられた。これが Co の粒界への拡散によるものであるならば、同時に粒界における原子空孔が Co に置換されることで、粒界の機械的強度が改善されている可能性もある。CoWP などのメタルキャップ配線について、Incubation time、および Critical product の挙動に関する報告はまだなされていない。上記の点を考慮した検討が、今後の課題のひとつである。

第二に、Cu 移動の支配的拡散経路であった Cu/キャップ絶縁膜界面がより堅固な界面に置換されることで、ドリフト速度が大きく低下すると考えられる。

寿命に関する評価から報告されている 2.4eV という活性化エネルギー[4]は、Cu 移動の拡散経路が大きく変わったと考えるのが自然である。Hu らは、その活性化エネルギーが Cu の Bulk 拡散の活性化エネルギー (2.04eV[5]) に近いことから、界面以外でのボイドの発生より、界面の拡散がほぼ完全に抑制されたと推測している。

32nm ノードプロセス以降での実用化を視野におくならば、メタルキャップ技術のエレクトロマイグレーション改善効果の寸法依存性や、Cu 移動のメカニズムの明確化が必要不可欠である。特に、微細配線においては狭い溝中において Cu を結晶成長させるため、結晶粒界密度が高くなる。この密度の高くなった粒

界が Cu 移動に寄与し始めることが報告され始めており[6]、メタルキャップ技術との組み合わせによる抵抗率、耐エレクトロマイグレーション性の確認が重要な課題である。

本論文にて提案、実証した測定手法、モデルを応用することにより、上記の故障物理特性を明確にすることが可能であろう。次世代ノードの高信頼性プロセス開発の実現には、それら故障物理特性の把握と対策が占める役割が非常に大きいものと考えられる。

8.3. エレクトロマイグレーション設計技術

微細化に伴うエレクトロマイグレーション耐性劣化は、これまでに述べてきた複数の要因に伴って、加速度的に進むことが予測される。これらを全てプロセス技術による対策のみで対処、解決することも、非常に難易度が高くなっている。

ほぼ3年で一世代というテクノロジーノードの開発を達成するには設計技術上の方策も必要となろう。本論文で示した故障物理特性の中には、配線設計に応用することが可能な3つの特性が挙げられた。

第一に、エレクトロマイグレーション発生のしきい電流密度と配線長の積、いわゆる **Critical product** 以内の条件にある配線を設計において考慮することである。注目する配線に対して、配線長と電流密度の積が **Critical product** 以下の場合には、エレクトロマイグレーションによるボイドの成長は発生しないと考えられる。この特性を利用すれば、他の故障メカニズムが無視しうる限り、注目する配線の寿命は無量大となる。

本論文では、さまざまなレイアウト、ストレス条件において **Critical product** を調査した。表 8-1 にその結果を示す。テクノロジーノード間で差があるものの、レイアウトやストレス条件、配線材料に対して、**Critical product** には高い頑健性があることが分かる。

表 8-1 Critical product 調査結果一覧.

テクノロジーノード	調査項目	条件	結果	Critical product
130nm	温度依存性	255-350°C	依存なし (図 3-10)	5900 A/cm
	配線長依存性	50-200 μm	依存なし (図 3-11)	↑
	電流波形依存性	PDC、PAC	依存なし (図 5-3)	↑
90nm	配線幅依存性	0.12-0.20 μm	依存なし (図 4-7)	3900 A/cm
	合金濃度依存性	seed CuAl 40-90nm	依存なし (図 7-17)	1500 A/cm

対象となる配線の Critical product が決定されれば、レイアウトされた配線がエレクトロマイグレーション故障の対象となるか否かは、配線長と電流密度のみから判断できる。

LSI の配線長分布に関する研究結果では、配線長の分布は数 μm の短いものが多く、長くなるにつれてその数は減少する[7]。短い配線の群は配線の負荷容量も低く、電流密度が低くなる傾向にある。そのため、かなりの割合の配線は Critical product 内の条件で稼働するため、エレクトロマイグレーション故障の対象外となる。Critical product 内の配線を詳細検証の対象外とすることにより、検証時間の短縮を実現することが出来る。これは、回路規模が指数関数的に増大している現在のシステム LSI において、非常に大きなメリットとなる。また、この方式を設計検証ツールなどに応用する試みは、既にいくつか報告されるようになった。本研究ではレイアウトや電流波形などのさまざまな条件に対してこの方式の物理的な妥当性を示した。

配線設計に適用できる第二の特性は、パルス電流効果を考慮した寿命見積もりの応用である。第 5 章では、ダマシン Cu 配線のパルス電流効果によるエレクトロマイグレーション特性を示した。その中で、数 μsec の時定数による緩和現象が存在することを示した。言い換えると、数 MHz 以上の駆動配線では、比較的長い予測寿命を与えることが可能となる。

ただし、数十 GHz を越える超高周波数を駆動する配線では、表皮効果 (Skin effect) によって電子の電動経路が配線の表面付近のみになる。この場合の、配

線の抵抗率やエレクトロマイグレーション耐性への影響は、まだよく知られていない。

更に高速の信号伝達のためには、すでに光配線やカーボン・ナノ・チューブなどの新しい配線技術が議論され始めている。現在用いられているメタル配線に代わって、それらの技術を、どのテクノロジーノード、どの用途の LSI から採用し始めるかは、達成し得る特性、製造コスト、信頼性など、多角的な視点から判断されるであろう。そのため、今後の超高周波数信号における配線の信頼性挙動は、非常に重要度の高い研究課題である。

配線設計に適用できる第三の特性は、配線幅や複数個の Via に関するレイアウト依存性を用いることである。

Al 配線に関する先駆的な研究、Cu 配線に関する本論文での研究結果にて示されたように、Incubation time とボイド成長に要する時間は異なるストレス依存性を有する。これらを切り分けて実使用条件のボイド成長を予測することにより、正確な寿命予測を行うことが可能であることを第 3、4 章で述べた。

ボイドの成長方向に対して複数個の Via が配置されているレイアウトを一つの系とすれば、その寿命は Incubation time の後のボイド成長期に、より強く依存することになる。第 3、4 章の結果を用いれば、それらの正確な予測が可能となる。

また、配線幅に関する依存性は、第 4 章で示した。通常、最小寸法の配線でエレクトロマイグレーション寿命が要求値を満たすことが出来ないと考えられるとき、配線幅を広くして電流密度を下げる操作が行われる。電流密度という観点からは、電流密度を半分にするためには、配線幅を倍に広げる必要がある。ところが、実際にはエレクトロマイグレーション寿命は配線幅依存性を持つ場合があるので、レイアウト中に存在するさまざまな配線幅に対して最適な寿命予測を行うことが出来れば、無駄なチップサイズの増大を抑制することが出来る[8]。

以上のように、Black の経験式を中心とした従来型のエレクトロマイグレーション信頼性設計技術に対して、エレクトロマイグレーション物理特性を反映し

たモデル化と設計手法を追加することにより、より正確に LSI の信頼性を推定することが可能となる。これまでに確立されたダマシ Cu 配線技術を用いた、次世代のシステム LSI 実現のための大きな一助となるであろう。

8.4. エレクトロマイグレーション信頼性保証

65nm ノード以降のシステム LSI 開発においては、DFM の概念はサブ解像度のリソグラフィ技術を適用するためのレイアウト変更という狭義のものではなく、歩留・品質の迅速な改善のための、設計からデバイス製造までの全体の流れの収益性を最適化させる広義の方法論として認識されている。一般的には、歩留低下の原因となっているランダム欠陥に対して頑健性のあるレイアウトを採用することにより、歩留や品質の改善を図るものである。この定義の基では、IC の創世記から DFM 技術は局部的に用いられてきた。現在、広義の方法論として DFM が認められてきたのは、先端システム LSI の歩留向上をプロセス技術、生産技術のみで高めることに限界が生じていることを暗喩している。

プロセスのテクノロジーノードが進み、LSI の要素セグメントの寸法が小さくなると、セグメントの歩留を決定する欠陥の最小寸法も小さくなる。よりサイズの小さな欠陥でも、不具合に至るためである。寸法の小さな欠陥を完全除去することは非常に困難であり、コストも増大することから、DFM 技術によってこれを「回避する」ことが検討されているといえる。

ところが、歩留という視点で「回避」された欠陥も、信頼性の視点からは「回避」されたとは言えない場合がある。たとえば、電気的特性に対しては異常として検出されない程度の微小な欠陥が、寿命劣化の要因となることが報告されている[9]。テクノロジーノードの進展と共に、第 6 章で議論したボイドの発生位置と寿命の関係が、工程で作りこまれる不可避な欠陥とその寸法に強調されることによって、エレクトロマイグレーション寿命分布はより複雑な形で顕在化すると考えられる。

そこで、プロセス開発のフェイズにおいては、より低い累積故障確率の領域

で発生するエレクトロマイグレーション故障の寿命を試験し、その統計的、物理的特性を検討することが重要となる。既に我々は 90nm ノードの開発において、セグメント単位で 10ppm 程度のエレクトロマイグレーション故障について、その詳細を検討する方法を考案し、Down-stream モードの故障の物理的詳細について報告した[10]。今後は、プロセス技術の完成度を確認する方法論として検証例を増やすと共に、数億セグメントの直並列系として構成される LSI レベルの信頼度を実際の実験によって検証する方法を開発することが課題である。

8.5. 最後に

最後に、第 1 章で示した「図 1-1 故障物理メカニズムと LSI 寿命を結ぶモデル化フェイズ」に基づき、本論文の各章の関係を有機的に示す。

第一フェイズはマイクロな故障物理のモデル化である。まず、第 1 章（とくに 1.3）において、古典論としてのエレクトロマイグレーションの故障物理モデルについて整理した。また、続く第 2 章において Al 配線との金属学的、プロセス技術的な差異の視点から Cu 配線の利点を議論した。Cu 原子のエレクトロマイグレーション挙動は古典論で説明され、金属学的には Al 配線と比較して有利であるが、同時にプロセス技術の差異が大きく影響することを述べた。

第二フェイズとして、故障物理モデルと特性劣化の相関を、Blech の原子輸送モデルに基づいて検証した。第 3 章、第 4 章において、エレクトロマイグレーションに誘起されるボイドの発生、成長の視点から、Cu 移動の原子論的モデルである Blech のモデルによって、ダマシン Cu 配線のエレクトロマイグレーションがよく説明されることが示された。特に、エレクトロマイグレーション原子輸送の駆動力が電子風力とバックフロー効果の差分で示されること、配線形状やストレス条件に依存しないことなどを実証した。これらの特性からは、寿命とは異なる視点から信頼性を検証、保証することが出来る。

第三フェイズとしては、特性劣化の時間依存性を故障物理モデルとの相関に基づいて議論した。第 2 章で寿命とボイドの発生、成長の関連について考察し、

第3章において実験的に検証を行った。現在一般に用いられている Black の経験式では、「寿命」の観点からボイドの発生と成長が未分離のまま評価されている。これに対して、本論文ではボイドの発生と成長の2つの現象を、それぞれ分離して評価し、各現象のストレス依存性が異なることを示した。更に、第5章においてパルス電流を用いた実験を実施し、電流波形に対するボイドの発生、成長挙動に生じる影響を検討した。これら一連のモデルを応用することによって、実際にLSIが動作する電流波形での配線寿命を正確に求めることが可能となる。

第四フェイズは Test structure、すなわち故障が発生する単位であるセグメントの寿命分布に関するモデル化である。本論文では、その寿命分布が複数の故障モードの寿命に関する重畳分布であることを、物理解析と統計解析の両立を前提とした新しい Test structure を提案し、証明した。この方法を用いることによって、非常に低い累積故障確率の範囲までの故障モードを物理解析することも可能である[10]。大規模化が進むLSIにおいては、各々のセグメントに求められる信頼性の単位は ppm から ppb へと移行しつつある。特に初期故障による累積故障を議論するには、この範囲の信頼性を、統計的な外挿ではなく実験による内挿で検証することが望ましい。本論文の方法を更に進化させ、所望の信頼性を確認、改善する手法に発展することが重要であろう。

第五フェイズは Test structure、すなわちセグメントの寿命分布に基づいて、大規模システムとしてのLSI寿命をモデル化することである。局部的に冗長化され、経路毎に駆動状況や稼働率、レイアウトの異なる配線は、それぞれ故障率が異なる。また、10億を超えるセグメントの中には、Critical product の範囲内のために故障が起り得ないセグメントも高確率で存在する。以上のメリット、ならびに各フェイズの知見を現実の設計に適用するには、各設計階層において用いるCADツールへの組込が必須であろう。大規模化が進展するシステムLSIの設計を、要求される性能やチップサイズ、消費電力で達成するには、CADツールの占める役割はさらに大きくなっている。本研究の提案を、更に進化した設計技術の実現に寄与させることが大きな課題である。

このように、本論文で述べてきたそれぞれのエレクトロマイグレーション特

性は、各フェイズを跨いで有機的な関係にある。第 7 章で議論した新しいプロセス技術の開発時には、各フェイズにおける物理モデル、もしくは統計モデルを基盤に、いずれの特性が改善されるものかを認識、整理しながら開発を進めることによって、来るべき 32nm ノード、そして 22nm ノードの配線信頼性技術を確立することが可能であろう。

本論文の対象として取り上げたエレクトロマイグレーション現象以外にも、ゲート絶縁膜、CMOS トランジスタ、配線層間膜などの要素セグメントに着目すれば、微細化や高性能化に伴う信頼性の劣化を起こす故障物理は、数多く存在している。それらの全てを解決しなければ、次世代 LSI の高性能化を達成することは不可能である。本論文では、全く新しい技術であった Cu 配線の導入期から成長期、更に進化期のそれぞれにおいて、故障物理を基盤としてエレクトロマイグレーション特性を検証し、明らかにしてきた。これから実用化されようとしている要素技術に対しても、同様なアプローチによる各フェイズのモデル化と応用が有効な手段となると考えられる。

第8章の参考文献

- [1] L.G. Gosset, F. Gaillard, D. Bouchu, R. Gras, J. de Pontcharra, S. Orain, O. Cueto, Ph. Lyan, O. Louveau, G. Passemard, and J. Torres; “Multi-level Cu Interconnects Integration and Characterization with Air Gap as Ultra-Low K Material Formed using a Hybrid Sacrificial Oxide / Polymer Stack”, Proc. of 2007 International Interconnect Technology Conference, pp.58-60 (2007).
- [2] ITRS roadmap 2006 update (2006).
- [3] S. Im, N. Srivastava, K. Banerjee, K.E. Goodson; “Scaling Analysis of Multilevel Interconnect Temperatures for High-Performance ICs”, *IEEE Transactions on Electron Devices*, Vol.52, pp.2710-2719 (2005).
- [4] C.-K. Hu, L. M. Gignac, R. Rosenberg, B. Herbst, S. Smith, J. Rubino, D. Canaperi, S. T. Chen, S. C. Seo, and D. Restaino; “Atom Motion of Cu and Co in Cu Damascene Lines with a CoWP Cap”, *Applied Physics Letters*, Vol.84, No.24, pp.4986-4988 (2004).
- [5] C. Kittel, Introduction to Solid State Physics, 7/TH Edition, John Wiley & Sons, Inc., New-York NY, 1996.
- [6] C.-K. Hu, L. Gignac, B. Baker, E. Liniger, R. Yu, and P. Flaitz; “Impact of Cu Microstructure on Electromigration Reliability”, Proc. of 2007 International Interconnect Technology Conference, pp.93-95 (2007).
- [7] H. Nakashima, J. Inoue, K. Okada, and K. Masu; “Circuit Performance Prediction Considering Core Utilization with Interconnect Length Distribution Model”, *IEICE Trans. Fundamentals*, Vo.E88-A, pp.3358-3366 (2005).
- [8] 横川慎二, 特許公開2005-347365.
- [9] K.-D. Lee, Y.-J. Park, T. Kim, and W.R. Hunter; “Via Processing Effects on Electromigration in 65 nm Technology”, Proc. of Int. Rel. Phys. Symp., pp.103-106 (2006).

[10]H. Tsuchiya and S. Yokogawa; “Electromigration Lifetimes and Void Growth at low Cumulative Failure Probability”, *Microelectronics Reliability*, Vol.46, pp.1415-1420 (2006).

関連・参考論文の印刷公表の方法及び時期

I. 関連論文

- [1] 全著者名 : Shinji Yokogawa, Norio Okada, Yumi Kakuhara and Hideyuki Takizawa
論文題目 : Electromigration Performance of Multi-level Damascene Copper Interconnects
印刷公表の方法及び時期 : *Microelectronics Reliability*, Vol.41, pp.1409-1416, 2001年10月.
- [2] 全著者名 : 横川慎二
論文題目 : サドンデス TEG と OBIRCH を用いたダマシン Cu 配線のエレクトロマイグレーション評価
印刷公表の方法及び時期 : 信頼性 (日本信頼性学会誌) , Vol.25, No.8, pp.811-820, 2003年11月.
- [3] 全著者名 : Shinji Yokogawa
論文題目 : Electromigration-Induced Void Growth Kinetics in SiN_x passivated Single-Damascene Cu Lines
印刷公表の方法及び時期 : *Japanese Journal of Applied Physics*, Vol.43, No.9A, pp.5990-5996, 2004年9月.
- [4] 全著者名 : 横川慎二
論文題目 : シングルダマシン Cu 配線におけるパルス電流下のエレクトロマイグレーション挙動
印刷公表の方法及び時期 : 電子情報通信学会誌, Vol.J88-C, No.4, pp.253-260, 2005年4月.
- [5] 全著者名 : Shinji Yokogawa and Hideaki Tsuchiya
論文題目 : Scaling Impacts on Electromigration in Narrow Single-Damascene Cu Interconnects
印刷公表の方法及び時期 : *Japanese Journal of Applied Physics*, Vol.44, No.4A, pp.1717-1721, 2005年8月.

- [6] 全著者名 : Shinji Yokogawa and Hideaki Tsuchiya
論文題目 : Effects of Al doping on the electromigration performance of damascene Cu interconnects
印刷公表の方法及び時期 : *Journal of Applied Physics*, Vol.101, pp.013513-1-6, 2007年1月.
- [7] 全著者名 : Shinji Yokogawa, Kuniko Kikuta, Hideaki Tsuchiya, Toshiyuki Takewaki, Mieko Suzuki, Hironori Toyoshima, Yumi Kakuhara, Naoyoshi Kawahara, Tatsuya Usami, Koichi Ohto, Kunihiko Fujii, Yasuaki Tsuchiya, Koji Arita, Koichi Motoyama, Makoto Tohara, Toshiji Taiji, Tetsuya Kurokawa, and Makoto Sekine
論文題目 : Trade-Off Characteristics Between Resistivity and Reliability for Scaled-Down Cu-Based Interconnects
印刷公表の方法及び時期 : *IEEE Transactions on Electron Devices*, Vol.55, pp.350-357, 2008年1月.
- [8] 全著者名 : Shinji Yokogawa, Yumi Kakuhara, Hideaki Tsuchiya, and Kuniko Kikuta
論文題目 : Analysis of Al Doping Effects on Resistivity and Electromigration of Copper Interconnects
印刷公表の方法及び時期 : *IEEE Transactions on Device and Materials Reliability* (掲載決定済み) .

II. 参考論文

- [1] 全著者名：横川慎二, 鈴木和幸
論文題目：劣化量データを用いた設備の最適保全方策とパラメータ推定
印刷公表の方法及び時期：日本設備管理学会誌, Vol.5, No.3, pp.3-12, 1993 年.
- [2] 全著者名：Hideaki Tsuchiya and Shinji Yokogawa
論文題目：Electromigration Lifetimes and Void Growth at low Cumulative Failure Probability
印刷公表の方法及び時期：*Microelectronics Reliability*, Vol.46, pp.1415-1420, 2006 年 10 月.

謝 辞

本論文をまとめるにあたり、懇切な御指導と御鞭撻を賜りました、電気通信大学 電気通信学研究科 システム工学専攻 鈴木和幸 教授に慎んで感謝いたします。在学中や博士前期課程修了後にいただいた御指導をもとに、研究を続けることが出来ました。また、御教授いただいた信頼性工学に対する見識に加えて、研究に対する真摯な姿勢など、沢山の御教示をいただきました。心より感謝の意を表します。

電気通信大学 電気通信学研究科 電子工学専攻 木村忠正 教授には、LSI 故障物理について、財団法人日本電子部品信頼性センターにおける故障物理研究委員会の活動を通じて、多大な御教授をいただきました。故障物理の面からの貴重な御意見、御助言を賜ることが出来たことに、改めて感謝申し上げます。

また、電気通信大学 電気通信学研究科 電子工学専攻 名取晃子 教授、情報システム学研究科 情報システム運用学専攻 田中健次教授、電気通信学研究科 システム工学専攻 椿美智子 准教授の諸先生には、本論文の審査を通じて数々の貴重な御意見と御教授をいただきました。心より御礼申し上げます。

次に、NEC エレクトロニクス株式会社の同僚の皆様にも心より御礼申し上げます。桑田孝明 基盤技術開発本部長、中村典生 先端デバイス開発部長、秋葉一郎 チームマネージャーには、長い年月にわたって御後援をいただきました。職務の傍らで研究、論文作成を続けることが出来たことは、職場における御理解、御助力の賜物であり、この場を借りて御礼申し上げます。また、沢山の優秀な実務家である同僚の皆様よりご教示ご協力をいただきました。岡田紀雄氏、角原由美氏、土屋秀昭氏、菊田邦子氏、竹脇利至氏、鈴木三恵子氏、豊嶋宏徳氏、川原尚由氏、宇佐美達矢氏、大音光市氏、藤井邦宏氏、土屋泰章氏、有田幸司氏、本山幸一氏、戸原誠人氏、泰地稔二氏、黒川哲也氏、関根誠氏には、共同研究を通じて有益な議論と御協力をいただきました。ここに深謝いたします。また、お名前を挙げる事が出来なかった数多くの同僚の皆様にも、職務を通じて御指導、御鞭撻をいただきました。心より感謝申し上げます。

特に、長年にわたり研究のパートナーとして実験、分析の助手を務めていただいた、瀧澤秀行氏に心から感謝の意を表します。彼の緻密かつ傑出した実験が、本論文の礎となりました。

また、配線信頼性の先達として、貴重な御指導いただいた、岡林秀和氏、二川清氏に感謝いたします。岡林秀和氏には、御在職期間のみならず、御退職された後にも有益な御示唆や励ましのお言葉をいただきました。また、二川清氏

には故障解析や信頼性に関する数多くの貴重な御意見や、アドバイスをいただきました。エレクトロマイグレーションに関する世界的な先達であるお二方より、多くの貴重な御示唆をいただいたことによって、実験の結果に深奥な解釈を与えることが可能になりました。

加えて、財団法人日本電子部品信頼性センター故障物理研究委員会の委員各位に感謝いたします。30年を超える歴史を有する由緒ある研究会における企業や大学などの垣根を越えた議論を通じて、本論文を執筆するにあたって数多くの御示唆をいただきました。また、CARE (Computer Aided Reliability Engineering) 研究会の会員の皆様にも、実務面からの貴重な御意見や御示唆をいただきました。ここに感謝の意を表します。

電気通信大学 鈴木和幸研究室の皆様には、様々な形で御協力と応援をいただきました。感謝申し上げますと共に、同じ信頼性工学を修める皆様の今後のご活躍とご発展を心から祈念致します。

最後に、成人に至るまで学ぶ機会を与えてくれた両親にこの場を借りて感謝の意を表します。休日や深夜早朝の時間を費やすことに理解を示し、応援してくれた妻、なつ恵と、二人の娘、なずな、ゆずかに、心から感謝します。

著者略歴

横川 慎二 (よこがわ しんじ)

1970年2月7日 愛媛県に生まれる
1992年3月 電気通信大学 電気通信学部 電子情報学科 卒業
1992年4月 電気通信大学 大学院・電気通信学研究科・電子情報学
専攻・博士前期課程 入学
1994年3月 同上 修了
1994年4月 日本電気株式会社 入社
2002年11月 NECエレクトロニクス株式会社 転籍
同社 基盤技術開発本部 先端デバイス開発部 勤務
現在に至る

1994年4月より、先端ロジックLSIの信頼性研究開発に従事

2006年7月より、先端LSIプロセス技術における信頼性の研究開発に従事

日本信頼性学会、応用物理学会、日本品質管理学会 各会員